

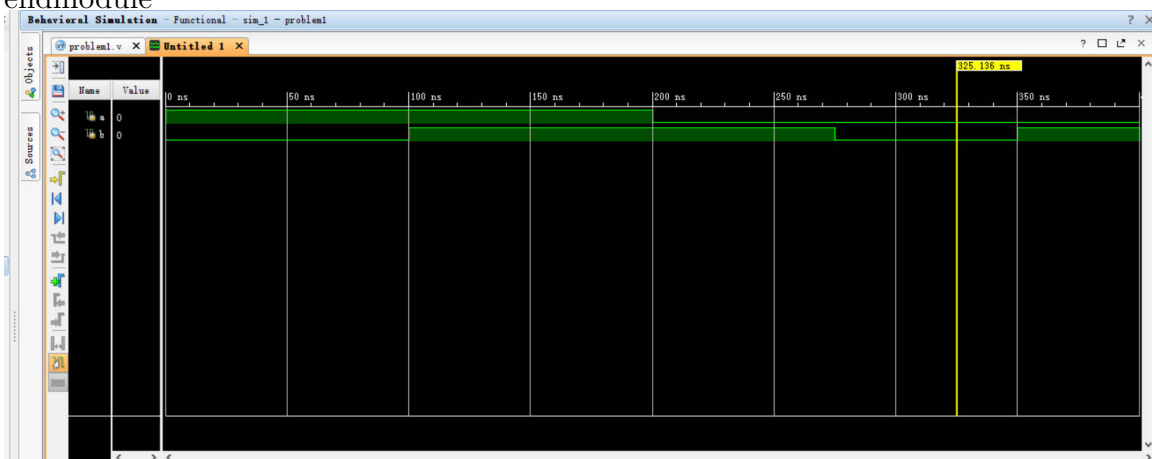
模拟与数字电路实验报告

1. **实验题目：**实验 05 使用 Vivado 进行仿真
2. **实验目的：**熟悉 Vivado 软件的下载、安装及使用，学习使用 Verilog 编写仿真文件，学习使用 Verilog 进行仿真，查看并分析波形文件；
3. **实验环境：**CPU: AMD Ryzen 5 5600H with Radeon Graphics 3.30GHz；内存:16GB；操作系统：Windows 10；软件平台：Logisim；
4. **实验练习：**

1). 问题一：

根据题目中波形编写 Verilog 仿真文件如下 (默认时间单位为 ns)：

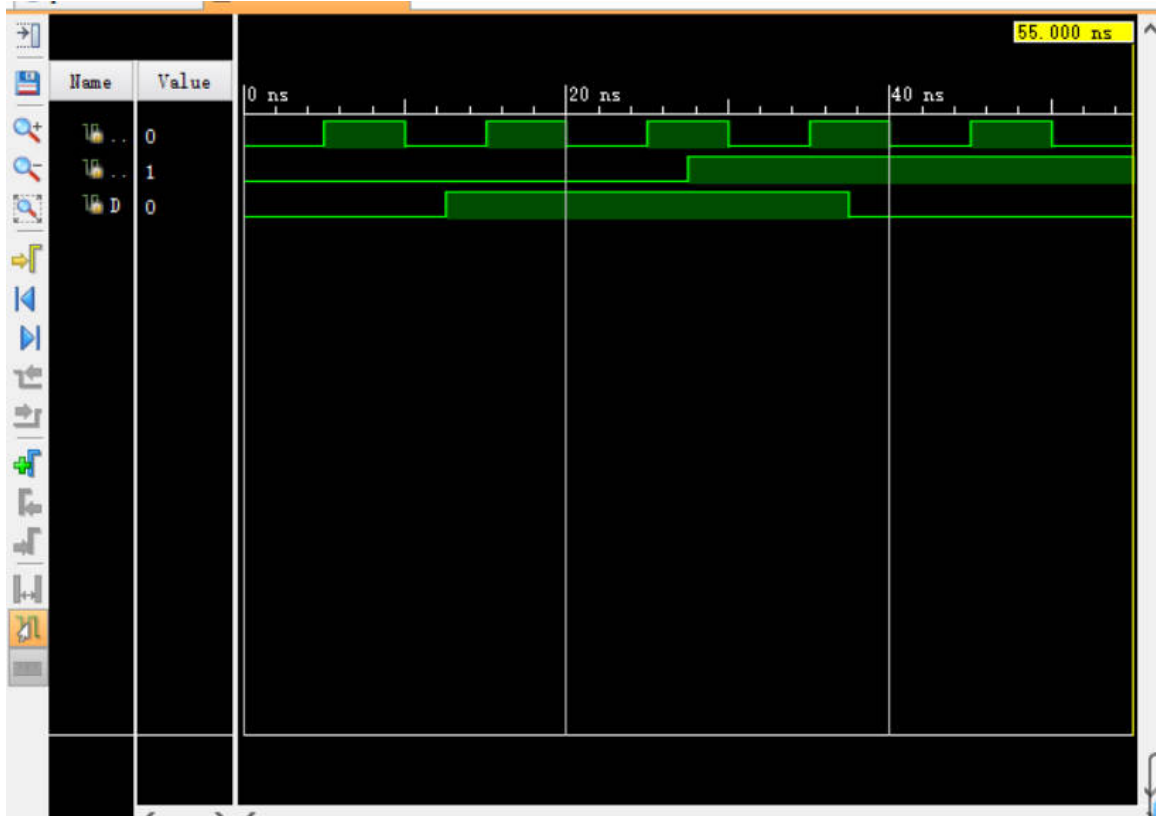
```
timescale 1ns / 1ps
module problem1();
reg a, b;
initial
begin
    a = 1;
    #200 a = 0;
    #200 $stop;
end
initial
begin
    b = 0;
    #100 b = 1;
    #175 b = 0;
    #75 b = 1;
    #50 $stop;
end
endmodule
```



2). 问题二：根据波形编写仿真文件如下：

```
timescale 1ns / 1ps
module problem2();
reg CLK, RST_N, D;
initial CLK = 0;
always #5 CLK = ~ CLK;
initial
begin
    RST_N = 0;
    #27.5 RST_N = 1;
end
initial
begin
    D = 0;
    #12.5 D = 1;
    #25 D = 0;
    #17.5 $stop;
end
endmodule
```

生成如下：



3). 问题三：根据问题二的波形作为输入，编写代码如下：(设置了 D 的波形在 12.5 以及 37.5

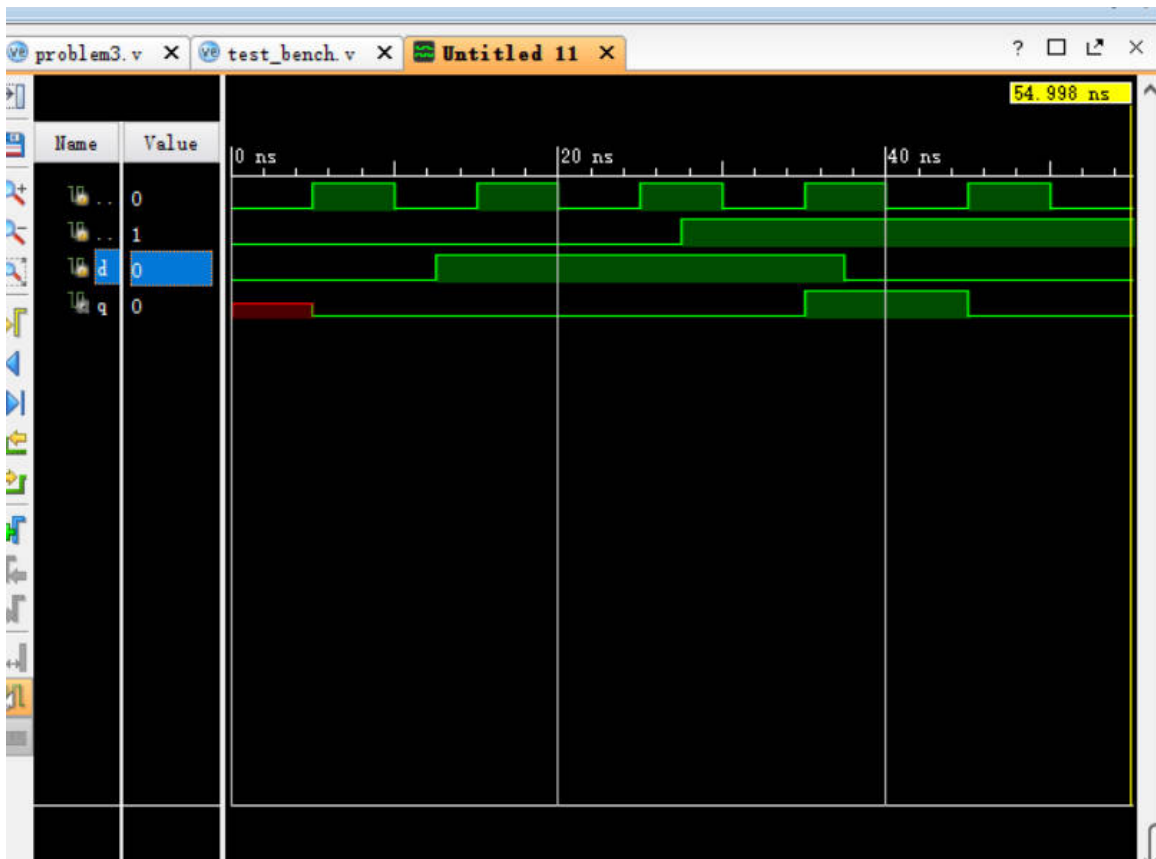
变化，RST_N 在 27.5 处变化)

```
timescale 1ns / 1ps
module problem3(
input clk, rst_n, d,
output reg q
);
always@(posedge clk)
begin
    if(rst_n == 0)
        q <= 1'b0;
    else
        q <= d;
end
endmodule
```

仿真测试文件如下：

```
timescale 1ns / 1ps
module test_bench();
reg clk, rst_n, d;
wire q;
problem3 problem3(.clk(clk), .rst_n(rst_n), .d(d), .q(q));
initial clk = 0;
always #5 clk = ~ clk;
initial
begin
    rst_n = 0;
    #27.5 rst_n = 1;
end
initial
begin
    d = 0;
    #12.5 d = 1;
    #25 d = 0;
    #17.5 $finish;
end
endmodule
```

仿真波形如下：



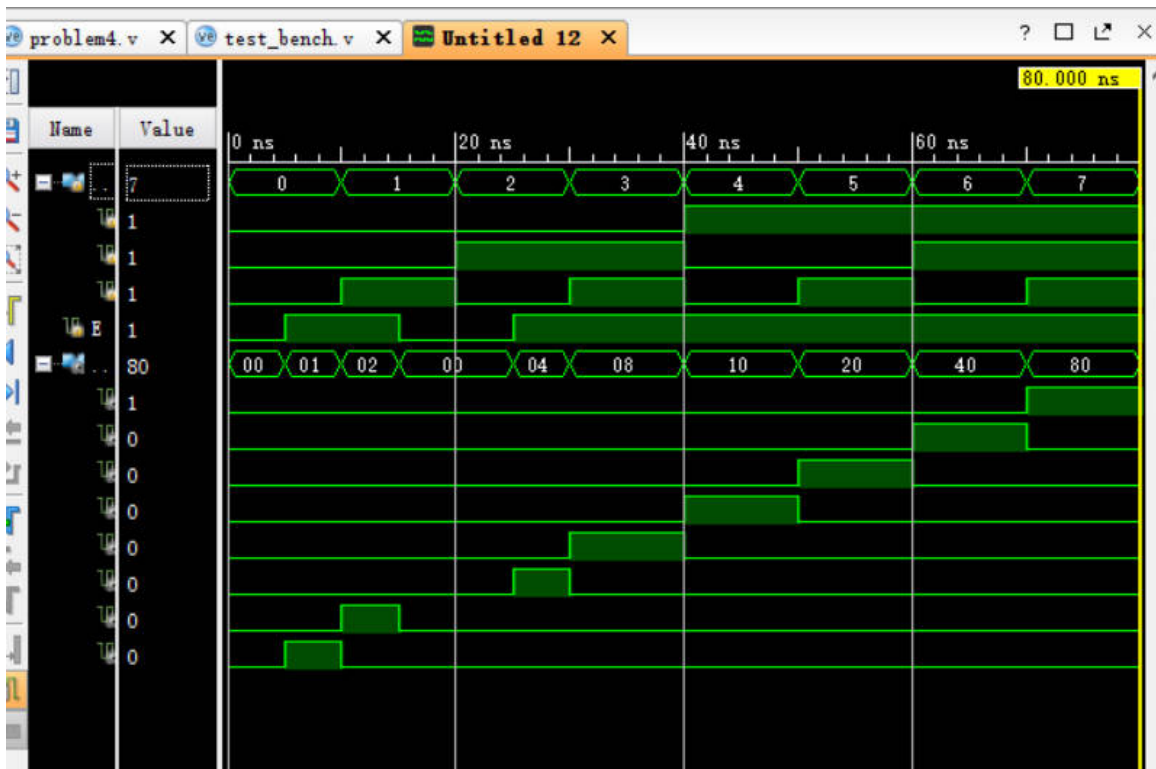
4). **问题四：**3-8 译码器代码如下：

```
module problem4(
    input [2:0] A,
    input E,
    output reg [7:0] Y
);
integer k;
always@(*)
    for(k = 0; k <= 7; k = k + 1)
    begin
        if((E == 1) && (A == k))
            Y[k] = 1;
        else
            Y[k] = 0;
    end
endmodule
```

仿真测试文件如下：（其中对于使能端设置了在 5,15,25 时的电平翻转，测试使能端作用，A 端口每隔 10 个时间单位变化一次）

```
timescale 1ns / 1ps
module test_bench();
```

```
reg [2:0] A;
reg E;
wire [7:0] Y;
problem4 problem4(.A(A), .E(E), .Y(Y));
initial
begin
    E = 0;
    #5 E = 1;
    #10 E = 0;
    #10 E = 1;
end
initial
begin
    A[ 2 ] = 0; A [ 1 ] = 0; A[ 0 ] = 0;
    #10 A[ 2 ] = 0; A[ 1 ] = 0; A [ 0 ] = 1;
    #10 A [ 2 ] = 0; A [ 1 ] = 1; A [ 0 ] = 0;
    #10 A [ 2 ]= 0; A [ 1 ] = 1; A [ 0 ] = 1;
    #10 A [ 2 ]= 1; A [ 1 ] = 0; A [ 0 ] = 0;
    #10 A[ 2 ]= 1; A[ 1 ] = 0; A [ 0 ] = 1;
    #10 A [ 2 ]= 1; A[ 1 ] = 1; A [ 0 ] = 0;
    #10 A [ 2 ]= 1; A [ 1 ] = 1; A [ 0 ] = 1;
    #10 $finish;
end
endmodule
```



5. 总结与思考：

- 1). **收获：**本次实验对于 Vivado 软件的使用有了更为深入的了解，学会了仿真文件的编写与测试，以及对波形文件的分析；
- 2). **评价：**实验作为 Vivado 软件使用的基本内容以及对仿真文件的介绍，其内容相对而言不是较难，设置合理；
- 3). **建议：**实验内容设置合理，无较大建议；