

模拟与数字电路实验报告

1. 实验题目：实验 04 Verilog 硬件描述语言

2. 实验目的：掌握 Verilog HDL 常用语法, 能够熟练阅读并理解 Verilog 代码, 能够设计较复杂的数字功能电路, 能够将 Verilog 代码与实际硬件相对应

3. 实验环境：CPU: AMD Ryzen 5 5600H with Radeon Graphics 3.30GHz; 内存:16GB; 操作系统: Windows 10; 软件平台: Logisim;

4. 实验练习：

1).problem1: 由于 ifelse 语句一般出现在 always 语句的过程语句部分, 而不能在模块内部单独出现, 故用 always@(*) 语句实现组合逻辑; 同时 always 语句内部被赋值的信号应被定义为 reg 类型, 故模块端口定义部分定义 reg b;

```
module test(  
input a,  
output reg b  
);  
always@(*)  
begin  
    if(a)  
        b = 1'b0;  
    else  
        b = 1'b1;  
end  
endmodule
```

2).problem2: 由于 always 语句内实现对 b 的赋值, 可知 b 与 a 有相同的位宽, 且被定义为 reg 类型; 末尾有 endmodule 语句结束;

```
module test(  
input [4:0] a,  
output reg [4:0] b  
);  
always@(*)  
    b = a;  
endmodule
```

3).problem3: 各输出信号的值如下:

```
module test(  
input [7:0] a, b, //a = 8'b0011_0011, b = 8'b1111_0000  
output [7:0] c, d, e, f, g, h, i, j, k  
);
```

```
assign c = a & b; //按位与 8'b0011_0000
assign d = a | b; //按位或 8'b1111_0011
assign e = a ^ b; //按位异或 8'b1100_0011
assign f = ~ a; //按位取反 8'b1100_1100
assign g = {a[3:0],b[3:0]}; //拼接操作符 8'b0011_0000
assign h = a » 3; //右移 8'b0000_0110
assign i = &b; //归约与 8'bxxxx_xxx0
assign j = (a > b) ? a : b; //条件操作符 8'b1111_0000
assign k = a - b; //算术运算符 8'b0100_0011
```

```
endmodule
```

4).problem4: assign 语句将逻辑表达式的值赋给 wire 类型信号，因此 c 信号的类型应为 wire 默认类型；因此在模块调用时，temp 信号的类型同样应设为 wire，在模块关联中应采取相同的关联方式，故如下保证一致性；

```
module sub_test(
input a, b,
output c
);
    assign c = (a < b) ? a : b;
endmodule

module test(
input a, b, c,
output o
);
    wire temp;
    sub_test test_inst1(.a(a), .b(b), .c(temp));
    sub_test test_inst2(temp, c, o);
endmodule
```

5).problem5: output 语句应在端口的定义部分；同时由于模块化实例只需要一次，故不能出现在 always 语句中；

```
module sub_test(
input a, b,
output o
);
    assign o = a + b;
endmodule
```

```
module test(  
input a, b,  
output c  
);  
    sub_test test_inst(a, b, c);  
endmodule
```

5. 总结与思考：

- 1). **收获：**本次实验对于 Verilog 语法有了较为基础的了解，对模块的基本组成部分基本掌握；
- 2). **评价：**实验作为 Verilog 语法的基本入门内容，其内容相对而言不是较难，设置合理；
- 3). **建议：**实验内容设置合理，无较大建议；