

模拟与数字电路实验报告

1. 实验题目：实验 05 FPGA 原理及 Vivado 综合

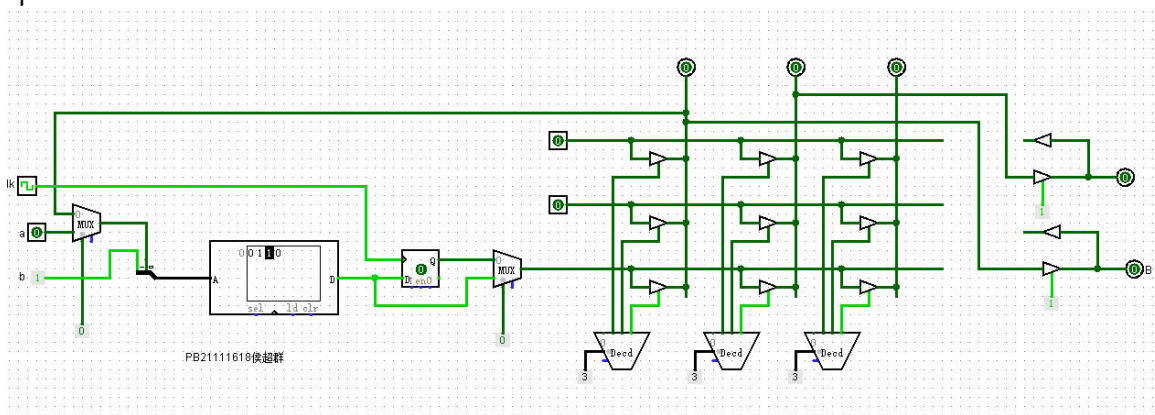
2. 实验目的：了解 FPGA 工作原理，了解 Verilog 文件和约束文件在 FPGA 开发中的作用，学会使用 Vivado 进行 FPGA 开发的完整流程

3. 实验平台：Vivado 及 Logisim 软件；

4. 实验练习：

1). 问题一：通过实验中给出的可编程逻辑单元，交叉互联矩阵及 IOB 电路图，实现题目中所给出的代码

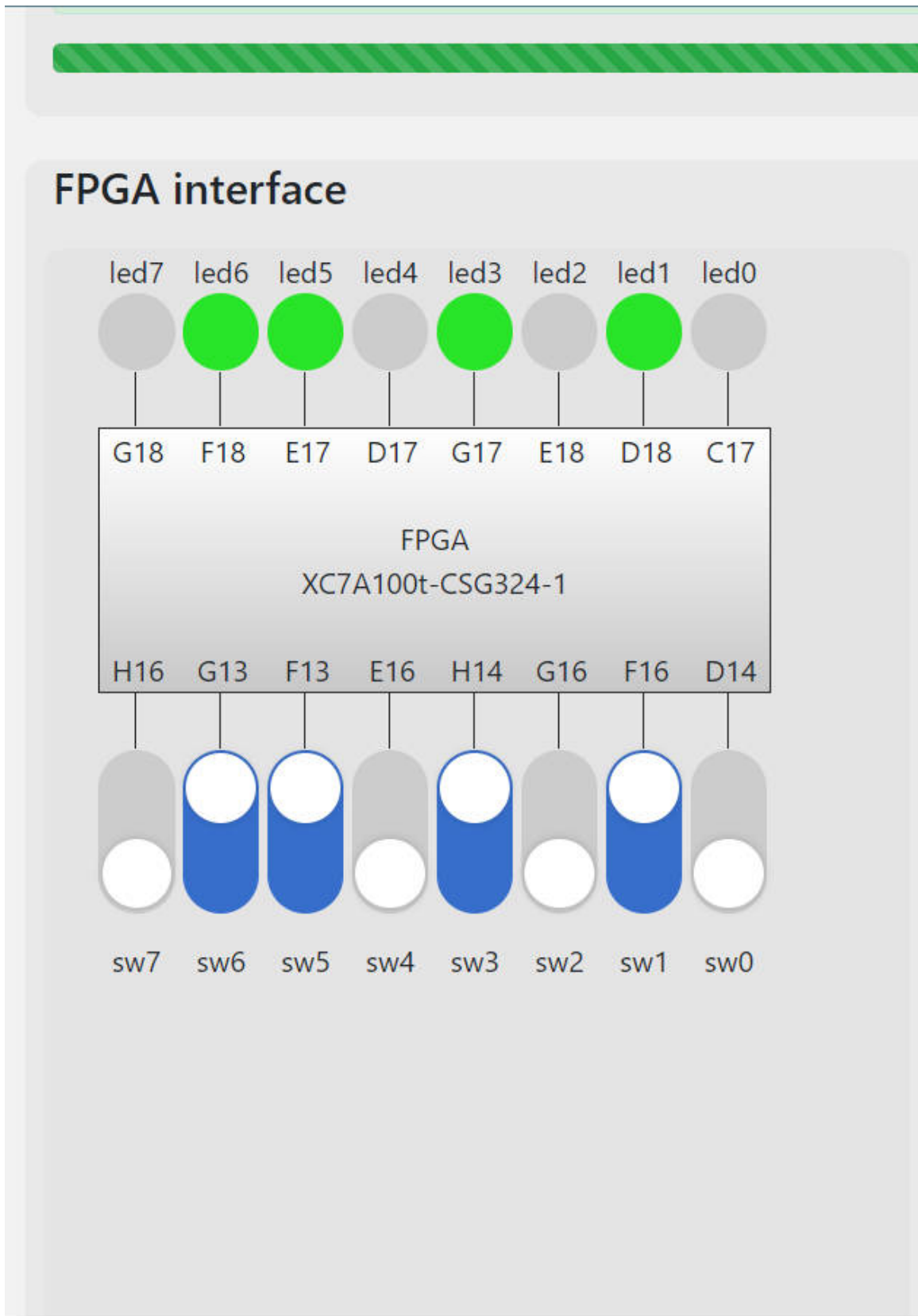
由于输入端为 a，以及常量 1，实现其异或关系，并运用时序逻辑电路，电路图及相应配置如下：



2). 问题二：根据实验中所给出的 XDC 约束文件进行相应修改，将输入处或输出处管脚对应的前后调换即可，相应约束文件代码如下：

```
D:/Program Files/vivado/lab-06/lab-06.srcs/constrs_1/new/test.xdc
1 ## Clock signal
2 set_property -dict {PACKAGE_PIN E3 IOSTANDARD LVCMOS33} [get_ports { clk }]; #IO_L12P_T1_MRCC_35 Sch=clk100mhz
3 #create_clock -add -name sys_clk_pin -period 10.00 -ware form {0 5} [get_ports {CLK100MHZ}];
4 ##FPGAOL BUTTON & SOFT_CLOCK
5 set_property -dict {PACKAGE_PIN B18 IOSTANDARD LVCMOS33} [get_ports { rst }];
6 ##FPGAOL LED (single-digit-SEGPLAY)
7 set_property -dict {PACKAGE_PIN C17 IOSTANDARD LVCMOS33} [get_ports { led[0] }];
8 set_property -dict {PACKAGE_PIN D18 IOSTANDARD LVCMOS33} [get_ports { led[1] }];
9 set_property -dict {PACKAGE_PIN E18 IOSTANDARD LVCMOS33} [get_ports { led[2] }];
10 set_property -dict {PACKAGE_PIN G17 IOSTANDARD LVCMOS33} [get_ports { led[3] }];
11 set_property -dict {PACKAGE_PIN D17 IOSTANDARD LVCMOS33} [get_ports { led[4] }];
12 set_property -dict {PACKAGE_PIN E17 IOSTANDARD LVCMOS33} [get_ports { led[5] }];
13 set_property -dict {PACKAGE_PIN F18 IOSTANDARD LVCMOS33} [get_ports { led[6] }];
14 set_property -dict {PACKAGE_PIN G18 IOSTANDARD LVCMOS33} [get_ports { led[7] }];
15 ##FPGAOL SWITCH
16 set_property -dict {PACKAGE_PIN D14 IOSTANDARD LVCMOS33} [get_ports { sw[7] }];
17 set_property -dict {PACKAGE_PIN F16 IOSTANDARD LVCMOS33} [get_ports { sw[6] }];
18 set_property -dict {PACKAGE_PIN G16 IOSTANDARD LVCMOS33} [get_ports { sw[5] }];
19 set_property -dict {PACKAGE_PIN H14 IOSTANDARD LVCMOS33} [get_ports { sw[4] }];
20 set_property -dict {PACKAGE_PIN E16 IOSTANDARD LVCMOS33} [get_ports { sw[3] }];
21 set_property -dict {PACKAGE_PIN F13 IOSTANDARD LVCMOS33} [get_ports { sw[2] }];
22 set_property -dict {PACKAGE_PIN G13 IOSTANDARD LVCMOS33} [get_ports { sw[1] }];
23 set_property -dict {PACKAGE_PIN H16 IOSTANDARD LVCMOS33} [get_ports { sw[0] }];
```

烧写后在实验平台显示截图如下：



3). **问题三：**设计 30 位计数器，以及 32 位，其原理类似，下面以 32 位为例，相应代码及约束文件如下：

```

22
23 module count_32(
24     input clk, rst_n,
25     output reg [7:0] led
26 );
27 reg [31:0] num;
28 always@(posedge clk)
29 begin
30     if(rst_n == 0)
31         num <= 32'b0;
32     else
33         num <= num + 32'b1;
34     led[7:0] <= num[31:24];
35 end
36 endmodule

```

```

1 set_property -dict {PACKAGE_PIN E3 IOSTANDARD LVCOS33 } [get_ports { clk }];
2
3 set_property -dict {PACKAGE_PIN B18 IOSTANDARD LVCOS33 } [get_ports { rst_n }];
4
5 set_property -dict {PACKAGE_PIN C17 IOSTANDARD LVCOS33 } [get_ports { led[0] }];
6 set_property -dict {PACKAGE_PIN D18 IOSTANDARD LVCOS33 } [get_ports { led[1] }];
7 set_property -dict {PACKAGE_PIN E18 IOSTANDARD LVCOS33 } [get_ports { led[2] }];
8 set_property -dict {PACKAGE_PIN G17 IOSTANDARD LVCOS33 } [get_ports { led[3] }];
9 set_property -dict {PACKAGE_PIN D17 IOSTANDARD LVCOS33 } [get_ports { led[4] }];
10 set_property -dict {PACKAGE_PIN E17 IOSTANDARD LVCOS33 } [get_ports { led[5] }];
11 set_property -dict {PACKAGE_PIN F18 IOSTANDARD LVCOS33 } [get_ports { led[6] }];
12 set_property -dict {PACKAGE_PIN G18 IOSTANDARD LVCOS33 } [get_ports { led[7] }];

```

其在实验平台显示截图如下：



通过对比不难发现，相对而言 30 位计数器变化的更快，其原因在于位数较低，变化所需时间周期更短，为 $10^{-8} \times 2^{22}s$ ；

5. 总结与思考：

- 1). **收获：**通过本次实验对于 FPGA 有了相当了解，同时对于 Vivado 软件的使用有了更为深入的了解，学会了约束文件的编写与测试；
- 2). **评价：**实验内容相对而言不是较难，设置合理；
- 3). **建议：**实验内容设置合理，无较大建议；