2주차 예비보고서

학번 : 20211531

이름 : 나호영

1.

HDL(Hardware Description Language)란 전자 회로를 정밀하게 기술하는 데에 이용하는 언어로, 대표적으로 Verilog와 VHDL이 있다. 회로를 원하는 데로 동작하게 구조를 기술하고 시뮬레이션을 통한 검증까지 지원한다. 일반적인 소프트웨어 프로그래밍에서 사용되는 언어들은 컴파일러를 통해 바이너리 파일로 변환되지만 HDL은 합성기를 통한 합성으로 게이트 레벨 코드로 변환시킨다.

Verilog이외에는 VHDL이란 하드웨어 기술 언어가 존재한다. 초기에는 주로 군사용으로 사용되었지만 최근에는 디지털 회로 분야에서 다양하게 이용된다. VHDL의 가장 큰 특징은 strongly typed language라는 점인데 즉, 각각의 데이터 타입이 이미 언어 자체에서 선정의된다는 것이다. 따라서 모든 변수나 값들은 하나의 데이터 타입으로 정의되어야 한다. 또한 하드웨어 모델링에 특화된 컴팩트한 베릴로그에 비해 코드 줄이 길어질 수 있다.

2.

베릴로그는 1983년 Gateway Design Automation사에서 HiLo와 C언어의 특징을 기반하여 모의 시험용 언어로 개발되었다. 1985년에는 new version Verilog-XL과 시뮬레이터를 공개하였다. 후에 표준 HDL로 자리를 잡았다. 1991년에는 Cadence Dsign Systems가 OVI 조직을 구성하고 Verilog HDL을 공개하였다. 1995년 IEEE std. 1364-1995로 표준화되었다. Verilog HDL의 확장형인 SystemVerilog가 개발되어서 IEEE 표준화를 추진하였다. 2020년대 이전까지는 검증 테스트 이외에는 잘 쓰이지 않고 있었으나 공정이 고도화되면서 다시 주목 받고 있다.

3.

Verilog의 구조는 총 세 부분으로 구성되는데 머리부, 선언부, 몸체부로 이루어진다. 머리부는 moudle로 시작한 모듈이름, 포트리스트, ; 로 구성된다. 선언부는 포트 목록에 나열된 포트들의 방향 피트 폭이나 매개변수, 와이어를 선언하는 등의 모듈에 필요한 것들을 작성한다. 몸체부는 회로의 동작이나 구조, 기능 등을 나타내는 코드로 구성되어 있다.

Verilog 문법에서는 C언어와 차이점 중 대표적인 것은 중괄호 대신에 begin, end를 이용하여 블록 단위를 구별한다. 하지만 기본적으로 C언어를 기반으로 개발되었기 때문에 if, while같은 제어 구조나 연산자들, 주석 등등 많은 것들이 거의 비슷하다고 볼 수 있다. 기본적으로 여백은 보통 무시된다. 대략적인 문법 설명을 아래에 서술하였다.

Data Type

-register : value 저장을 위한 장치

reg : 할당문에 의해 value를 받는 객체

integer : 정수형 변수

time, realtime : 시간형 변수

real : 실수형 변수

-Net : 게이트 간의 연결을 위한 장치

wire : 모듈안에서 변수간의 연결 구조를 나타내는 변수

tri : 선을 연결할 시 이용

상수 선언

구조 : 비트 수 ‘ 입력형식 입력값

ex1) 4’b0001 : 4비트 바이너리 0001

ex2) 220(정수), h30(십육진법)