



ANALOGUE ELEKTRONICA DA / AD - CONVERTERS

overtref jezelf



Overzicht

■ DACs

- **R-2R ladder**
- Weighted

■ ADCs

- **Flash**
- Counting
- Dual Slope
- SAR
- Pipeline

Literatuur:

Neamen, “Microelectronics”

Zumbahlen, “Basic Linear Design”

■ Sigma-Delta ($\Sigma\Delta$) converters

- $\Sigma\Delta$ -ADC
- $\Sigma\Delta$ -DAC

Motivatie

- Alle fysieke signalen zijn analoge signalen
- Voor verwerking van signalen is het dankzij de huidige rekenkracht van computers en microcontrollers veel praktischer om met digitale signalen te werken
- Digitale signalen hebben als voordeel dat vervormingen/ruis veel beter onder controle kunnen worden gehouden
- Dus er zijn omzetters nodig van analoge naar digitale signalen en omgekeerd

Analoge versus digitale signalen

- Digitale N -bits signalen $(b_0, b_1, b_2, \dots, b_{N-1})$ geven een benadering van de mogelijke analoge signalen U :

$$U = \left(\frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \dots + \frac{b_{N-1}}{2^N} \right) V_{ref}$$

- Wat is de range van de mogelijke analoge signalen?
- Wat is het MSB en LSB?
- Wat is de resolutie?

Analoge versus digitale signalen

Belangrijke begrippen:

■ Resolutie

■ Bandbreedte

■ Snelheid

■ Sampling

■ Quantisatie

■ Uni/bi-polar converters

■ (Non)linearity

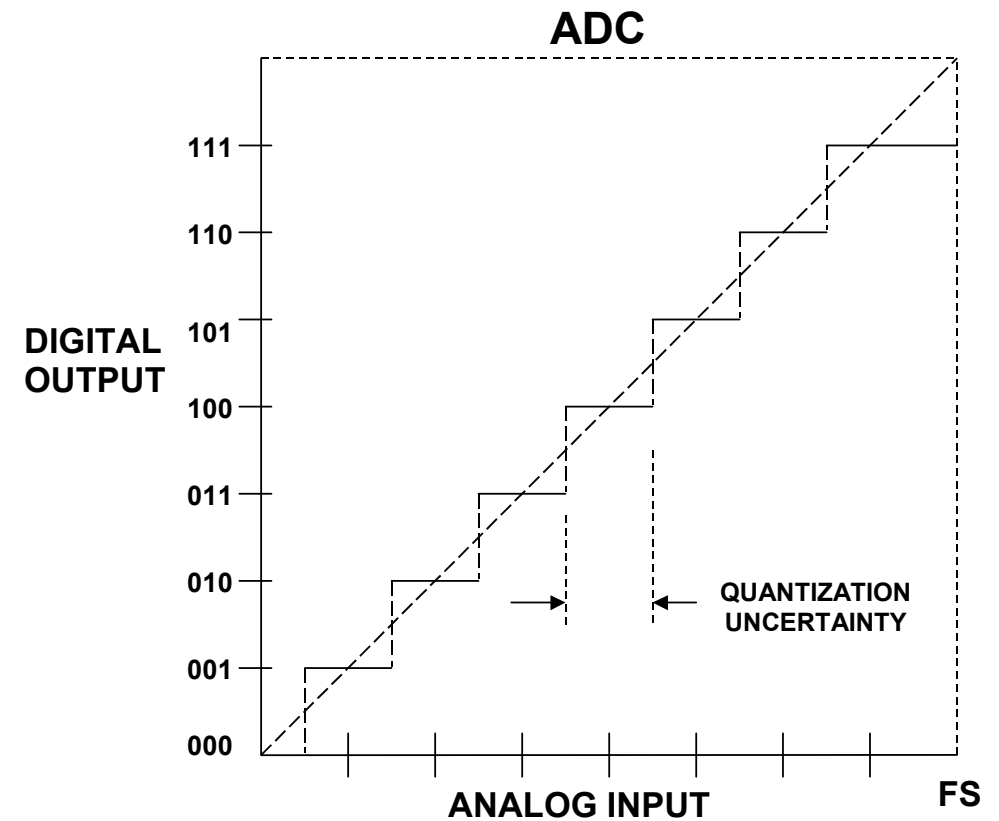
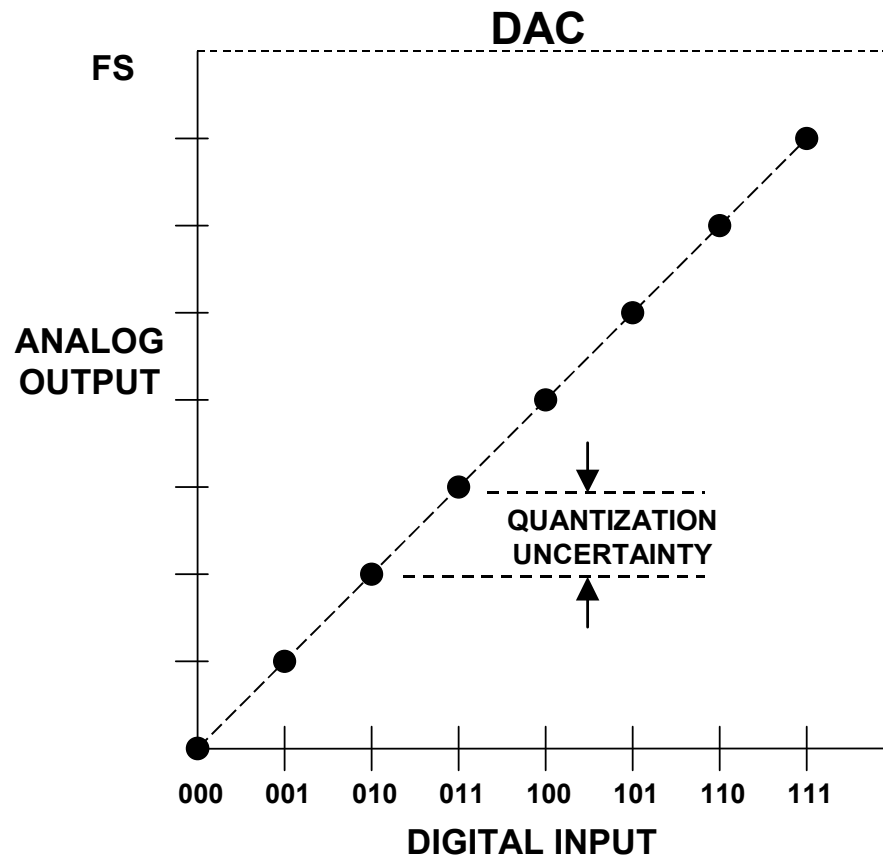
■ (Non)monotonic

■ Latency

Resolutie

RESOLUTION N	2^N	VOLTAGE (2 V FS)	ppm FS	% FS	dB FS
2-bit	4	500 mV	250,000	25	– 12
4-bit	16	125 mV	62,500	6.25	– 24
6-bit	64	31.2 mV	15,625	1.56	– 36
8-bit	256	7.81 mV	3,906	0.39	– 48
10-bit	1,024	1.95 mV	977	0.098	– 60
12-bit	4,096	488 μ V	244	0.024	– 72
14-bit	16,384	122 μ V	61	0.0061	– 84
16-bit	65,536	30.5 μ V	15	0.0015	– 96
18-bit	262,144	7.62 μ V	4	0.0004	– 108
20-bit	1,048,576	1.9 μ V	1	0.0001	– 120
22-bit	4,194,304	476 nV	0.24	0.000024	– 132
24-bit	16,777,216	119 nV	0.06	0.000006	– 144

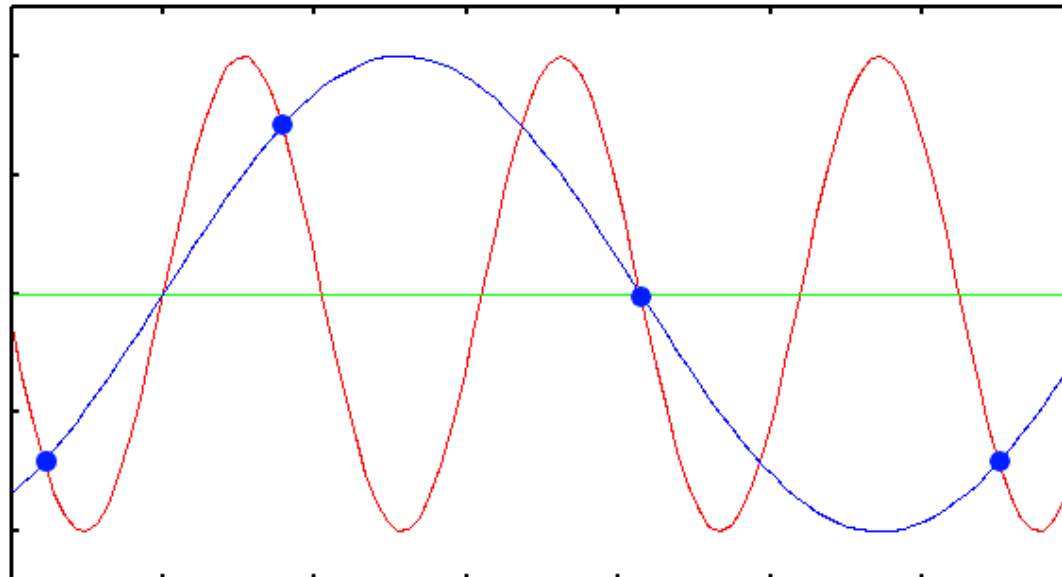
Quantization uncertainty



Nyquist criterium

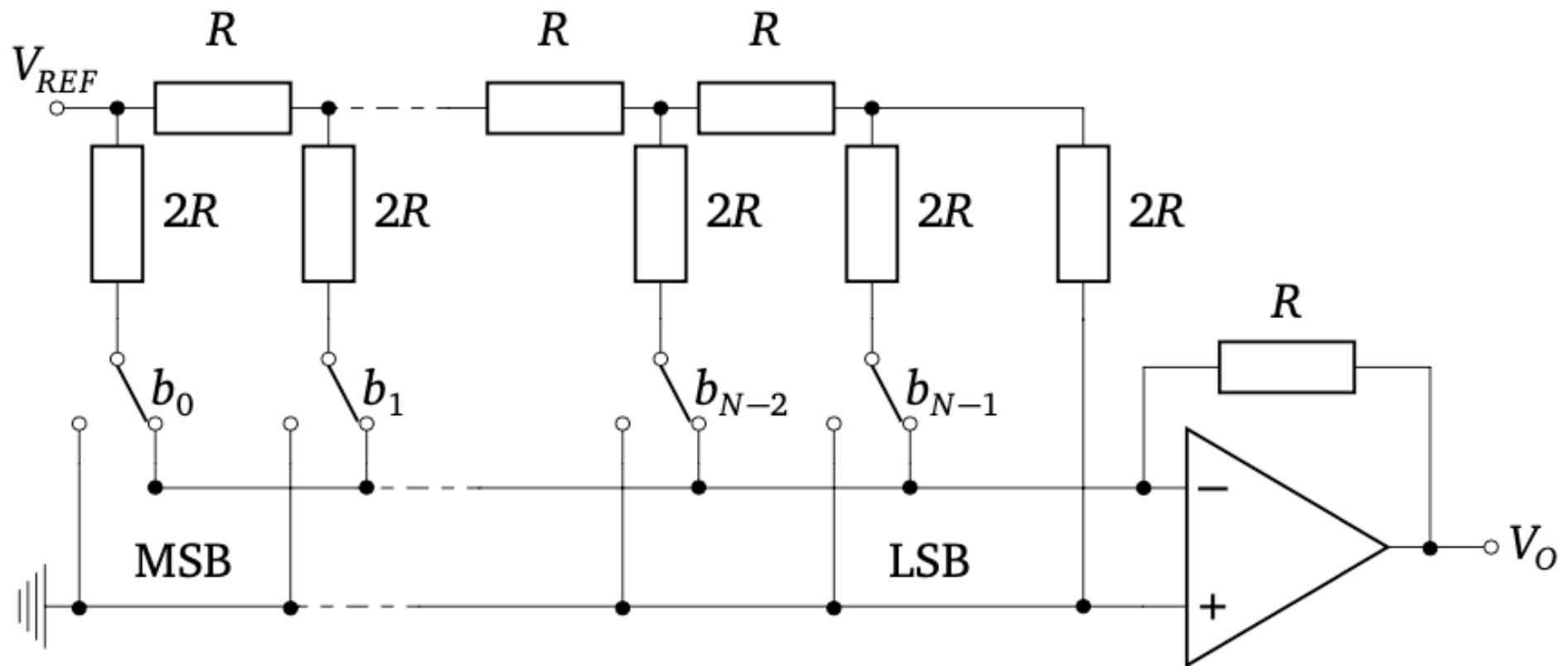
Om alle signaal informatie te behouden moet er gesampled worden met een sample-frequentie f_s die minstens 2 zo groot is dan de bandbreedte Δf van het signaal:

$$f_s \geq 2 \Delta f$$



<https://svi.nl/NyquistRate>

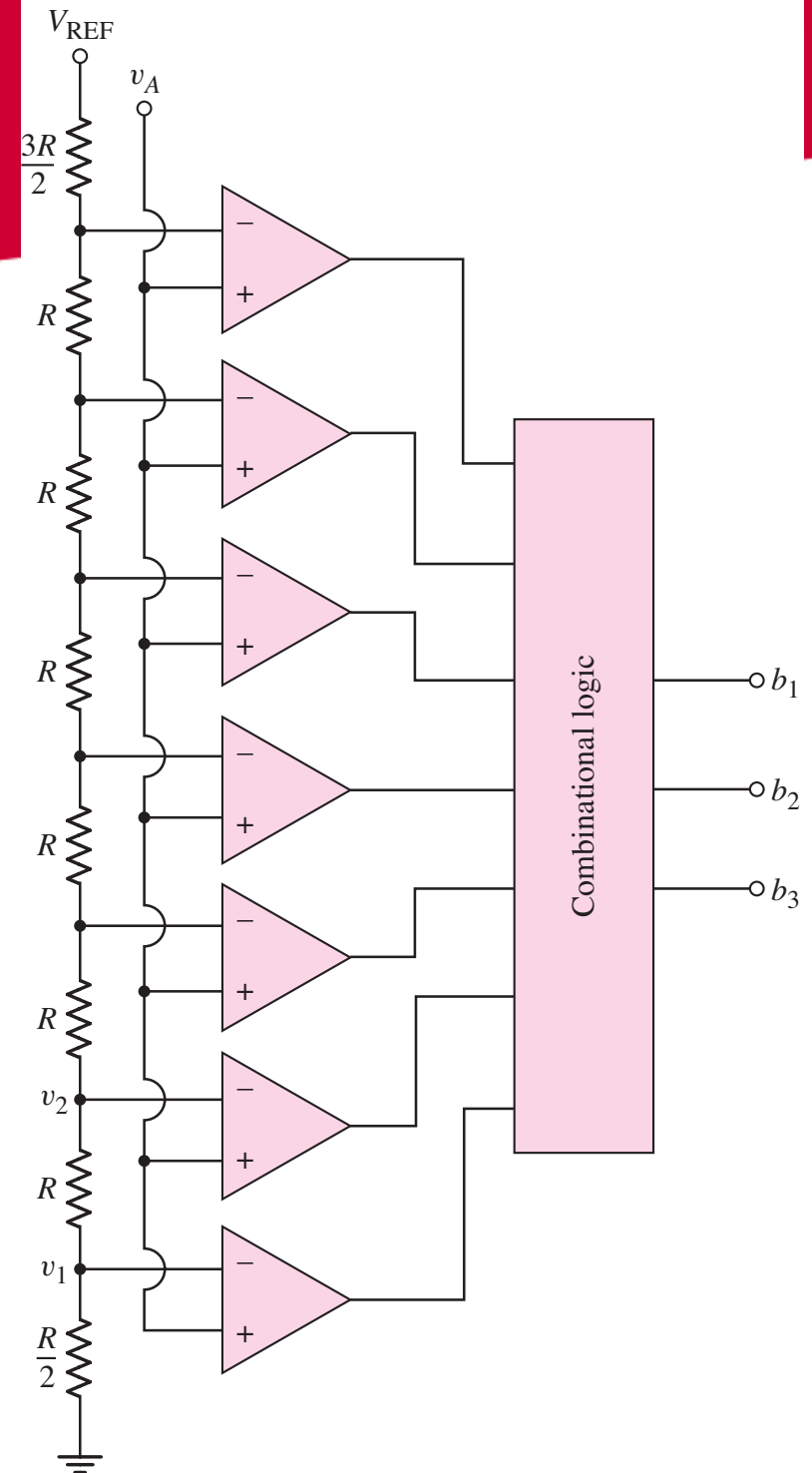
R-2R Ladder Network DAC



■ Bepaal V_O in termen van $(b_0, b_1, \dots, b_{N-1})$

Flash ADC

- Bepaal v_i voor $1 \leq i \leq 2^N - 1$
- Leg de werking van deze flash A/D-converter uit
- Leg uit waarom deze converter nauwelijks latency veroorzaakt
- Leg uit waarom deze converter voor een groot aantal bits niet praktisch is



Besproken is:

Aantal DA / AD - Converters

Andere mogelijkheden: zie volgende slides

Overzicht

■ DACs

- R-2R ladder
- **Weighted**

■ ADCs

- Flash
- **Counting**
- **Dual Slope**
- **SAR**
- **Pipeline**

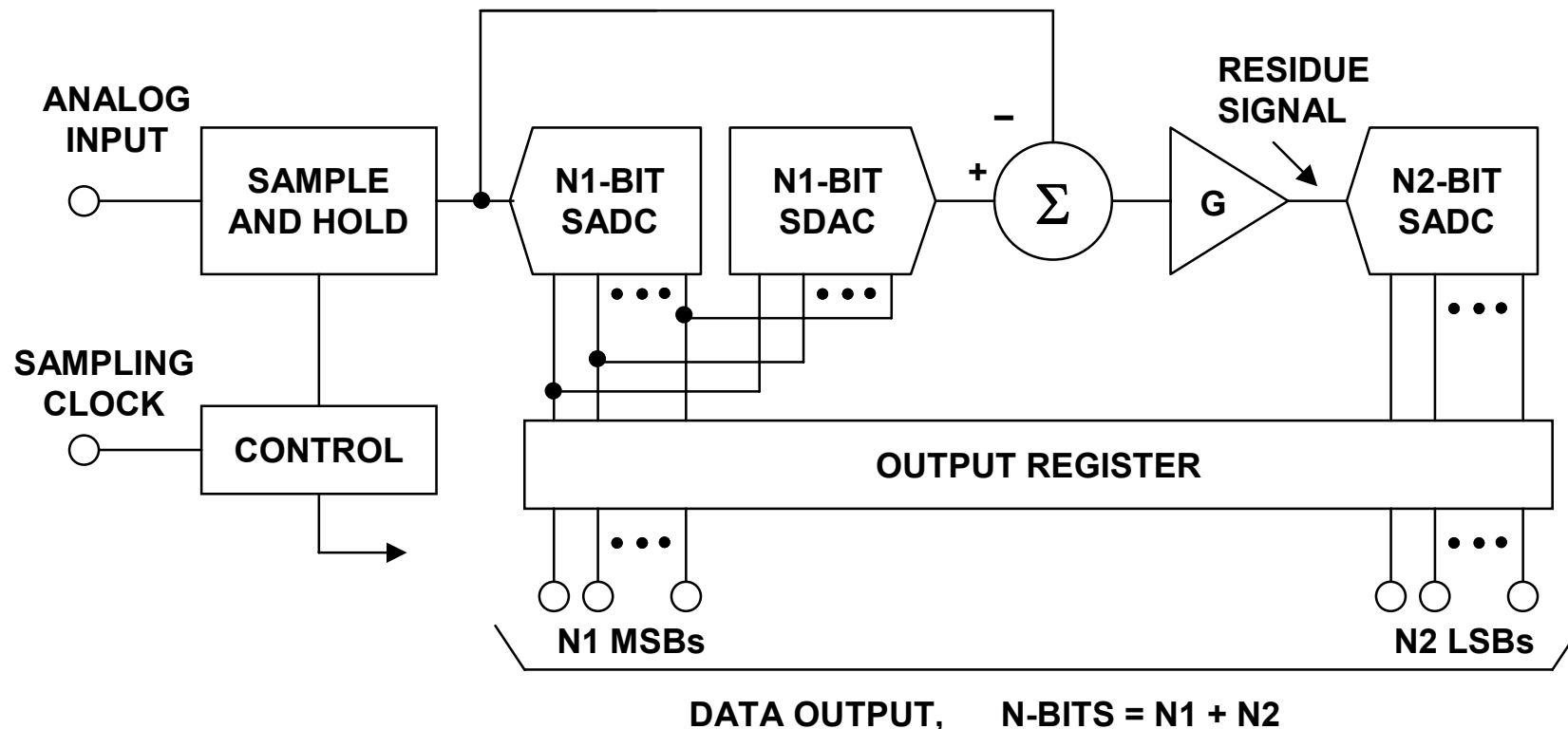
Literatuur: Neamen, “Microelectronics”
Zumbahlen, “Basic Linear Design”

■ Sigma-Delta ($\Sigma\Delta$) converters

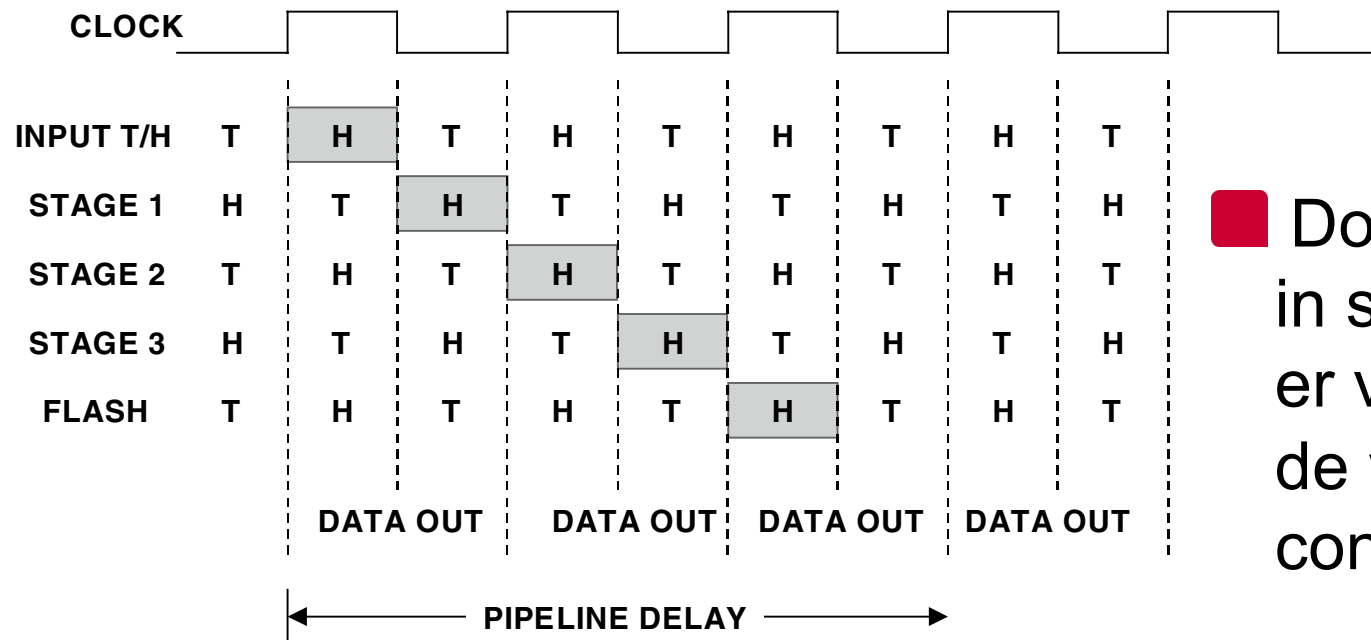
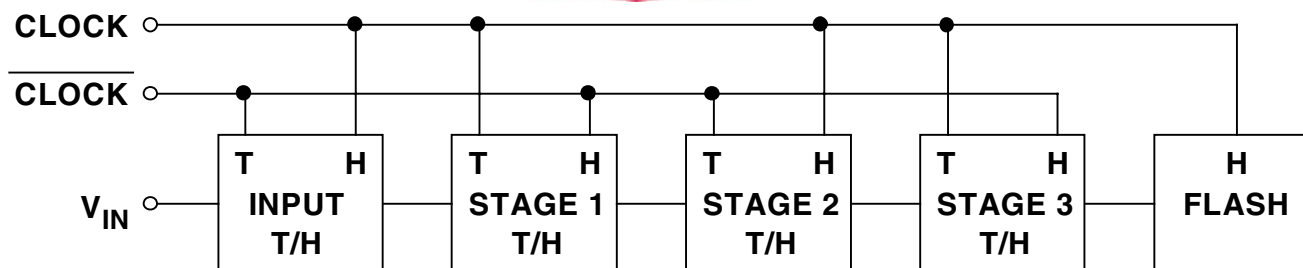
- **$\Sigma\Delta$ -ADC**
- $\Sigma\Delta$ -DAC

Pipeline ADC

- ADCs kunnen achter elkaar geschakeld worden om een ADC te maken met een hogere resolutie
- Het resultaat van de eerste SADC wordt van de input afgetrokken en versterkt voor de tweede omzetting

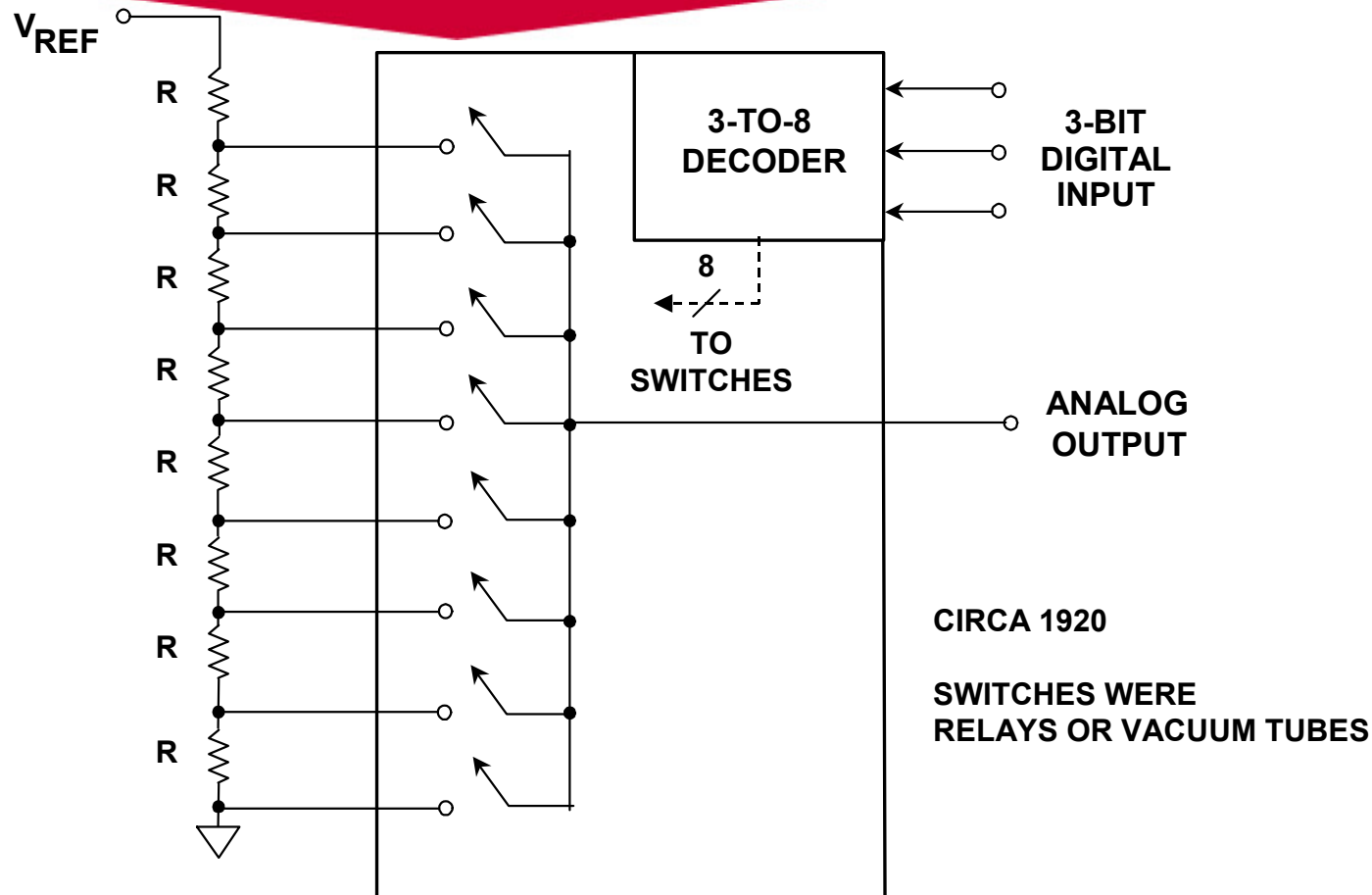


Pipeline latency



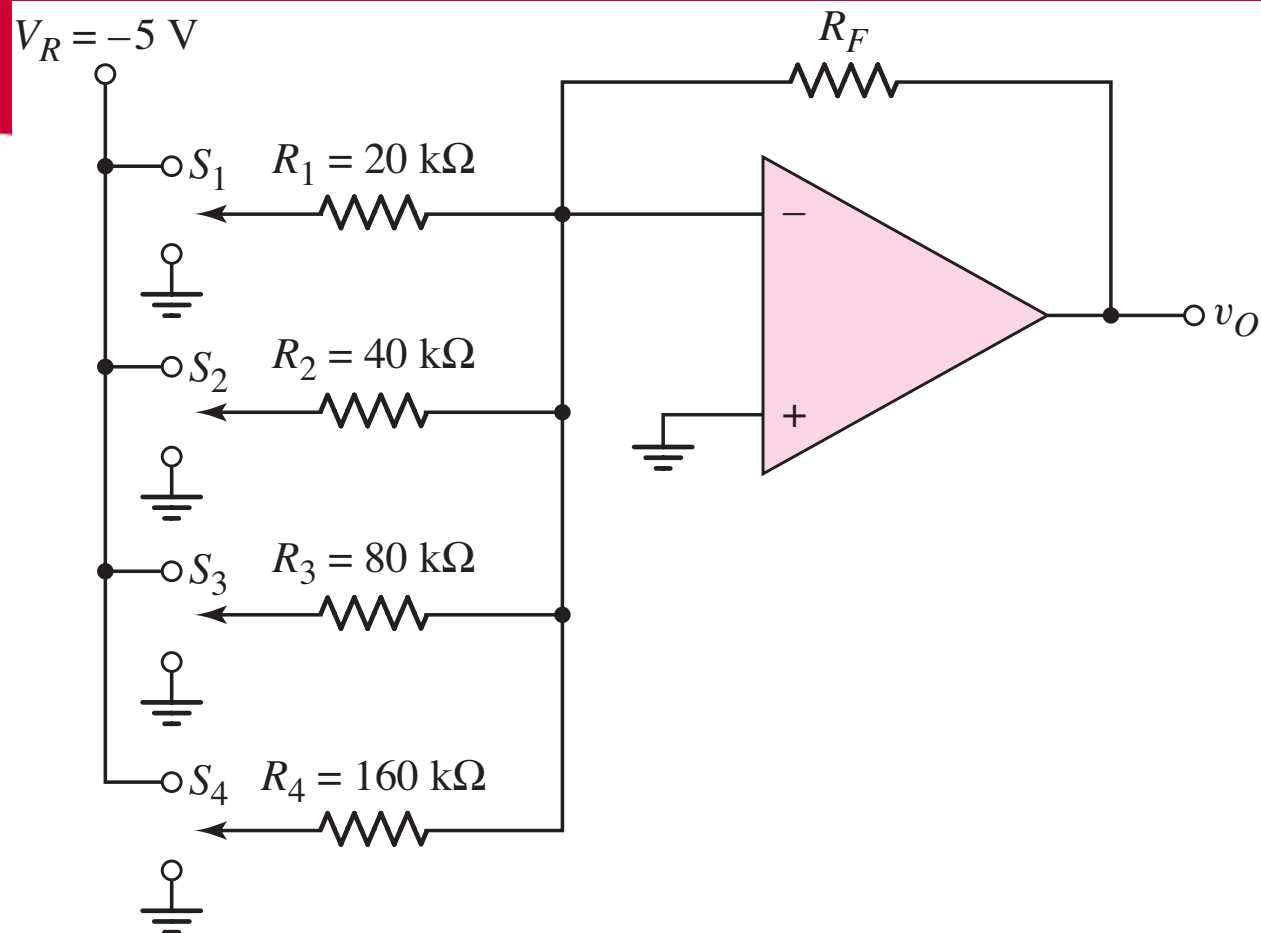
■ Door de omzetting in stages, ontstaan er vertragingen in de volledige A/D conversie

Kelvin DAC (String DAC)



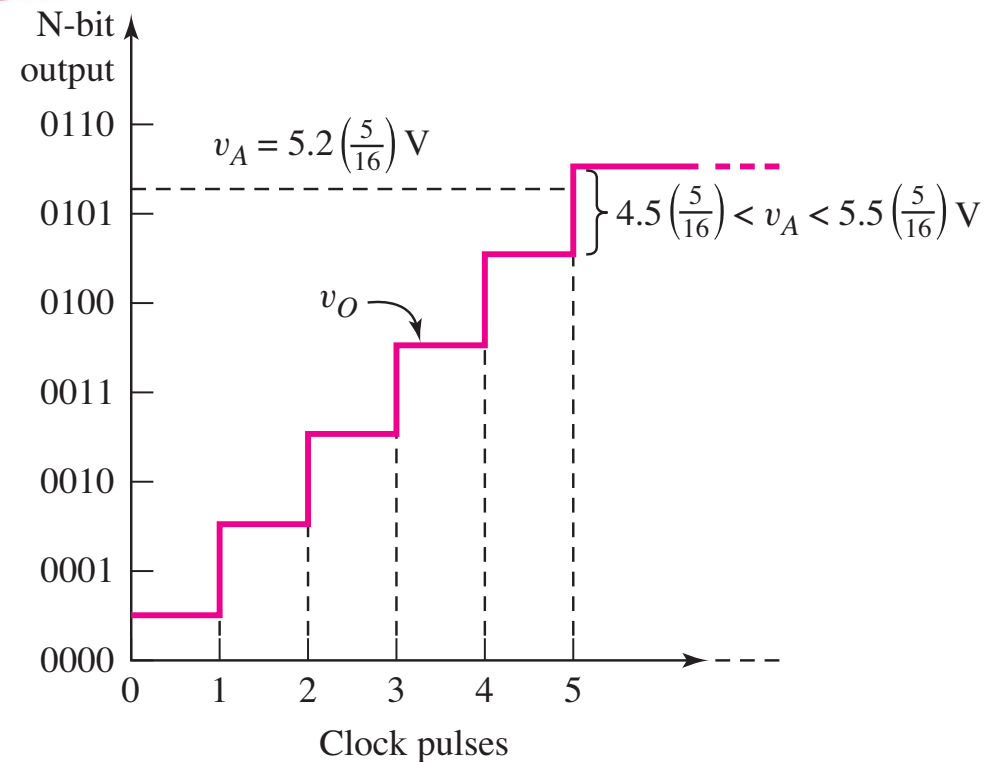
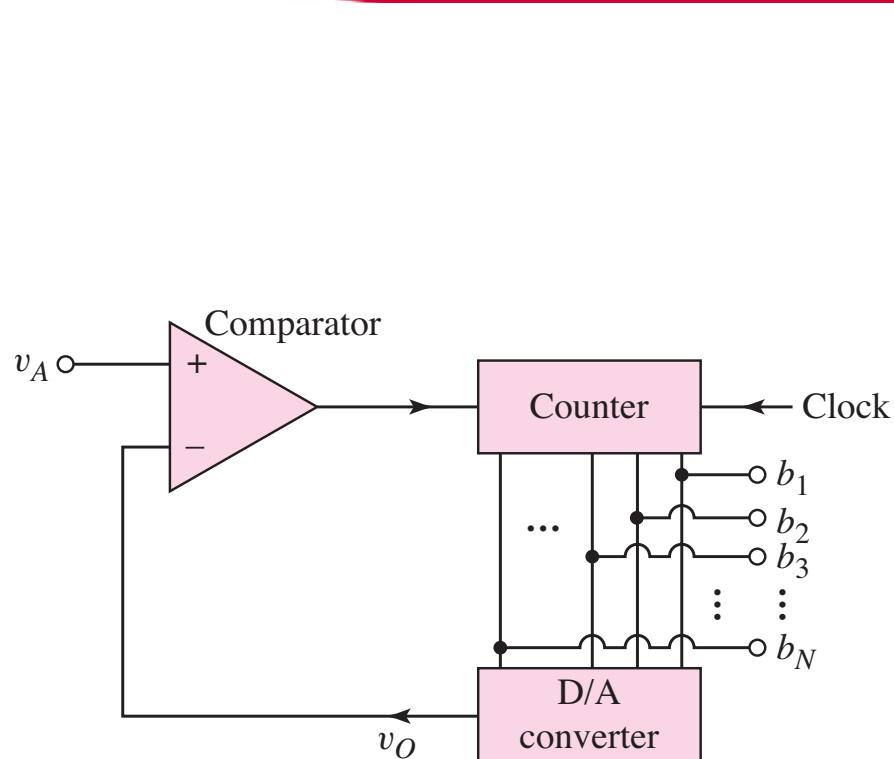
- Leg uit waarom N -to- 2^N decoder circuit nodig is
- Leg uit waarom deze methode monotoon is
- Leg uit waarom deze methode een groot aantal bits niet praktisch is

Binary-Weighted Resistor DAC



- Leg uit waarom deze methode monotoon is
- Leg uit waarom deze methode voor een groot aantal bits niet praktisch is
- Bepaal V_O in termen van (b_1, b_2, b_3, b_4)

Counting ADC



- De counter loopt op met de klok en daarmee ook de "output" spanning v_O
- De counter blijft lopen tot dat de comparator omslaat
- Op dat moment zijn de N bits ($b_1, b_2, b_3, \dots, b_N$) bepaald

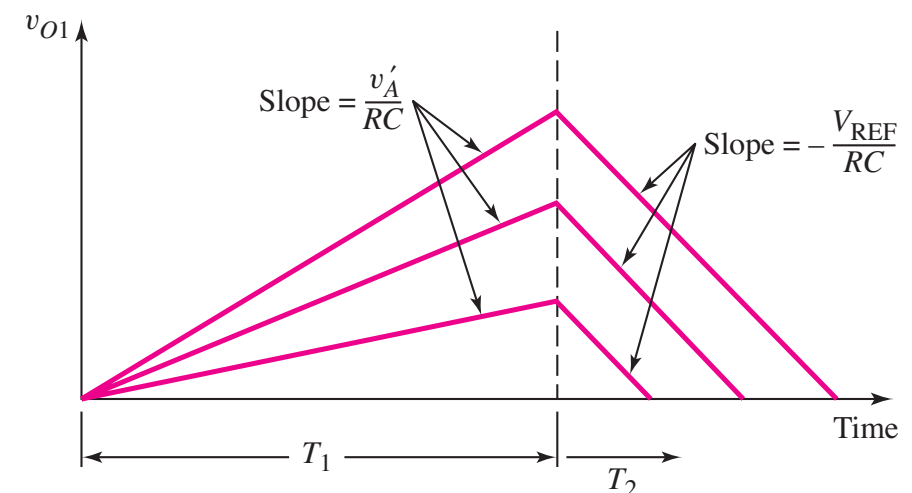
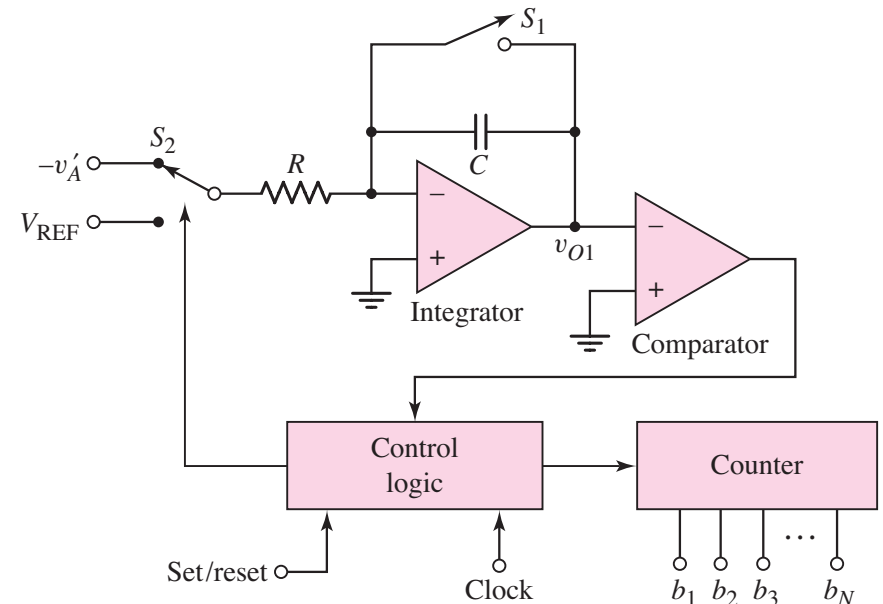
Dual-Slope ADC

- Op $t = 0$ opent de switch S_1 zodat de negatieve input $-v'_A$ op de integrator staat
- Na een vaste tijd T_1 , wordt switch S_2 op V_{REF} gezet en de tijd wordt gemeten tot T_2 waarop $v_O(T_2) = 0$
- Dit geeft:

$$T_1 \frac{v'_A}{RC} = v_O(T_1) = T_2 \frac{V_{REF}}{RC}$$

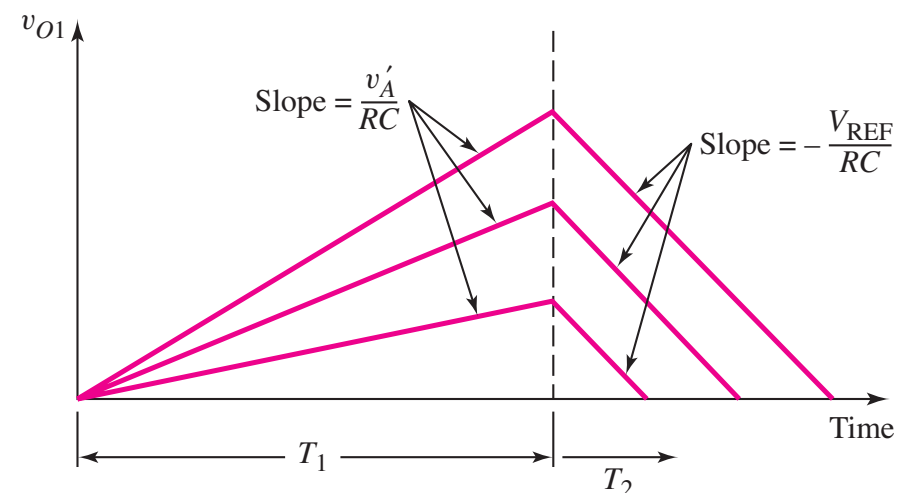
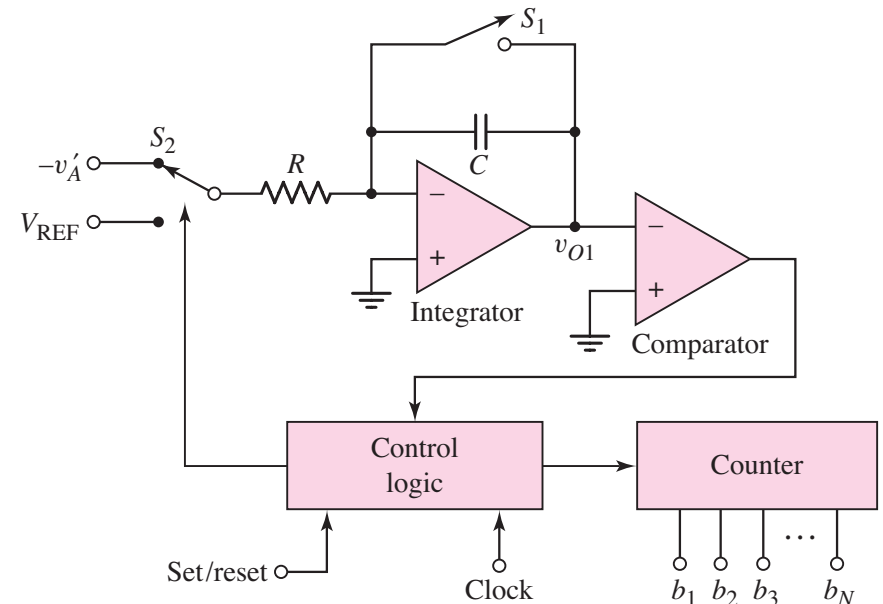
- Dus als $T_1 = 2^N T$, dan wordt de N-bits waarde bepaald volgens:

$$n = \frac{T_2}{T} = 2^N \frac{v'_A}{V_{REF}}$$

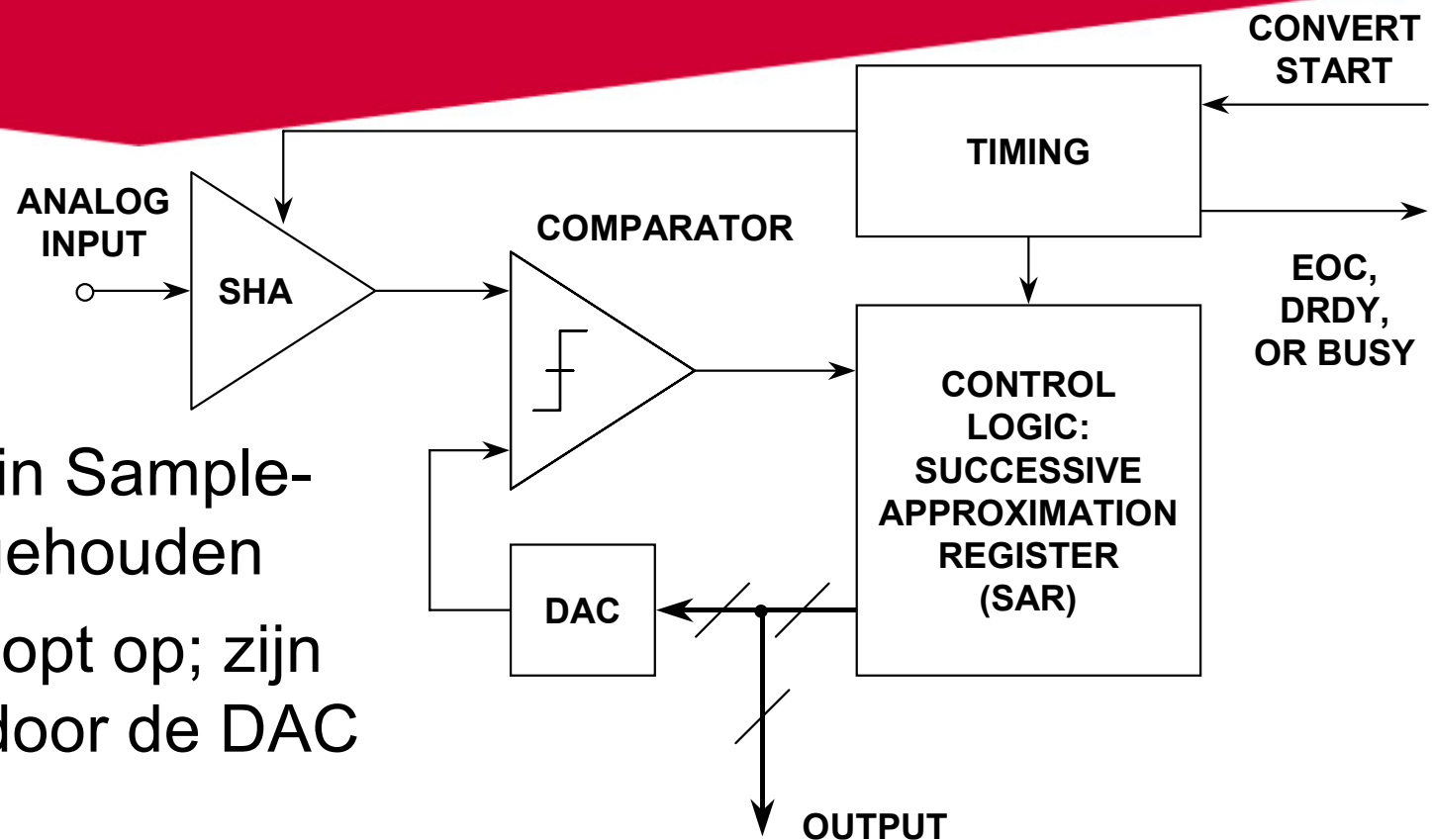


Dual-Slope ADC

- Hoe lang duurt het bepalen van de digitale waarde van een spanning minimaal voor een 20-bits ADC als de klok in 1 Mhz heeft
- Leg uit waarom deze methode heel nauwkeurig kan zijn



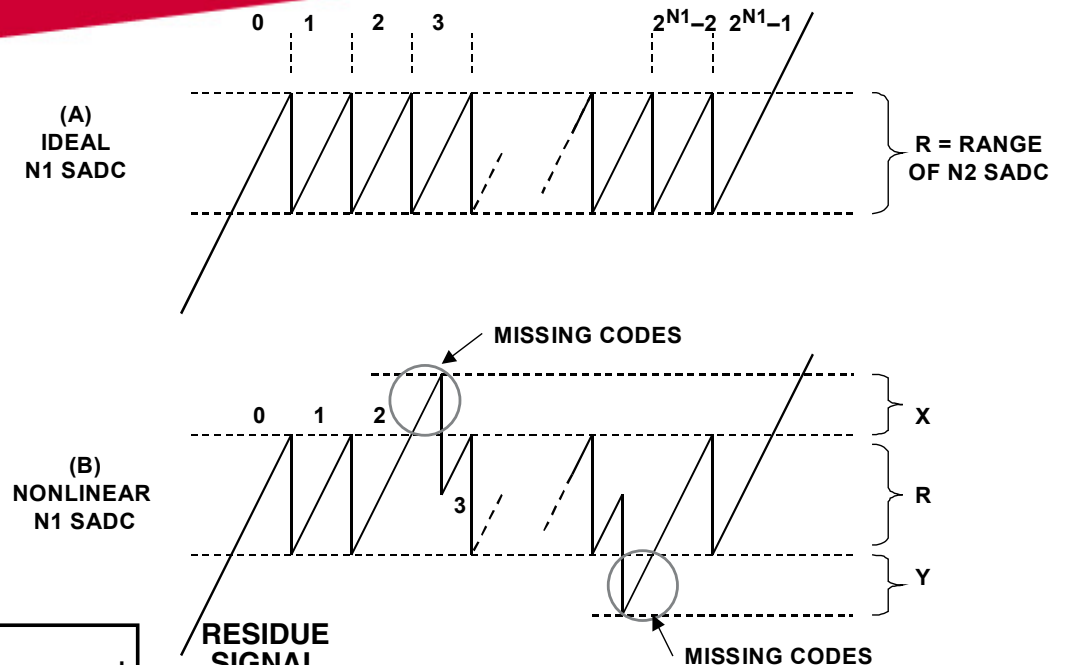
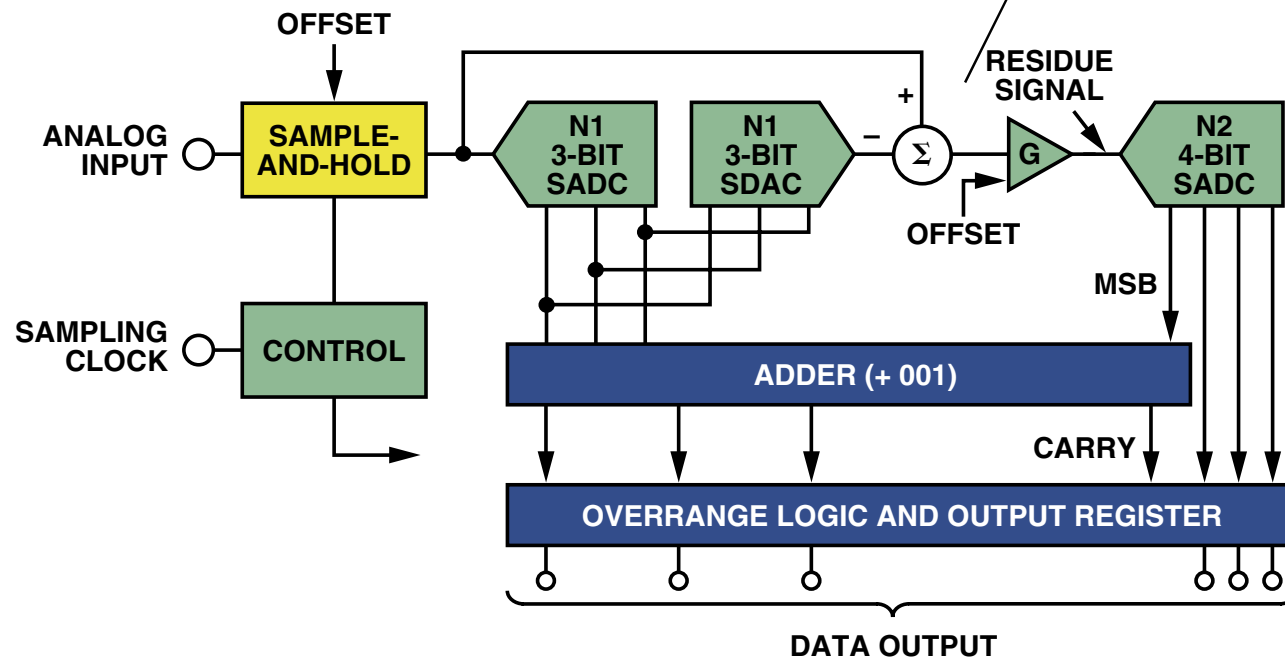
SAR ADC



- Signaal wordt in Sample-and-Hold vastgehouden
- Een counter loopt op; zijn waarde wordt door de DAC omgezet
- Deze waarde wordt door de comparator vergeleken met het inputsignaal
- Op het moment dat counterwaarde groter is dan de inputspanning, klapt de comparator om
- De digitale uitgangswaarde staat dan op de output

Error-correcting Pipeline ADC

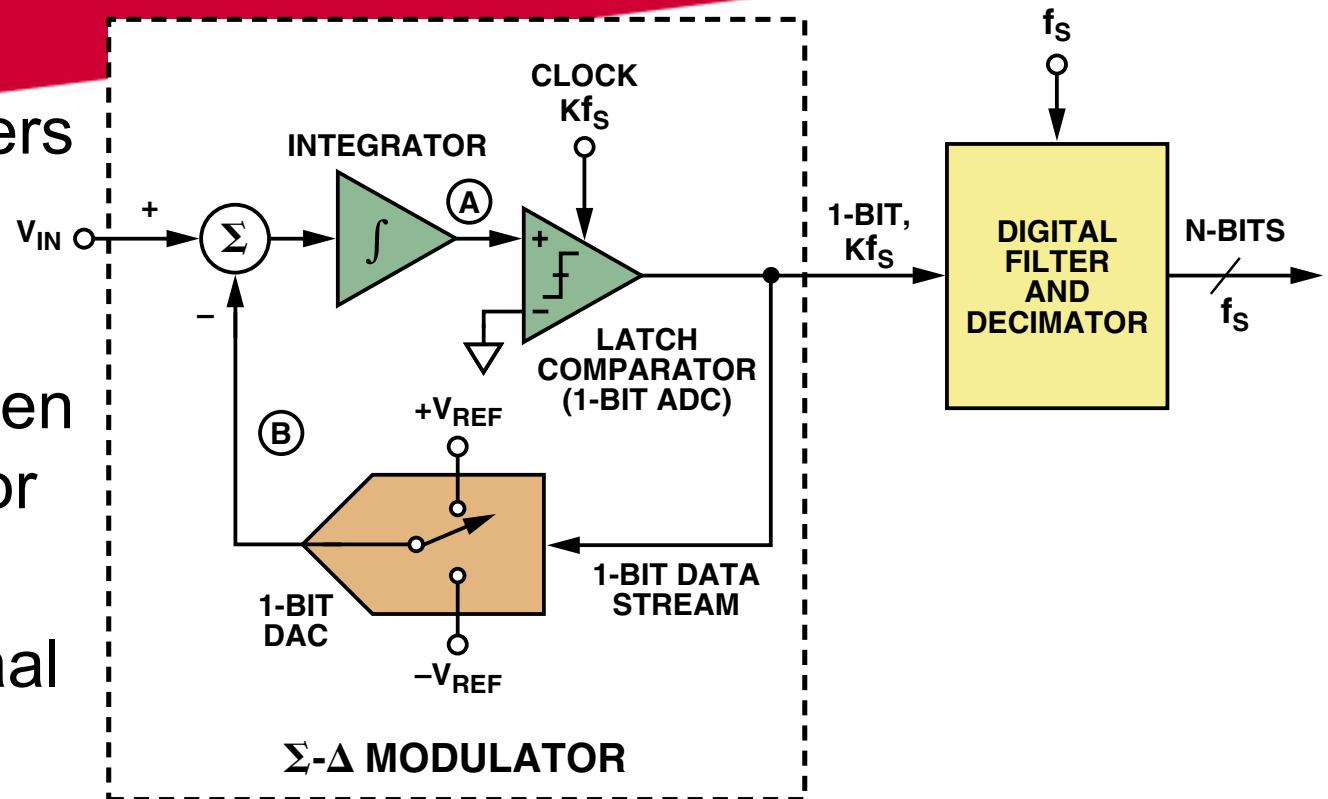
- Er kunnen fouten optreden bij het converteren in stages
- Door redundante bits te gebruiken kunnen



Sigma-Delta ($\Sigma\Delta$) Converters

Sigma-Delta converters bestaan uit:

- Integrator verbonden aan een comparator (1-bit ADC)
- Hierbij wordt K -maal oversampeld
- De resulterende 1-bit-stroom gaat door een modulator (1-bit DAC) en wordt vervolgens met de input gecombineerd
- De K -maal oversampelde bit-stream wordt digitaal gefilterd en teruggebracht naar de oorspronkelijke samplefrequentie f_s

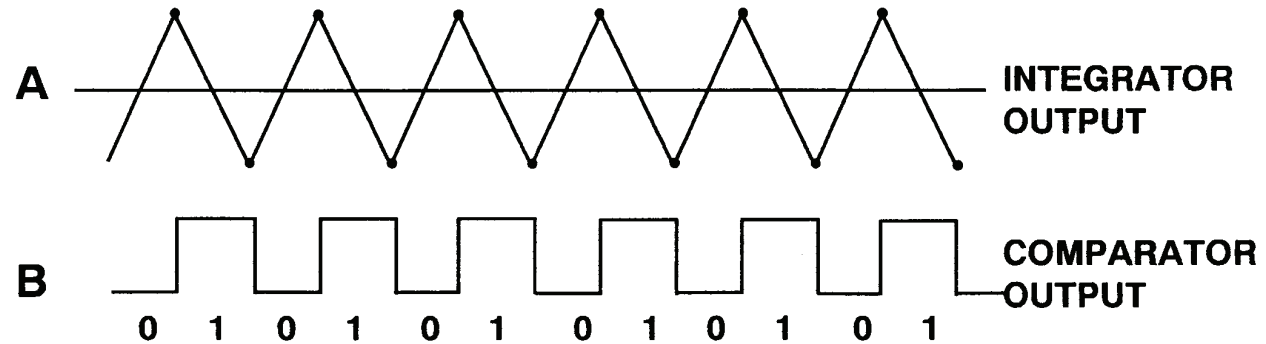


Sigma-Delta modulatie waveforms

$$V_{IN} = 0V$$

$$= \frac{2}{4}$$

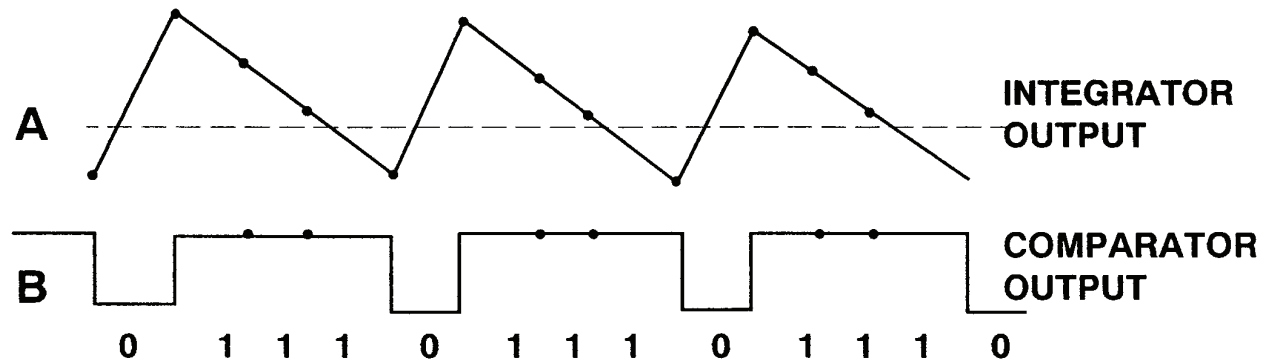
$$= \frac{4}{8}$$



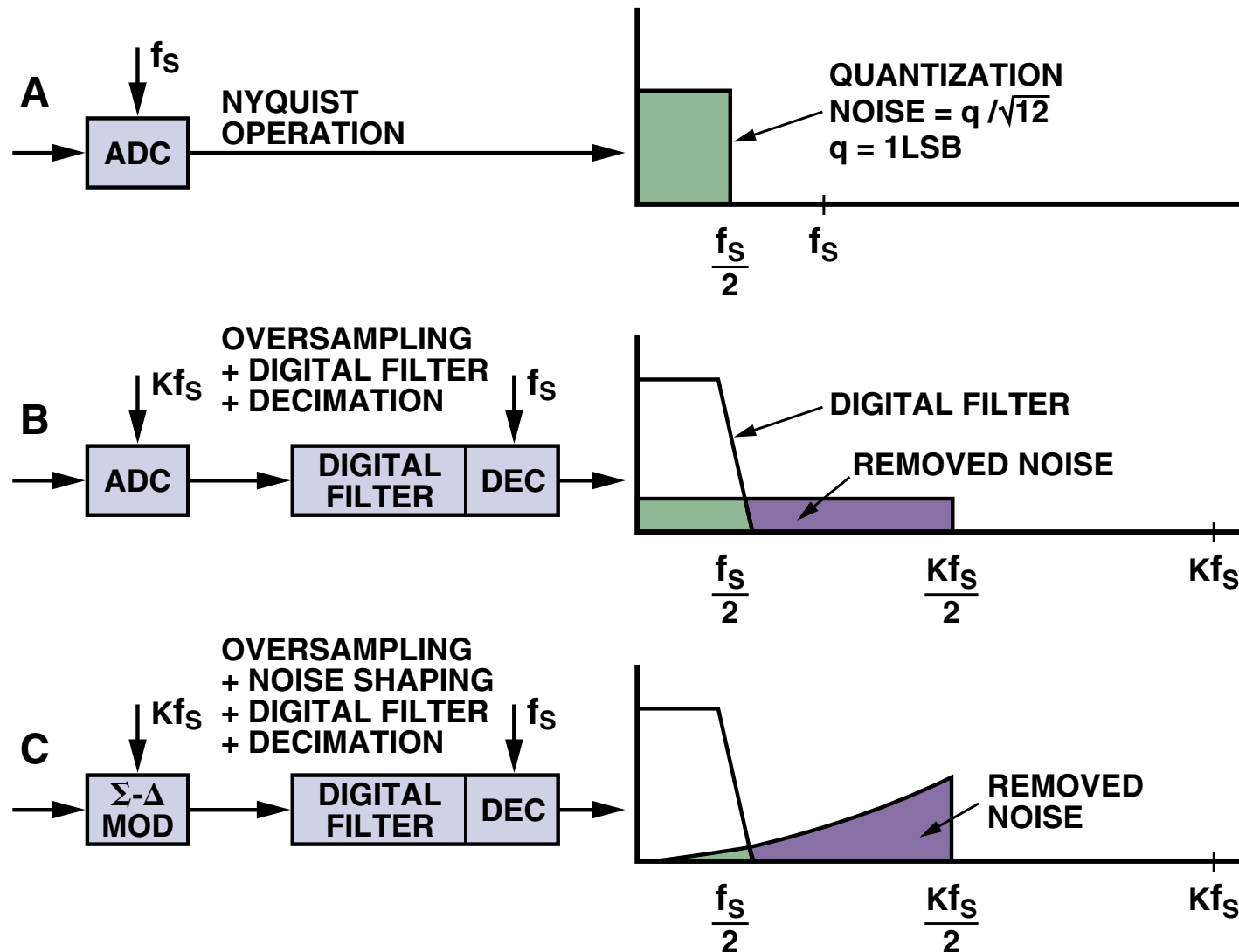
$$V_{IN} = + \frac{V_{ref}}{2}$$

$$= \frac{3}{4}$$

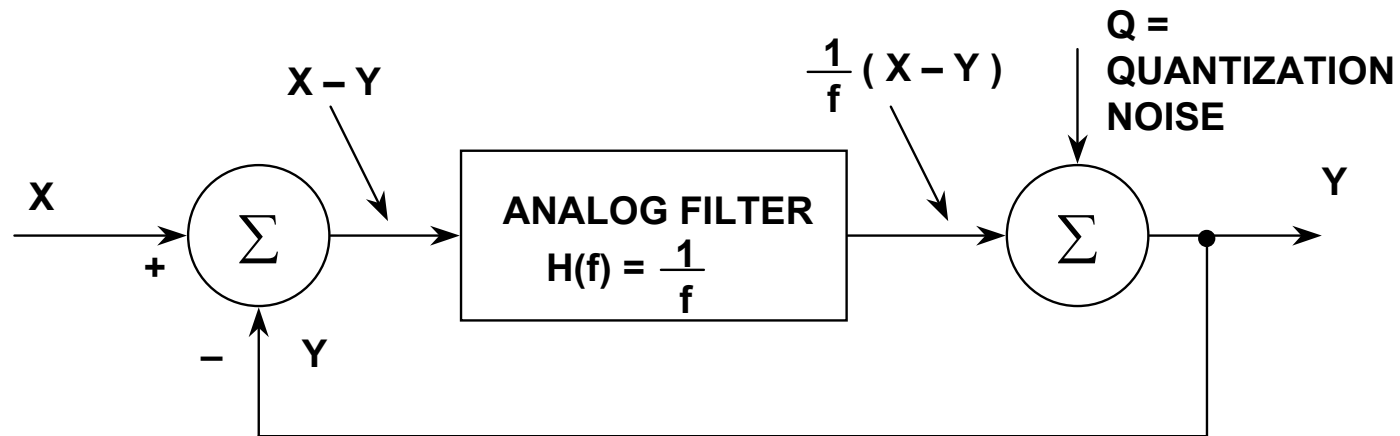
$$= \frac{6}{8}$$



Quantization noise shaping



Quantization noise shaping



$$Y = \frac{1}{f}(X - Y) + Q$$

REARRANGING, SOLVING FOR Y:

$$Y = \frac{X}{f+1} + \frac{Qf}{f+1}$$

SIGNAL TERM

NOISE TERM

Tweede orde Sigma-Delta Converters

