Manier van werken

De hoeveelheid informatie die beschikbaar is over het gebruik van Intel SoC FPGA's is overweldigend. Om de in de cursushandleiding beschreven leerdoelen te behalen maken we gebruik van door Intel beschikbaar gestelde tutorials. Bedenk goed dat het uitvoeren van deze tutorials geen doel op zich is. Zorg dat je begrijpt wat je doet en hou de leerdoelen in het oog. Vraag indien nodig je docent om extra uitleg. Wij adviseren je om een logboek bij te houden, zodat je e.e.a. snel terug kunt zoeken.

Opdrachten week 2 – Platform Designer component en RTOS

Vorige week heb je een systeem gebouwd op een FPGA dat een Nios II soft core bevat. Daarbij heb je gebruik gemaakt van verschillende IP cores[1] zoals On-Chip Memory, PIO (Parallel I/O), JTAG UART, Interval Timer en Nios II Processor. De documentatie van deze en andere standaard in Platform Designer beschikbare IP-cores kun je als volgt vinden:

- De *Embedded Peripheral IP User Guide*[2] beschrijft de standaard bij Quartus II meegeleverde IP cores.
- De beschrijving van IP cores uit het Intel® FPGA Academic Program kun je op deze wikipagina[3] vinden.

Natuurlijk wil je het met Platform Designer gebouwde systeem combineren met je eigen hardware die je beschreven hebt in VHDL. Dit kan op twee manieren:

- Het systeem dat je met Platform Designer hebt gebouwd is 'gewoon' een VHDL **`entity`** en deze kun je als **`component`** op de gebruikelijke manier instanstiëren in je eigen VHDL beschrijving. De in Platform Designer geëxporteerde poorten kun je dan verbinden met andere signalen uit je eigen VHDL beschrijving.
- Je kunt ook je eigen Platform Designer component ontwikkelen. Deze component kun je dan gebruiken bij het bouwen van een systeem in Platform Designer.

De eerste methode heb je al toe leren passen bij de cursus HWP1. De tweede methode ga je deze week toepassen.

Tot nu toe heb je bij het ontwikkelen van de software voor de Nios II processor gebruik gemaakt van een BSP. Bij grotere of tijdkritische programma's is het vaak handig om gebruik

[1] Intellectual Property core, zie Wikipedia.

[2] https://github.com/HR-ELEKTRO/csc1/wiki/Docs/Embedded_Peripherals_IP_User_Guide_18_1.pdf

[3] https://github.com/HR-ELEKTRO/csc1/wiki/academic-materials-ip-cores

te maken van een Real-Time OS. Deze week ga je bij het ontwikkelen van de software gebruik maken van het RTOS µC/OS-II.

Je gaat deze week leren hoe je:

- een eigen Platform Designer component kan definiëren met behulp van VHDL;
- deze component kan opnemen in een te bouwen systeem dat geïmplementeerd kan worden in een FPGA;
- hoe je deze component kan aansturen vanuit software met behulp van een RTOS.

Opdrachten eerste les.

De opdrachten behorende bij de eerste les zouden ongeveer één dag (8 uur) werk moeten kosten.

In week 1 heb je de 7-segment displays rechtstreeks aangestuurd met behulp van een PIO. De omzetting van binaire code naar 7-segmentscode heb je in software geïmplementeerd. Er waren dus 7 bits in het PIO data-out register nodig om één 7-segment display aan te sturen. Omdat het PIO data-out register maximaal 32-bits breed is, kon je maar maximaal vier 7-segment displays aansturen met behulp van één PIO. Om die reden heb je twee PIO's gebruikt. Deze week ga je zelf een Platform Designer component maken waarmee je de 7-segment displays gaat aansturen. Deze component implementeert de omzetting van binaire code naar 7-segmentscode in hardware. Daardoor zijn in het output register nog maar 4 bits nodig om één 7-segment display aan te sturen. We kunnen dan dus met één 32 bits register maximaal acht 7-segment displays aansturen.

2.1 Download de *Making Platform Designer Components*[4]. Voer deze uit met de volgende *aanpassingen*:

- De VHDL-code die gegeven is in figuur 4 op pagina 6 en figuur 5 op pagina 7 bevat de beschrijving van een 32-bit register met een memory-mapped Avalon interface. De beschrijving is verdeeld over twee VHDL-bestanden en is niet erg logisch opgebouwd. In plaats van deze bestanden gebruiken we het VHDL-bestand dat gegeven is in listing 1.
- Op pagina 10 hoef je dus alleen het bestand `reg32_avalon_interface.vhd` toe te voegen.

[4] https://github.com/HR-ELEKTRO/csc1/wiki/Docs//Making_Qsys_Components.pdf is een geannoteerde versie van de originele tutorial van Altera.

- Maak het On-Chip Memory, dat je toevoegt op pagina 11, 131072 bytes groot. Fixeer het beginadres van het On-Chip Memory op adres `0x0000_0000`.
- Voeg bovenaan pagina 13 ook een JTAG UART en een Interval Timer (Simple periodic interrupt van 1 ms) toe aan het systeem. Figuur 12 op pagina 13 ziet er dus iets anders uit.
- In figuur 14 op pagina 15 voeg je het bestand `reg32_avalon_interface.vhd` toe.
- In tegenstelling tot wat op pagina 23 staat laten we `Read wait` op 1 staan
- Noteer, nadat je het Assign Base Addresses commando op pagina 25 hebt uitgevoerd, het adres van de `reg32_component` in de memory map.
- In figuur 26 op pagina 26 kies je voor VHDL in plaats van Verilog.
- In figuur 27 op pagina 27 kies je voor VHDL in plaats van Verilog. Het vinkje bij *Create block symbol file* kun je uitvinken.
- De code die gegeven is in figuur 30 op pagina 30 bevat een syntaxisfout en een verkeerde poortnaam.
- Voeg boven aan pagina 32 de tekst toe: schakel de source level debugging uit via het menu Edit » Disable Source Level Debugging.
- Vervang op pagina 32 het adres `0x00000000` met het adres van de `reg32_component` in de memory map.

```
-- altera vhdl_input_version vhdl_2008
library IEEE;
use IEEE.std_logic_1164.all;

entity reg32_avalon_interface is
    port (
        clock, resetn : in std_logic;
        read, write, chipselect : in std_logic;
        readdata : out std_logic_vector(31 downto 0);
        writedata : in std_logic_vector(31 downto 0);
        byteenable : in std_logic_vector(3 downto 0);
        Q_export : out std_logic_vector(31 downto 0)
    );
end reg32_avalon_interface;

architecture rtl of reg32_avalon_interface is
    type registers is array (0 to 0) of std_logic_vector(31 ↩
 ↪ downto 0);
```

```
    signal regs: registers;
begin
    process(clock, resetn)
    begin
        if not resetn then
            for i in 0 to 0 loop
                regs(i) <= (others => '0');
            end loop;
        elsif rising_edge(clock) then
            if chipselect then
                if read then
                    readdata <= regs(0);
                elsif write then
                    if byteenable(0) then
                        regs(0)(7 downto 0) <= writedata(7 ↩
↪ downto 0);
                    end if;
                    if byteenable(1) then
                        regs(0)(15 downto 8) <= writedata(15 ↩
↪ downto 8);
                    end if;
                    if byteenable(2) then
                        regs(0)(23 downto 16) <= writedata(23 ↩
↪ downto 16);
                    end if;
                    if byteenable(3) then
                        regs(0)(31 downto 24) <= writedata(31 ↩
↪ downto 24);
                    end if;
                end if;
            end if;
        end if;
    end process;
    Q_export <= regs(0);
end architecture rtl;
```

Listing 1: reg32_avalon_interface.vhd: 32-bit register met een memory-mapped Avalon interface.

2.2 Het omzetten van hexadecimaal naar 7-segmentscode wordt in de tutorial in het top level gedaan. Het is echter veel logischer om dit in de zelfgemaakte Platform Designer

component te doen. Deze component functioneert dan als een 7-segment hardware driver die je vanuit software kan aansturen. In de top-level module hoef je dan alleen de component `embedded_system` nog maar te instantiëren en met de juiste pinnen te verbinden. Pas de in opdracht 2.1 gemaakte hardware aan zodat de omzetting van hexadecimaal naar 7-segmentscode in de zelfgemaakte component gebeurt.

2.3 Pas ook de software die je bij opdracht 1.10 hebt gemaakt aan zodat het werkt met de bij opdracht 2.2 gebouwde hardware. Test deze software met behulp van *Nios II Software Build Tools for Eclipse*.

Het systeem dat je bij opdracht 2.2 hebt gebouwd stuurt slechts vier 7-segments displays aan. Het is nu een koud kunstje om de zelfgemaakte component alle zes de 7-segments displays aan te laten sturen. We hebben namelijk nog 16 bits over in het 32-bits register.

Om de opdracht leerzamer te maken kiezen we echter een andere aanpak. De zelfgemaakte component heeft een *Avalon Memory-Mapped Interface*[5]. Deze interface bevat ook een adres en dit adres kan gebruikt worden om verschillende registers in de component te adresseren. Je gaat er nu voor zorgen dat je de overige twee 7-segment displays via een tweede register kan aansturen.

2.4 Breid de in opdracht 2.2 aangemaakte component uit met één adreslijn en extra signalen in de *Conduit signals* en zorg ervoor dat de component 2 registers bevat. De vier meest rechtse 7-segment displays moeten (via binaire codes) aan te sturen zijn via het eerste register en de twee meest linkse 7-segment displays moeten (via binaire codes) aan te sturen zijn via het tweede register. In listing 1 is er bij de definitie van het `type registers` al rekening gehouden dat de component meerdere registers kan bevatten.

2.5 Pas ook de software aan zodat alle zes 7-segment displays aangestuurd kunnen worden.

2.6 Test deze software met behulp van *Nios II Software Build Tools for Eclipse*.

[5] Zie https://github.com/HR-ELEKTRO/csc1/wiki/Docs/n2sw_nii5v2gen2-18-1.pdf.

Opdrachten tweede les.

De opdrachten behorende bij de tweede les zouden ongeveer één dag (8 uur) werk moeten kosten.

Tot nu toe heb je bij het ontwikkelen van de software voor de Nios II processor gebruik gemaakt van een BSP. Bij grotere of tijdkritische programma's is het vaak handig om gebruik te maken van een Real-Time OS. Je gaat bij de volgende opdrachten gebruik maken van het RTOS µC/OS-II.

2.7 Bestudeer hoofdstuk 11 van het *Nios II Software Developer's Handbook*[6].

2.8 We maken gebruik van het boek: Jean J. Labrosse. *µC/OS II The Real-Time Kernel – User's Manual*. Micriμm Press, 2015. URL: https://github.com/HR-ELEKTRO/csc1/wiki/Boeken/100-uC-OS-II-003.pdf. Zorg dat je begrijpt hoe je een taak kan starten in dit RTOS en hoe taken met elkaar kunnen communiceren.

2.9 Maak in Nios II Software Build Tools for Eclipse een nieuw project aan met het menu File > New > Nios II Application and BSP from Template. Selecteer de bij opdracht 2.4 gebouwde SOPC Information File. Kies voor de *Hello MicroC/OS-II* project template. Dit project kun je als basis gebruiken om je eigen software met behulp van het RTOS MicroC/OS-II te ontwikkelen.

Laad het bij opdracht 2.4 gebouwde systeem op het DE1-SoC board en test het bij opdracht 2.9 aangemaakte project. Verbeter eventuele fouten.

2.10 Maak nog een project aan dat gebruik maakt van de hierboven aangemaakte BSP en MicroC/OS-II. Codeer een applicatie twee toestanden kent 'lopen' en 'stilstaan' en die bestaat uit 3 taken:

- Een periodieke taak die, in de toestand lopen, elke milliseconde een 16-bits teller met 1 verhoogt en de waarde van deze teller in hexadecimale code weergeeft op de meest rechtse vier 7-segment displays. In de toestand stilstaan behoud de teller zijn waarde. De teller moet starten op 0.

[6] https://github.com/HR-ELEKTRO/csc1/wiki/Docs/n2sw_nii5v2gen2-18-1.pdf#_OPENTOPIC_TOC_PROCESSING_d116e96536

- Een periodieke taak die, in de toestand lopen, elke seconde een 8-bits teller met 1 verhoogt en de waarde van deze teller in hexadecimale code weergeeft op de meest linkse twee 7-segment displays. In de toestand stilstaan behoud de teller zijn waarde. De teller moet starten op 0.
- Een taak die wacht tot er een karakter binnenkomt op de JTAG UART. Als het karakter `'0'` wordt ontvangen, moet de applicatie in de toestand stilstaan komen en als het karakter `'1'` wordt ontvangen, moet de applicatie in de toestand lopen komen.

Ken prioriteiten toe met behulp van Rate Monotonic Priority Assignment zoals je bij de cursus RTS1[7] hebt geleerd. Maak daartoe ook een inschatting van de minimale periodetijd van de sporadic task (de derde taak). Zorg ervoor dat dit project zonder fouten gecompileerd kan worden.

Laad het bij opdracht 2.4 gebouwde systeem op het DE1-SoC board en debug het bij opdracht 2.10 aangemaakte project totdat het werkt volgens de gegeven specificaties.

[7] Zie eventueel: https://github.com/HR-ELEKTRO/rts1/wiki.