

Uitmuntend (+3)	Goed (+1)	Ruim voldoende (7)	Voldoende (6)	Onvoldoende (4)	Zeer slecht (1)
Zie voetnoot 2 + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht zie voetnoot 1 . <i>Architectuurschema en state diagram(s) zijn logisch en foutloos.</i>	Zie voetnoot 2 + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: architectuurschema van de uitbreiding bevat te weinig details, indeling in componenten is niet logisch of state diagram ontbreekt.</i>	Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Architectuurschema is helder en foutloos.</i>	Leerdoel is aangetoond met de basisopdracht maar bevat kleine foutjes. <i>Zoals: architectuurschema bevat te weinig details of indeling in componenten is niet geheel logisch.</i>	Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat meerdere of ernstige fouten. <i>Zoals: architectuurschema bevat te weinig details of indeling in componenten is niet logisch.</i>	Leerdoel is niet aangetoond. <i>Architectuurschema ontbreekt of is volledig onjuist.</i>
Zie voetnoot 2 + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>VHDL code is volledig correct. Alle keuzes zoals concurrent of sequentiële code zijn correct onderbouwd.</i>	Zie voetnoot 2 + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>VHDL code van de uitbreiding werkt maar is voor verbetering vatbaar of niet alle keuzes zijn correct onderbouwd.</i>	Leerdoel is overtuigend aangetoond met de basisopdracht. VHDL code is volledig correct. <i>Alle keuzes zoals concurrent of sequentiële code zijn correct onderbouwd.</i>	Leerdoel is aangetoond met de basisopdracht maar bevat kleine foutjes. <i>VHDL code werkt maar is voor kleine verbeteringen vatbaar of niet alle keuzes zijn correct onderbouwd.</i>	Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat meerdere of ernstige fouten. <i>VHDL code werkt maar is sterk voor verbetering vatbaar of belangrijke keuzes zijn niet of niet correct onderbouwd.</i>	Leerdoel is niet aangetoond. <i>VHDL code ontbreekt of is volledig onjuist.</i>
Zie voetnoot 2 + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>Testbench(es) testen alle functionaliteit automatisch (zover als mogelijk is).</i>	Zie voetnoot 2 + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: Testbench(es) van de uitbreiding testen niet alle functionaliteit of het is nodig om waveforms handmatig te controleren.</i>	Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Testbench(es) testen alle functionaliteit automatisch (zover als mogelijk is).</i>	Leerdoel is aangetoond met de basisopdracht maar bevat kleine foutjes. <i>Bijvoorbeeld: Testbench(es) testen alleen de belangrijkste functionaliteit automatisch.</i>	Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat meerdere of ernstige fouten. <i>Zoals: Testbench(es) testen niet alle belangrijke functionaliteit of het is nodig om waveforms handmatig te controleren.</i>	Leerdoel is niet aangetoond. <i>Testbench(es) ontbreken of zijn volledig onjuist.</i>
Zie voetnoot 2 + Leerdoel is overtuigend aangetoond met een uitbreiding op de basisopdracht. <i>Correcte werking is aangetoond met duidelijke screenshots of filmpje. Uitvoer van de RTL Viewer en State Diagram Viewer komen overeen met het ontwerp.</i>	Zie voetnoot 2 + Leerdoel is aangetoond met een uitbreiding op de basisopdracht maar bevat fouten. <i>Zoals: correcte werking van de uitbreiding is niet overtuigend aangetoond of uitvoer van de RTL Viewer en State Diagram Viewer komen niet overeen met het ontwerp.</i>	Leerdoel is overtuigend aangetoond met de basisopdracht. <i>Correcte werking is aangetoond met duidelijke screenshots of filmpje. Uitvoer van de RTL Viewer komt overeen met het ontwerp.</i>	Leerdoel is aangetoond met de basisopdracht maar bevat kleine foutjes. <i>Correcte werking is gedeeltelijk aangetoond met screenshots of filmpje. Uitvoer van de RTL Viewer komt niet helemaal overeen met het ontwerp.</i>	Er is een poging gedaan om het leerdoel aan te tonen maar de poging bevat meerder of ernstige fouten. <i>Zoals: correcte werking is niet overtuigend aangetoond of uitvoer van de RTL Viewer komt helemaal niet overeen met het ontwerp.</i>	Leerdoel is niet aangetoond. <i>Werking is niet aangetoond of VHDL code werkt niet op de FPGA of uitvoer van de RTL Viewer is niet gegeven.</i>

Voetnoot 1: De uitbreiding op de basisopdracht dient te voldoen aan de volgende eisen. De uitbreiding:

- bevat minstens één zelfgeschreven state machine met minstens vier states;
- bevat minstens drie componenten waarvan er minstens één zelfgeschreven is;
- elk zelfgeschreven component heeft een testbench die deze component automatisch test;
- de zelfgeschreven component maakt gebruik van generics als dit toepasselijk is.

Voetnoot 2: Om de extra punten bij *Uitmuntend* of *Goed* te behalen moet de basisopdracht met *Ruim voldoende* of *Voldoende* zijn beoordeeld!