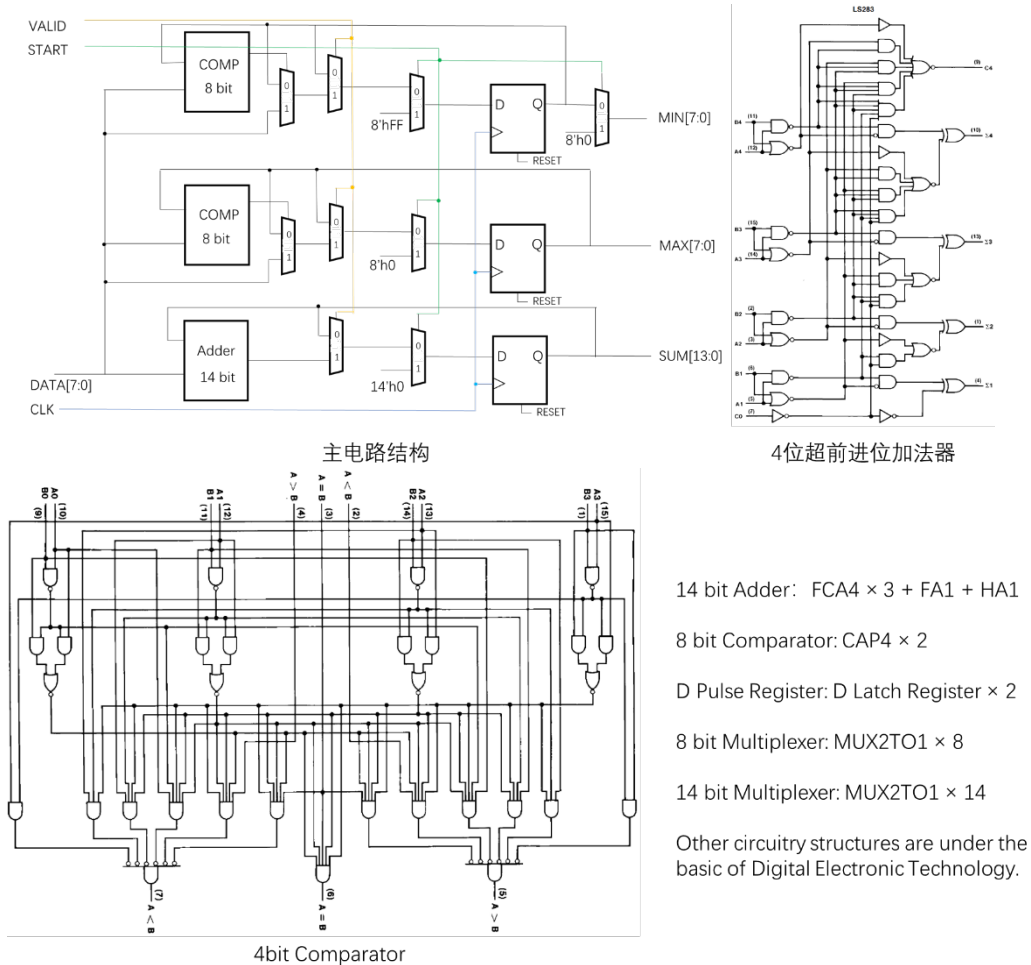


## Digit VLSI Project MMS19

## 一、组内分工

姓名	学号	组内分工
蒋煜	2020211073	比较器电路设计, HSPICE 代码编写
谢双文	2020211065	HSPICE 代码编写, 电路整体架构搭建, 电路优化
杜仪	2020211081	加法器电路设计, HSPICE 代码编写
丁晨	2020211103	加法器电路设计, HSPICE 代码编写
张云来	2020211070	比较器电路设计, HSPICE 代码编写

## 二、电路原理图



## 三、设计思想与策略的简要阐述

将输入的 8bit 数据同时输入加法器和两个比较器中。通过给 D 触发器加上一个异步的 reset 信号达到异步复位的作用。

在加法器的数据通路中, 8bit 的 data 与输出反馈回来的 14bit 的 sum 值进行计算, 将结果输出。valid 信号控制加法器数据通路的第一个二选一 MUX, 若 valid 为 0, 则将当前的 sum 循环, 若 valid 为 1, 则将新的计算结果输出。start 控制整个数据通路的开启, 并且会将数据初始化, 所以将 start 信号控制的二选一 MUX 放在距离寄存器最近的位置, 若 start 为 1, 则将数据通路的数据置为设定的初始值。

在比较器的数据通路中, 8bit 的 data 与输出反馈回来的 8bit 的 min/max 值进行比较, 用比较器的输出结果控制下一级二选一 MUX, 选取 data 和 max/min 中的最大/小值。其中的 valid 和 start 信号与加法器数据通路中作用一致, 注意在 min 数据通路中, start 控制两个二选一 MUX, 达到将初始化 min 输出置为 0 和保证 min 反馈回路与 data 进行最小值比较的正确性。

优化电路功耗时, 删减能够删减的晶体管, 省去能够省去电路部分电路, 选用低功耗的电路结构等。

## 四、典型仿真波形

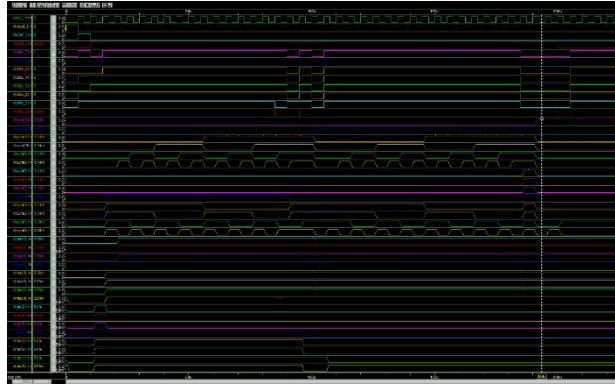


Figure 1 200k, 0.245V, 45 个周期

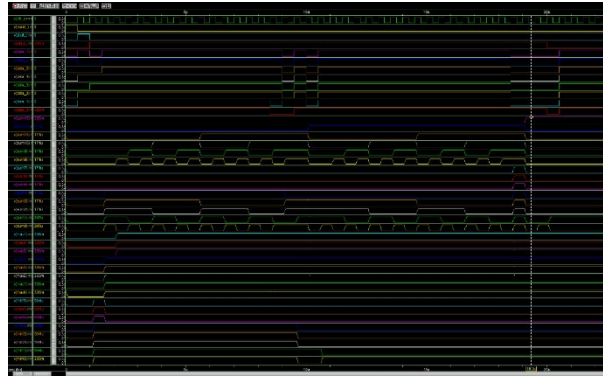


Figure 2 2Meg, 0.37V, 45 个周期

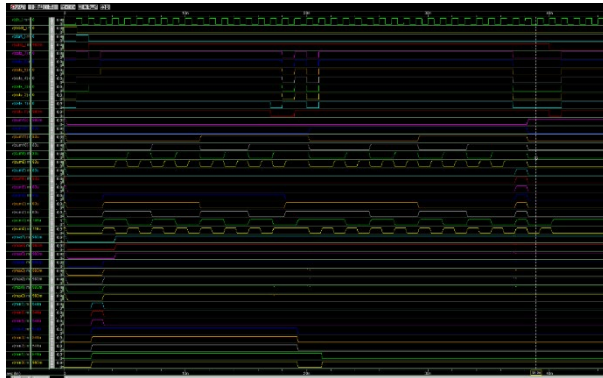


Figure 3 1Geg, 0.98V, 45 个周期

#### 四、性能指标

电路的关键路径为，14 位的加法器从 14'h1FFF 翻转为 14'h2FFF（一共翻转 13 次）到 sum 输出的路径，通过这条保持正常，仿真正常工作的最低电压。

频率 Hz	极限电压 V	极限 avg_power W
200k	0.221	4.24E-09
2Meg	0.34	3.20E-08
1Geg	0.888	8.37E-05

考虑 10%电源电压波动，得到各种典型性能数据如下：

频率 Hz	电源电压 V	平均功耗 W	功耗/电压 W/V	能量效率 W/Hz
200k	0.245	5.10E-09	2.08E-08	2.55E-14
2Meg	0.37	3.81E-08	1.03E-07	1.90E-14
1Geg	0.98	1.05E-04	1.07E-04	1.05E-13

#### 五、设计亮点和特色

1. 晶体管级电路设计，全定制化；
2. 比较器优化后只保留输出大于的端口，用于比大和比小电路，删去了部分结构，降低了电路功耗；
3. 加法器最后一位的进位电路删除，降低功耗。