

# 抢答器系统设计实验报告

课程名称：计算机组成原理实验    同组人员：胡峻玮 郑伟丞 邹涵    实验日期：2023.11.9

## 一、实验目的：

设计一套完整的竞赛抢答系统，满足抢答比赛中对以下功能的需求：

- 1. 首位选手抢答成功后，封锁剩余选手的抢答权限，数码管展示抢答选手的信息；
- 2. 抢答成功的瞬间启动倒数计时；
- 3. 回答正确或错误时，由裁判对相应的计分器进行加分或减分；
- 4. 准备进入下一轮抢答时，由裁判按下复位键，清零展示信息的数码管显示并重置倒数计时器。

## 二、主要实验设备：

电路设计软件：Multisim 10

主要芯片：

芯片名称	功能	数量
74LS373	锁存器	1
74LS112	J-K 触发器	1
74LS148	8 线-3 线优先编码器	1
74LS192	同步十进制可逆计数器	18
74LS85	四位数值比较器	4
74LS83	四位二进制加法器	1
555	通用单双极型定时器	1
DCD_HEX	数码管	15

## 三、实验原理：

### （一）抢答器模块原理：

本模块使用了以下芯片：

74LS373 锁存器

74LS112 JK 触发器

74LS148 8 线-3 线优先编码器

## 1. 功能描述:

### (1) 抢答功能:

每一选手控制一个即按即弹起的抢答按钮,当某位选手首先按下抢答按钮后,JK 触发器接收到高平到低平的脉冲信号,输出为置 0 状态,从而持续保持了锁存器的锁存状态,使得其他选手后续按下抢答按钮时无法生效。于此同时,第一位按下抢答按钮的选手的组号(如 2 号)等信息经过优先编码器和取反门电路转化为对应的二进制编码(010),从而在数码管显示出组号(2)。实现抢答并显示组号的功能。

当选手答题完毕准备开启新一轮答题时,由主持人按下复位键,即可解除锁存器锁存状态,清除数码管组号信息显示,使其显示为初始状态 0。实现复位数码管清 0 功能。

### (2) 抢答与倒数计时器的交互功能:

当首位选手按下抢答按钮后,锁存器即进入锁存状态,该状态的转变向计时系统发送脉冲,从而启动计时。实现抢答成功立刻开启倒数计时的功能。

此外,准备开启新一轮答题,主持人按下复位键时,可同时重置倒数计时器。实现复位计时器重置功能。

### (3) 抢答与计分器的交互功能:

当首位选手按下抢答成功后,可将代表选手组号信息的二进制数发送至计分系统,允许计分系统通过匹配控制各计分器的权限,使得只有抢答选手的计分器才能够加减分。实现智能控制计分器权限的功能。

## 2. 逻辑原理描述:

### (1) 抢答环节逻辑原理描述:

74LS373 锁存器 逻辑功能表如下:

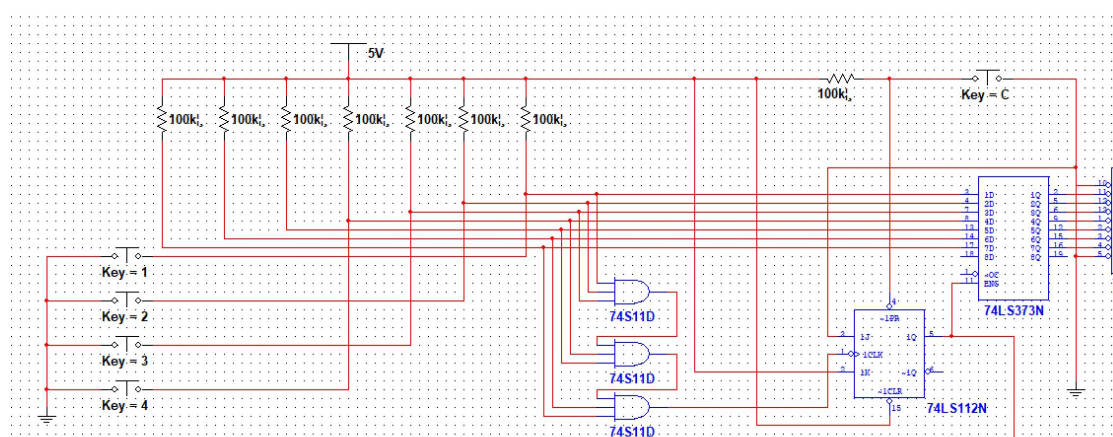
Dn	LE	OE	Qn
1	1	0	1
0	1	0	0
X	0	0	Q0
X	X	1	高阻态

当锁存允许端 LE 为高电平时, Qn 随数据 Dn 而变, 当 LE 为低电平时, D 被锁存在已建立的数据电平。

74LS112 JK 触发器逻辑功能表如下

$\bar{S}_D$	$\bar{R}_D$	CP	J	K	$Q^n$	$Q^{n+1}$	
0	1	X	X	X	X	1	
1	0	X	X	X	X	0	
1	1	↓	0	0	0	0	$Q^{n+1} = Q^n$
1	1	↓	0	0	1	1	保持
1	1	↓	1	0	0	1	$Q^{n+1} = 1$
1	1	↓	1	0	1	1	置 1
1	1	↓	0	1	0	0	$Q^{n+1} = 0$
1	1	↓	0	1	1	0	置 0
1	1	↓	1	1	0	1	$Q^{n+1} = \bar{Q}^n$
1	1	↓	1	1	1	0	翻转

注: ↓ 指下降沿触发



本电路中, 初始状态将 74LS373 的 7 个输入端 1D-7D 设置为默认高电平, 同时将七个输入端通过与门形成一个输出与 JK 触发器的脉冲相接, JK 触发器的 K 接入高电平, J 接入低电平。因此启动电路时, LE 处于高电平, 74LS373 的 7 个

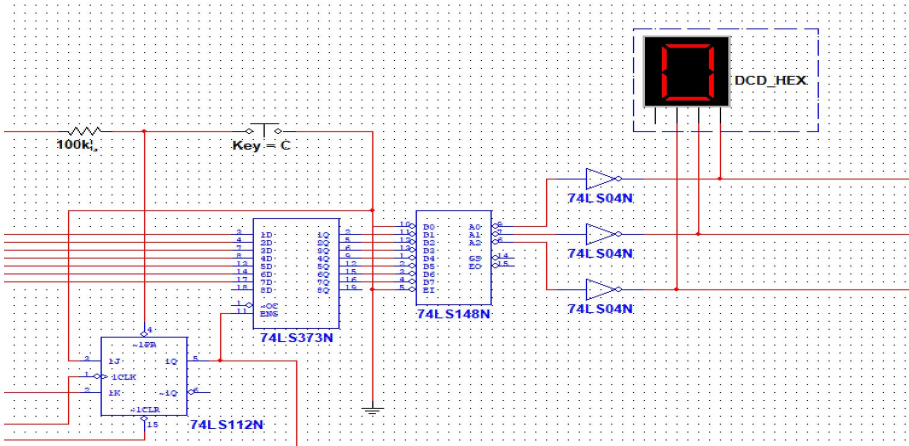
输出端 1Q-7Q 与输入端相同均为高电平。

假设第 2 号选手率先按下抢答按钮，瞬间将 5V 高电平与 2D 输入端的相连的通路给短路，导致锁存器的输入变成 1011111，于此同时 7 个输入端通过一个与门之后的输出瞬间由高电平转变为低电平。由于 JK 触发器为下降沿触发，因此 JK 触发器进入置 0 状态，导致与之相连的 LE 变为低电平，使得锁存器进入锁存状态。因此即便 2 号选手松开按钮后，锁存器的输出仍为 1011111。由于 JK 触发器处于置 0 状态，可保持锁存器的锁存状态，因此其他选手再按抢答按钮时不会改变锁存器的输出。

74LS148 8 线-3 线优先编码器逻辑功能表如下：

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

当 EI 为 0 时，编码器才能正常工作。能将输入中的低电平对应的编号转化对应的二进制编码(需经过取反操作)



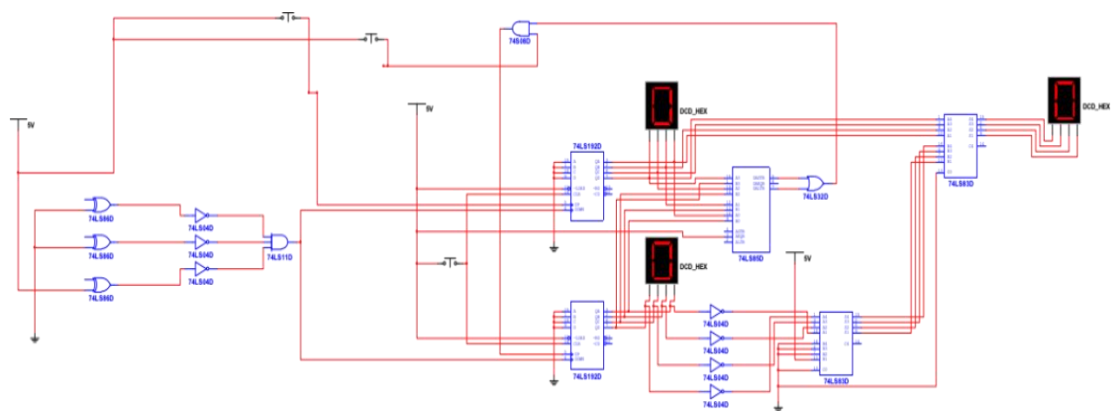
(延续前面的例子)当 2 号选手成功抢答时, 74LS148 的输入端(只需关注 B1-B7)为 1011111, 根据真值表, 其输出(A2-A0)为 101, 分别对三个输出端进行取反操作后, 输出变为 2 号所对应的二进制编码 010, 从而能够在数码管中显示相应的组号信息。

## (2) 复位操作逻辑原理:

当主持人按下复位按钮的瞬间, JK 触发器的 SD 端由高电平变为低电平, RD 端保持高电平, 根据 JK 触发器的逻辑功能表, 从而实现对输出 Q 置 1, 从而解除锁存器的锁存状态, 使得锁存器的输出恢复为 1111111, 数码显示管恢复显示 0, 实现复位清零。

## (二) 计分系统实现原理 (均以第一组的实现为例)

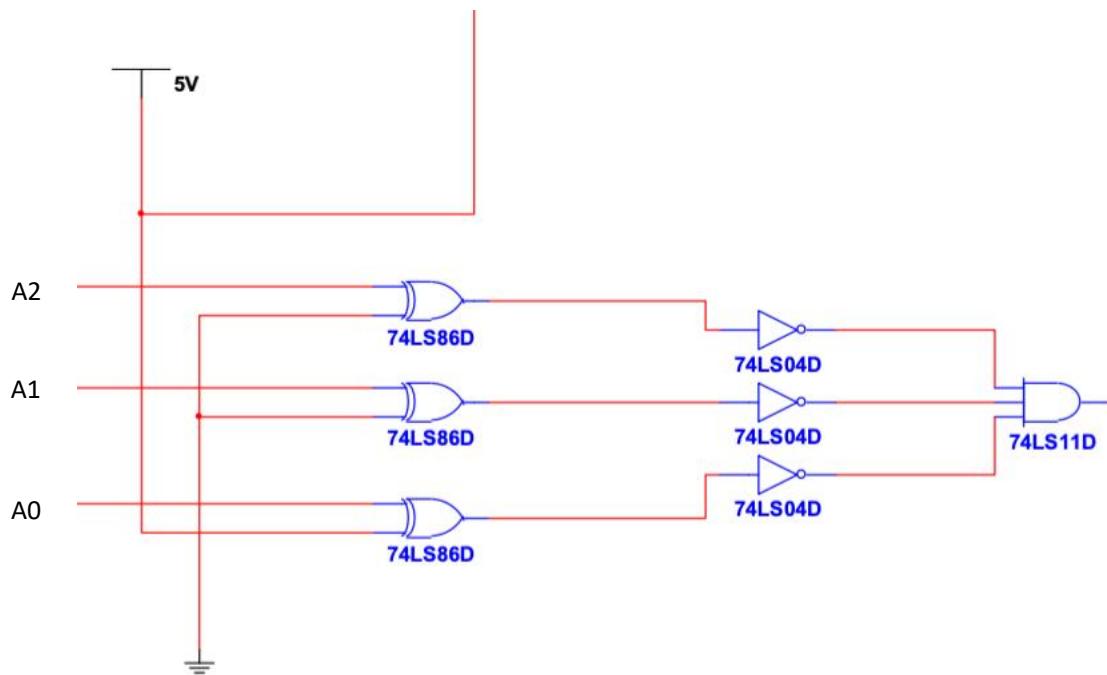
### 1. 电路总览



輸入 A				輸入 B				輸出				
A4	A3	A2	A1	B4	B3	B2	B1	S4	S3	S2	S1	C4
1	0	0	1	0	0	0	1	1	0	1	0	0
1	0	0	1	0	1	1	0	1	1	1	1	0
1	0	0	1	0	1	1	1	0	0	0	0	1
1	0	0	1	1	0	1	1	0	1	0	0	1
1	0	0	1	1	1	1	1	1	0	0	0	1

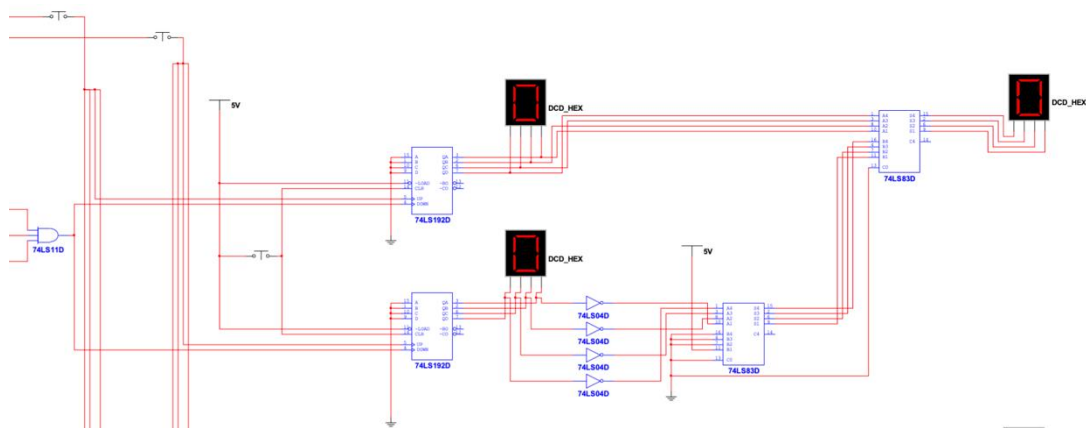
## 2. 各部分功能实现原理

### (1) 匹配对应组号实现原理



在抢答端有人按下抢答器后会对应的产生一个二进制数代表其组号，该二进制数共三位，如上图 A2、A1、A0 所示，输入至计分端，与我们预先设定好的代表组号的二进制数采用异或门进行按位匹配，如果输入的与我们预先设定好的数相同则异或门输出为 0，不同则异或门输出为 1，然后利用非门进行取反，这样就使得如果匹配相同则输出 1，不同则输出 0，然后将三位匹配的结果通过与门进行判断，如果三位均匹配成功则与门输出为 1，只要出现匹配失败则与门输出为 0，这里与门得到的结果将作为后续 74LS192 计数器能否进行计数做准备，以达到匹配组号进行加减分的目的。

## (2) 总积分显示实现原理



### ①减法器实现原理

上图中显示的就是减法器的实现电路，它是使用两个加法器和两个计数器构成的。在匹配对应组号成功后，两块 74LS192 芯片的 4 号引脚  $CP_D$  就为高电位，可以进行加法计数，上方的芯片负责进行正确题数记录，下方芯片负责错误题数记录。而选手最后总体的得分应该为：总分=正确题数-错误题数=正确题数+（-错误题数）（此处假设每题一分），由此我们想到通过补码的方式来表示负数方便计算，那么我们将错误题数的二进制表示通过非门取反输入到下方的 74LS83 加法器中，由于在下方的 74LS83 加法器中我们已经预置了 0001，将二者相加得到错误题数的补码形式，再输入到上方的 74LS83 加法器中，将正确题数的二进制表示输入到上方 74LS83 加法器中，这样就做成了一个简易的减法器，将其得到的最后结果显示在数码管上，就得到了最后选手的总积分。

### ②加分减分实现

在上方有两个按钮，左侧为加分按钮，右侧为减分按钮，在选手抢答后，通过前面设计好的匹配电路可以将加分减分信号传输给对应的组的计分端，此时由

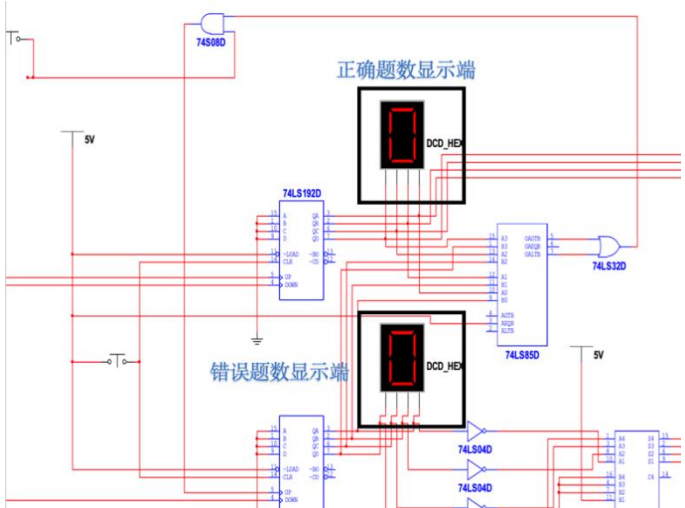


于已经匹配好组号，所以 74LS192 的 4 号引脚  $CP_D$  就为高电位，但是 5 号引脚  $CP_U$  尚为低电位，此时无法计数，当按动加分按钮后，上方芯片的 5 号引脚  $CP_U$  变为高电位，此时相当于一次脉冲输入进 74LS192 中，计数器计数，正确题数+1，同理减分按钮也是如此。

### ③清零实现

在比赛中如果某一组成功晋级或淘汰，则可以对其得分全部清零，此时提供一个清零按钮，它连接着两块 74LS192 芯片的 14 号引脚 CLR 清零端，当按下清零按钮时，两块芯片清零端同时处于高电位，计数器清零。

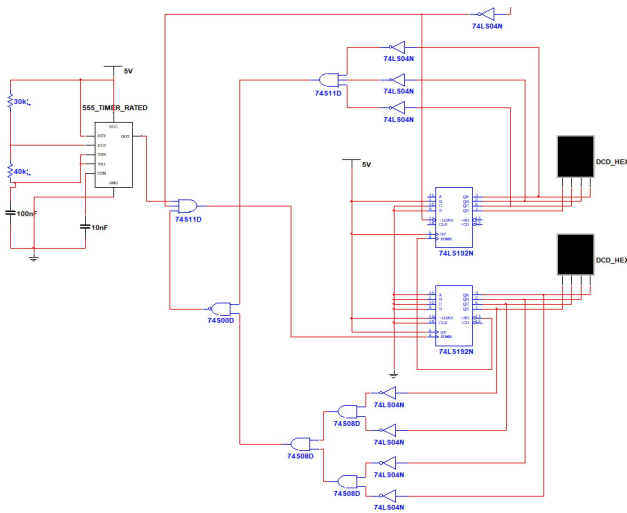
### (3) 改进：异常机制处理原理



评分系统中总积分最低位为 0 分，所以要求正确题数大于等于错误题数，所以我们采取一个比较器来判断二者的关系，将正确题数(A)的四位二进制数和错误题数(B)的四位二进制数按位输入到 74LS85 比较器中，从高位到低位进行比较，如果  $A > B$ ，则 74LS85 的 5 号引脚为高电位，如果  $A = B$  则 74LS85 的 7 号引脚为高电位，二者通过一个或门与减法按钮再输入到一个与门中作为反馈输入到下方 74LS192 的 5 号引脚  $CP_U$ ，即当  $A > B$  或  $A = B$  时，减分按钮按下时下方 74LS192 的 5 号引脚  $CP_U$  为高电位，此时才能驱动下方 74LS192 进行+1，否则下方的 74LS192 是无法进行+1 操作，也就无法实现总积分-1 功能。

(三) 计时系统实现原理

1. 电路总览



(二) 所用芯片引脚图及逻辑功能表

1. 74LS192 计数器引脚图及逻辑功能表

Pin	Label	Pin	Label
15	P0	Q0	3
1	P1	Q1	2
10	P2	Q2	6
9	P3	Q3	7
5	CPu	TCu	12
4	CPD	TCD	13
11	PL		
14	MR		

输入								输出				功能
清零 CLR	置数 LD	加法 时钟 CPD	减法 时钟 CPU	数据输入				Q3	Q2	Q1	Q0	
1	x	x	x	x	x	x	x	0	0	0	0	异步置数
0	0	x	x	D3	D2	D1	D0	D3	D2	D1	D0	异步置数
0	1	/	1	x	x	x	x	递增8421BCD码				递增计数
0	1	1	/	x	x	x	x	递减8421BCD码				递减计数
0	1	1	1	x	x	x	x	Q3^n	Q2^n	Q1^n	Q0^n	保持不变

2. 555 定时器

引脚:		1脚-接地端	2脚-低触发端
		3脚-输出端	4脚-复位端
		5脚-电压控制端	6脚-高触发端
		7脚-放电端	8脚-电源 $V_{CC}$ 端

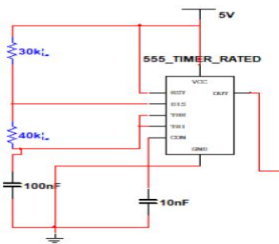
  

555定时器的功能表				
复位端 $\overline{R_D}$	高触发端TH	低触发端 $\overline{TR}$	$V_o$	$T_D$ 状态
0	x	x	$V_{OL}$	导通
1	$>2/3 V_{CC}$	$>1/3 V_{CC}$	$V_{OL}$	导通
1	$<2/3 V_{CC}$	$>1/3 V_{CC}$	不变	不变
1	$<2/3 V_{CC}$	$<1/3 V_{CC}$	$V_{OH}$	截止
100% + 1	$>2/3 V_{CC}$	$<1/3 V_{CC}$	$V_{OH}$	截止

(三) 各部分功能实现原理

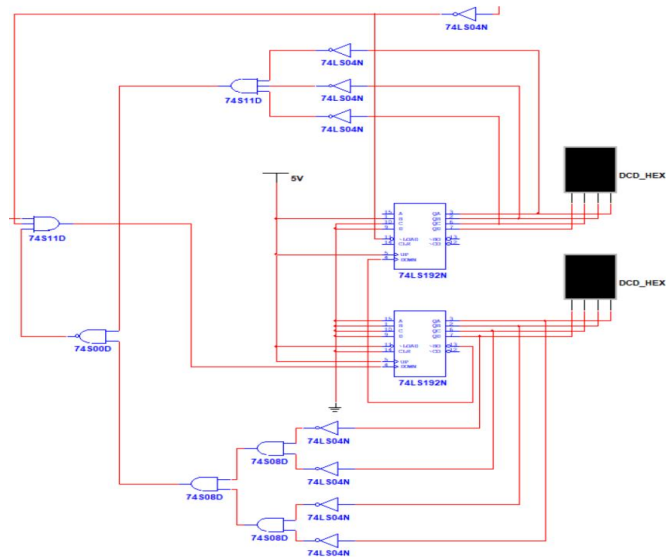
该部分包括两个部分：秒脉冲产生电路和倒计时计数电路。

1. 秒脉冲产生电路



利用 555 定时器和外接原件 R1,R2,C 构成多谐震荡电路完成秒脉冲的搭建，该电路输出的脉冲周期为： $T \approx (R1+2R2)C2ln2$ ,经过计算得到，当  $T=1s$  时，有  $C2=10 \mu F$ ， $R1=30K$ ， $R2=40K$ 。搭建好 555 原件的电路后，将  $V_{cc}$  端接 5V 电压，OUT 端接入后续的倒计时计数电路。

2. 倒计时计数电路：



### (1) 倒计时计数实现

计数器由两颗 74LS192 十进制计数器构成。首先，分别两个并行数据输入端 (D0-D3) 置为 3 和 0，将数据输出端 (Q0-Q3) 接到数码显示管，置数端接抢答部分的控制信号，模拟抢答后倒计时由 30s 开始。当个位计数器归零后再退位时，退位端传递信号至十位计数器的减法端实现个位与十位计数器的关联

### (2) 倒计时启动

然后，将秒脉冲产生电路传来的信号和抢答系统传来的信号经过一个与门后接入个位计数器的减法计数脉冲输入端 (DOWN)，当抢答系统中有人抢答成功变传递信号至与门，改变与门输出，将秒脉冲信号传至个位计数器的退位端。

### (3) 倒计时停止

最后，需要判断倒计时结束，将个输出端先经过非门再接入与门，当个各个输出位全为 0 时，与门输出由 1 变 0，阻止秒脉冲传入，结束倒计时。



# 同济大学实验报告纸

软件工程 专业 22 届 4 班 姓名 胡峻玮 第 组 同组人员 郑伟丞 邹涵

课程名称 计算机组成原理实验 实验名称 抢答器系统设计实验 实验日期 2023 年 11 月 9 日

## [实验小结]

通过本次实验,我对前一阶段的学习做了一个很好的验收,在实验中我主要负责计分系统的实现。起初我与同组同学选择做抢答器模拟这一题目后,我们并未急于开始到软件上绘图,而是先讨论我们具体需要哪些功能,在确定了具体做抢答系统、计时系统和计分系统后,我们先选择一起实现抢答系统,由于抢答系统需要在按下时,应按钮后显示组号,所以我们选择采用触发器与锁存器。这个时候我们意识到一起做是对时间的浪费,所以选择改变策略,每人一部分,我选择计分系统部分实现,而后实现抢答系统的同学说可以为我提供一个代表组号的二进制数,相当于有了一个接口,由此我开始实现计分系统部分。

开始时,我的想法是每一组做一个加分按钮和一个减分按钮,于是我查找资料,找到 74LS192 芯片,它是一个同步可逆的二进制计数器,那么换言之它可以实现一块芯片做加减法操作,通过查找其功能表我得知它是上升沿触发并且当加法时钟为高电平时,减法时钟在上升沿即实现减一操作;当减法时钟为高电平时,加法时钟在上升沿即实现加一操作。沿着这个想法,我开始调试,但是遇到了困难,由于我无法保证在做加一操作时,加法时钟由低电平向高电平转换,在减一操作时,减法时钟由低电平向高电平转换,如果想在一片芯片上实现加一或减一操作那就必须保证初状态加法时钟端与减法时钟端同时为高电平,在按下加分或减分按钮时,对应时钟有一个先降为低电平再恢复至高电平的操作,经过一个小时的调试后,仍然未果,于是我打算放弃一片芯片实现加一减一操作,改用另一种思路,就是利用两个 74LS192 芯片分别记录正确题数和错误题数,然后用加法器做减法器将二者作差得到总积分,于是利用两个 74LS192 芯片分别记录了正确和错误题数,然后想到减法是一个加数的二进制原码与另一个加数的二进制补码加和,所以我时错误题数



# 同济大学实验报告纸

专业\_\_\_\_ 届\_\_\_\_ 班\_\_\_\_ 姓名\_\_\_\_ 第\_\_\_\_ 组 同组人员\_\_\_\_

课程名称\_\_\_\_ 实验名称\_\_\_\_ 实验日期\_\_\_\_ 年\_\_\_\_ 月\_\_\_\_ 日

的二进制数先通过非门取反,然后利用74LS83加法器作“反码+1”的操作,通过74LS83预置了0001,与74LS192传来的四位二进制数取反得到的反码相加,得到了错误题数的补码,然后再利用一块74LS83加法器将正确题数的二进制原码与错误题数二进制补码相加输出得到总积分,通过电路模拟,这一部分完成效果较好,但仍有缺陷,就是当错误题数大于正确题数时,显示器显示异常,所以由此产生了一个优化,就是将正确题数与错误题数进行比较,如果正确题数大于错误题数,系统正常运转,而错误题数大于正确题数则保持总积分为0的状态。于是我去查找比较器,找到74LS85四位二进制比较器,它输入的是两个四位二进制数  $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ ,从高位开始按位比较,若  $A > B$  则  $OAGTB$  为高电平,若  $A = B$  则  $OAEQB$  为高电平,若  $A < B$  则  $OALTB$  为高电平,将其与控制错误题数加一的按钮通过与门连接,输出接到错误题数计数的74LS192的减法时钟端,完美解决了问题。

最后做了组号匹配的问题,并优化到只有一套加分减分按钮。我将抢答端输入给计分端的三位数各自与预先设置好的代表组号的三位数进行按位与,然后将三个输出再通过与门输入到两个74LS192芯片的加法时钟端,由此来驱动两块74LS192芯片,这样组号匹配成功,再使用一套加分减分按钮就实现了抢答组的加分减分功能,但为每一组积分都做了一个清零按钮,方便实际某组晋级或淘汰清分使用。

自此计分系统全部完成,在调试过程中都顺利通过。不过仍存在可以改进之处,比如计分显示可以不局限于十进制,可以做成一百进制,利用计数器级联可做到;比如对于抢答端输入的三位二进制数,可以不采用门电路匹配,可以利用比较器,更为节省;在实际应用中可以制作多个相同电路,避免一个损坏致使全盘崩溃;比如对于计分系统,当错误题数大于等于正确题数时,错误题数可正常加一,但总积分保持不变为零,这些都是可以做出改进的部分。