软件工程专业 22 届 4 班 姓名 林以本第组 同组人员	
课程名称计算机组成原理实验实验名称 总线基本实验 实验日期 上023年	- 12月4日
[实验目的]	
1. 理解系统总线工作方式	
J. 掌握控制总线的功能和应用	<u> </u>
[实验设备]	
TD-CMA组成原理实验箱	4,5 2
[实验质理]	
<u> </u>	
相关的控制、驱动电路的集合。由于存储器和输入、输出设备最终是	
要挂接到外部总线上,所以需要外部总线提供数据信号,把证信号以	
及控制信号。在本实验平台中,山副总线分为数据总线、地址总线、控制总统	<u> </u>
分别为外设提供上述信号。外部总线和CPU内总线之间通过三态门连接,	T
实现3内外总线的分离和数据法向的控制。同一时到只能有一个部件占	<u> </u>
用总线发送信息,但可以有多个部件通过总线接收信息。	1 2 2
方式。单总线连接方式中, CPU.主存和 I/O设备同程存在一条总线上,它的	
结构比较简单,易于扩展,但高速的存储器与低速的1/0益口竞争总线,	
<u>影响存储器的读写速度,数据售输放平受到限制。以总线连接方式在单数</u>	
线结构基础上,增加一条CPU和主存之间的高速存储总线,减轻系统总线	17 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
的负担,同时内存和外投之间仍然通过系统总线实视 DMA操作,无处经过	
CPU。现代计算机段为常见的是三总线连接方式,其在Ja总线结构基础上	
增加 I/O 处理器, 统一管理多个 I/O 撰 10, 大大提高3数据度输放车。	
本实验采用单总线连接方式,原理图见后页:	

	届	验名称	京	验日期年	Ħ
WITH		→ 人人		型 H 列 T	/-
		577			
					-
1-B RD	LDAR	CS WER	LED-B WR	RO-B LDRO	7
			1		
数据输入形义	地址就 AR	存储器RAM	数据管量礼田	ROSTA	
				1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	
*					W 6
己婚儿种不同的	的设备挂到总	我上,有店储器	1/0设备,写存器,	这些设备都库	
	,	医输煙形 给坐在			
建输。	-	J	a		
为3复税	tinEM和8	设的读写操作	,还需一个读写控制	逻辑,使CPU	
<u> </u>	寸MEM和为 1/0设备的范	<u>设的读写操作</u> 读写。读写控制设置	,还需一个读写控制 维如下国所示:	逻辑,使CPU	
数3复级 能控制MEM和	1/0设备的证	改的读写操作 读写。读写控制设	,还需-个读写控单 缉如下国所示:	1選輯,使CPU	
连控制 MEM 和	寸MEM和的 1/0设备的記	· 改酌读写操作 读写。读写控制设})oXMRD	,还需-个读写控制 强如下国所示:	選輯,使CPU	
为3实现公 能控制MEM和 PD	寸MEM 和为 1/0设备的证	交写。读写控制设	,还需-个读写控伞 维如下闰所示:	1選輯,使CPU	
RD TO	JOBABI	交写。读写控制设	,还需-个读写控制 强如下国所示:	1選輯,使CPU	
ETEN MEM FO	JAEM和かり 1/0设备的を	交写。读写控制设)xmrd	,还需-个读写控制 强如下国所示:	1選程,使CPU	
ETEN MEM FO	J/O设备的i	交写。读写控制设)xmrd	,还需-个读写控制 强如下国所示:	1選程,使CPU	
RD TO	JMEM 和かり 1/0设备的i	文写。读写控制设置)——XMRD)——XMWR	,还需-个读写控华 缉如下国所示:	1選輯、使CPU	
RD NRM FO	JAEM 和り 1/0设备的i	英写。读写控制设置)o—XMRD)o—XMWR	,还需一个读写控制	1選輯、使CPU	
PD NEM FO	1/0设备的证	文写。读写控制设置)————————————————————————————————————	街如下国所示:	1選程,使CPU	
RD TOM 用来其本	2/0设备的证	文写。读写控制设施)o—XMRD)o—XMWR)o—XIOW)o—XIOR IS JE MEM进行	海如下国所示: 读写读作		
ETEN MEM 和 PO TO MEM TO MEM TO ME T	1/0设备的证	文写。读写控制设)O—XMRD)O—XMWR)O—XIOW)O—XIOR I文星对MEM进行 I读写探护, 10M	海如下国所示: 读写读作		
DETEN MEM 和 PO TO	1/0设备的证	文写。读写控制设)O—XMRD)O—XMWR)O—XIOW)O—XIOR I文星对MEM进行 I读写探护, 10M	海如下国所示: 读写读作		

专业	同组人员	
课程名称 实验名称	实验日期	年月日
关于RO-B. LDRO, LDAR 控制信号		
O RO-B (在CON单元K7)		*.
量1时,RO写存器输出关闭		
量o时,RO写在器输出打开	1993 - 1994 1787 - 1894	
②LDRO (在CON单元K6)		1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
量1时, RO与存器输入打开		
置0时, 知粤存器输入美闭	J 1 - 1 - 1 - 1	
3 LDAR		
置1时,允许访问地址号存器		
置0时,不允许访问他业号存备		n gan an
<u>A</u> U V) / W V V W U W		
[桌验内容]		
1. 基本流程		
(1) 輸入设备将一个数打入 RO等存置		
(2) 輸入设备将另一个数打入地址寄存器AR		
(3)将 RO場存器中的数写入存储器		
(4) 特存储器中的数显示在 LED 数础管		
2、实验步骤		
山连兹家验纸路		
(3)联机软件 [实验] - [简单模型机]		
(3) KKI、KK3运行、KK2单插、CON单元所有开关均置	0	
(4) 輸入设备将》1 H 打入 RO写存器		
IN 単元量分 0011 0001		
K7置): 美闭 RO 寄店器输出		
K6量1:打开的寄存器输入		
NA THE STATE OF TH		Property Man

专业	班 姓名	第组 同]组人员		
课程名称	实验名称		_ 实验日期	年	_月日
WR.RD.IOM分别置	0.1.1:XIN单元	进行读换作			
LDAR量 o:不将数					
卓插运行,74时刻					
(5)将RO中的数据引					
	•				
_ K7号1:美闻RO	宇存器輸出	• • • • • • • • • • • • • • • • • • • •	· · · · · · · · · · · · · · · · · · ·		
K6置0:美闭RO					
	0.1.1: 对IN单元进	行读讲作			
_LDAR量1:将数据X					
单拍运行,73时新	1完成时地址写在器	级保作.	<u>.</u>		,
	1.0.0:对存储器			- 1	H *
K7直0: 打开R					* * * <u>*</u>
K6星o:美用RC					
•	据总线的数 打入机	的世界存著.		ja Ja	
单拍运行, T3时至				= 1	
(6) 特里前地址的存	1			. 7	
× _ p	ןסטים	<u>.</u>		7	•
K7置1:美闭RO与	异在发的输出				
K6置0:美闭 R0字	F在安的输入				2-1.7°
WR. RD. IOM 分别	と 0.1.1:0寸20単元	此行侯族作			
	据总线的数打入地	业等存备.			
单指运行,在73时	刘兄成时地址寄存	为公伙作.			,
K7量0 :美闭eo.	_1				
K6置1: 打开RO	寄存器輸入	,			
	量0.1.0:对存储	发进行资操作	14	3 g	

专业	
课程名称 实验名称 实验日期	_年月日
LDAR量 o:不特知据总成的数打入地址穹存器。	
单指运行,T3时初完成对寄存器 RO的写入探作。	
(7)将RO寄存器中的教用LED数据管里示	- 1
WR. RD. IOM 分别置1.0.1, N+OU7单元进行写换作	
K7量0:打开RO穹存签输出	
K6星0:美闭 Ro写存器输入	- 1
LDAR量O:不特数据总线的数打入批批客存器	
单拍运行,T3时刻完成StoUT单元的3人操作。	
THE TOTAL PROPERTY OF THE PROP	
思考数:存储器中的数据能否和IO部件直接进行数据交换?	
答:不能,由于存储器与IO部件的读字探作由同一个信号IOM控制 所	rg
每次要么对MEM模印,要么对IO卸件模介,不可能对二者同时模	
所以无法进行数据交换。	The state of the s
[实验小结]	
通过本次实验我对系统总线工作方式有3-区认识,它放如同一	柄
公共汽车,在各个部件之间来回进行信息传送,而控制其任送的信号	
是WR.RO、JOM等一系到信号,同时也让我时间一时到只能有一个部件占	
总线发送信息,但可以有多个部件面过总线被收信息有3生一步认识,实	3k
过程中经常出现"嘀"的响声证明存在总成竞争,让我还加美运时控制了	
的操作。在进行实验时,由于我总是在某一步骤看到观象后就进入下	
步骤两并未走完一个周期的4个节拍,导致观象总是不对的,在老师指	The state of the s
我重新实验,每走完4个节拍才进入下一动作,最后成功观察观象,点告	
我在实验中要严格摄风期进行操作,尤其单指运行更容易忽视该问题	
今后应注意此间也。	