

# 带自动振幅检测控制的皮尔斯晶体振荡电路设计

张筱, 樊超

(空军西安飞行学院 陕西 西安 710306)

**摘要:** 本文描述了一种工作在射频芯片内的晶体振荡电路, 基于对3种传统结构晶体振荡电路的分析, 采用皮尔斯晶体振荡电路, 以CMOS工艺的NMOS为主振荡管, 实现了高稳定、低相位噪声输出的振荡信号, 电路带有自动振幅检测及控制功能。该16 MHz皮尔斯晶体振荡器采用TSMC 0.18  $\mu\text{m}$  CMOS工艺实现, 当电源电压为1.8 V时, 电路仿真特性如下: 输出信号振幅峰峰值约为0.5 V, 工作电流约为0.46 mA, 相位噪声为 $-127.8 \text{ dBc/Hz}@1 \text{ KHz}$ ,  $-163 \text{ dBc/Hz}@1 \text{ MHz}$ , 振荡器起振时间约为1.5 ms。

**关键词:** 射频集成电路; 电路皮尔斯石英晶体振荡器; 自动振幅检测及控制; 相位噪声

中图分类号: TN953

文献标识码: A

文章编号: 1674-6236(2019)04-0118-04

## A Pierce crystal oscillator circuit with amplitude regulation

ZHANG Xiao, FAN Chao

(Air Force Xi'an Flight Academy, Xi'an 710306, China)

**Abstract:** The paper introduces a crystal oscillator circuit embedded in RFIC. Based on the analysis of the conventional crystal oscillator, the oscillator circuit employs Pierce structure with amplitude regulation circuit. Implementing with TSMC 0.18  $\mu\text{m}$  CMOS process in Cadence Spectre RF, the simulation results shows that: the output peak-to-peak oscillation amplitude is about 0.5 V and the average current consumption is 0.46 mA under 1.8 V power supply; the phase noise is  $-127.8 \text{ dBc/Hz}@1 \text{ KHz}$ ,  $-163 \text{ dBc/Hz}@1 \text{ MHz}$  while the start-up time is about 1.5 ms.

**Key words:** RFIC; Pierce crystal oscillator; automatic amplitude regulation; phase noise

随着科技的不断进步, 与人们生活密切相关的无线通讯技术也得到了迅猛发展, 全球移动通讯系统(GSM), 无线局域网(WLAN), 全球卫星定位系统(GPS), 无线传感网络(ZigBee)逐步走入工业控制领域和人们的日常生活之中<sup>[1-2]</sup>。石英晶体振荡器因其低噪声和高频率稳定度等优点可作为标准频率源或者脉冲信号源, 是目前通讯系统中其他类型振荡器所不能替代的关键模块之一。小型化, 低噪声化, 高频率稳定度化是对石英晶体振荡器的要求<sup>[3-12]</sup>。本文基于TSMC 0.18  $\mu\text{m}$  RF CMOS工艺, 设计一种应用于RFIC射频芯片, 带有自动振幅检测控制的皮尔斯(Pierce)石英晶体振荡电路。

## 1 石英晶体仿真模型及参数指标分析

石英晶体振荡器是天然或人工生成的石英晶体

切片制成的, 广泛的应用于频率稳定性高的振荡器中。石英晶体是 $\text{SiO}_2$ 的结晶体, 当晶体受到外力作用(例如形变, 挤压等)时, 就会在其表面上产生正负电荷, 呈现压电效应; 同时, 当加上电压, 晶体也会发生机械形变, 呈现出反压电效应。因此, 当给石英晶体两极加上交变电压时, 晶体就会发生机械振动, 当外加信号频率接近晶体固有频率时, 就会发生谐振现象。相比于其他振荡电路, 晶体振荡电路有非常高的品质因数, 稳定性好, 相位噪声低等优点。

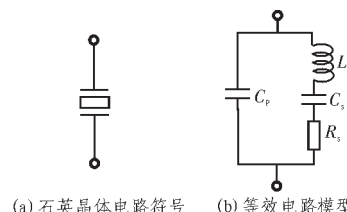


图1 石英晶体电路模型

收稿日期: 2018-04-08 稿件编号: 201804064

作者简介: 张筱(1989—), 女, 陕西西安人, 硕士研究生。研究方向: 通信与信息系统, 集成电路设计与应用。  
-118-

图1(a)是石英晶体的电路符号,图1(b)为其等效电路模型,可以看出晶体振荡电路是一个串并联的振荡回路,其串联谐振频率 $f_s$ 和并联谐振频率 $f_p$ 分别为:

$$f_s = \frac{1}{2\pi\sqrt{L_s C_s}} \quad (1)$$

$$f_p = \frac{1}{2\pi\sqrt{L_s \frac{C_p C_s}{C_p + C_s}}} \quad (2)$$

$$= f_s \sqrt{1 + \frac{C_s}{C_p}}$$

阻抗表达式为:

$$Z(s) = \frac{s^2 L_s C_s + s R_s C_s + 1}{s(s^2 L_s C_p C_s + s R_s C_p C_s + C_p + C_s)} \quad (3)$$

根据射频芯片系统要求,本文设计的振荡器输出16 MHz低相位噪声的本振信号。电路仿真晶体的模型参数: $C_s=10$  fF,  $L_s=9.9$  mH,  $R_s=8.9$   $\Omega$ ,  $C_p=5$  pF。

## 2 皮尔斯晶体振荡结构的优缺点

晶体振荡器的实现方式有很多种,常见的是三点式石英晶体振荡器。根据晶体和偏置电流不同的位置以及交流接地的不同方式,晶体振荡电路可以分为皮尔斯(Pierce),科尔皮兹(colpitts)和克拉波(clapp)振荡器,其电路结构如图2所示<sup>[5]</sup>。

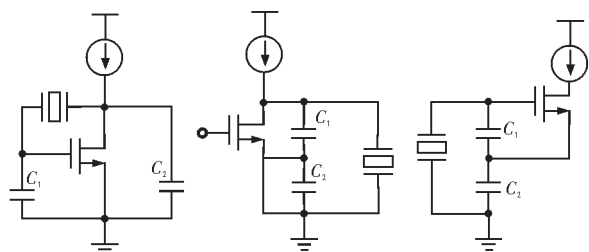


图2 3种晶体振荡电路结构

由图2可以看出,皮尔斯振荡器结构相对简单,石英晶体跨接在输入NMOS的栅漏两端,电容 $C_1, C_2$ 交流接地。由于电容 $C_1, C_2$ 数值一般相对较大,所以杂散电容对电路的影响相对较小,频率稳定度高。皮尔斯振荡器的缺点在于芯片上需要使用两个引脚,与此同时,由于一端不能接地,皮尔斯振荡器无法用于晶体开关。考虑到皮尔斯振荡器具有很高的Q值,输出低相位噪声信号,并且决定其静态工作点的器件不会对电路的动态工作状态产生影响,该电路设计采用皮尔斯晶体振荡结构。

## 3 振荡及自动振幅检测的原理与实现

### 3.1 主振荡电路的设计

在没有外加信号的情况下,晶体振荡器可以将直流电平信号转换成周期性的正弦波信号。根据巴克豪森准则,采用反馈模型来分析振荡器的起振原理。巴克豪森判据(Barkhausen's Criteria):

- 1) 环路增益 $|A(s)F(s)| \geq 1$ ;
- 2) 电路的总相移为 $2n\pi$ 弧度,其中 $n$ 为整数。



图3 振荡回路结构框图

如图3所示,振荡器由前馈放大器和反馈回路两大部分构成。在电路设计中,正向放大电路由共源放大器构成,石英晶体充当反馈网络。当电路上电后,MOS管中突然增大的电流以及电路的热噪声等是振荡器起振的初始激励。这些激励中包含着许多谐波成分,由于晶体谐振网络具有选频功能,只有接近谐振频率的分量才会被选择,经过电路的放大和正反馈作用,信号被逐步放大,最终振荡建立。

### 3.2 自动振幅控制电路的设计

如图4所示,振幅控制电路提供振荡电路的工作电流,同时振幅控制电路通过检测输出振幅,确定工作电流的大小。电路刚上电时,电路的噪声作为初始激励信号,此时,振荡还未建立,振荡电路的输出摆幅很小,故振幅控制电路提供较大电流,振荡电路迅速起振;随着输出信号振幅的增大,振幅控制电路检测到较大的振幅,输出电流开始降低,当输出信号幅度达到设定值时,电路偏置电流稳定。此后,振荡器保持这个稳定的输出状态<sup>[13-15]</sup>。

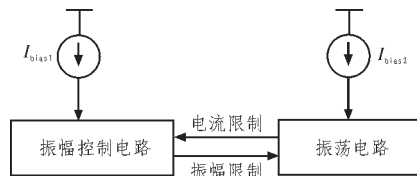


图4 自动振幅控制框图

具体的振幅检测原理如图5所示,振荡信号从 $V_i$ 输入,经过输入电容到达 $M_1$ 的栅端A点,设A点电压 $V_A = V_0 + V_1 \cos(\omega t)$ ,其中, $V_0$ 是直流偏压, $V_1$ 是交流振幅。由于晶体管 $M_1$ 的偏置电流 $I_b$ 恒定,因此 $M_1$ 的栅

压恒定,所以A点直流偏压和振幅的关系是:直流电压 $V_0$ 增加,振幅 $V_1$ 减小;直流电压降低,振幅升高。电阻 $R$ 跨接在MOS管的栅漏两端,所以A,B点的静态电压相同,因此,检测B点直流电压的变化就可以知道振幅的变化情况<sup>[16-17]</sup>。

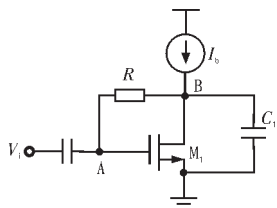


图5 振幅检测原理图

#### 4 电路和版图设计及仿真

根据上述原理,16M pierce 晶体振荡电路设计如图6所示。

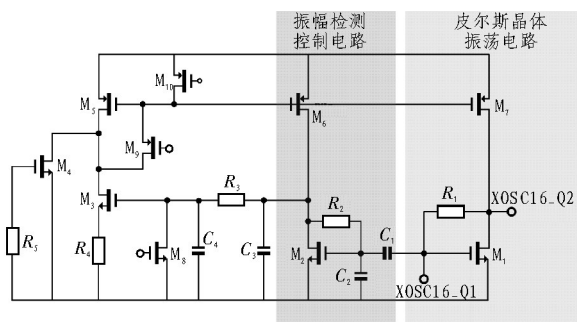


图6 16M pierce 晶体振荡电路

如图7所示,石英晶体跨接在端口XOSC16\_Q1和XOSC16\_Q2之间,连同晶体管 $M_1$ 及外接电容构成pierce晶体主振荡结构; $M_2, R_2$ 组成振幅检测电路;电容 $C_3, C_4$ 以及电阻 $R_3$ 为 $\pi$ 型滤波网络; $M_5, M_6$ 和 $M_7$ 构成电流镜,为电路提供偏置电流; $M_4$ 和 $R_5$ 构成启动电路,为电路提供启动电流; $M_8, M_9, M_{10}$ 是数字控制管,通过控制管的开关决定电路的工作状态。振荡器的工作过程如下:电路刚上电时, $M_4$ 开启,为电流镜提供初始工作电流; $M_1$ 和跨接在XOSC16\_Q1,XOSC16\_Q2之间的石英晶体及并联电容构成反馈电路结构,设置电路参数使其满足巴克豪森判据,电路将会起振,随着时间的推移,在正反馈的作用下,电路的振幅将逐渐增大, $M_2$ 和 $R_2$ 检测振幅变化并将其传递到 $M_3$ 的栅端,通过 $M_3$ 栅压的限制, $M_5, M_6$ 和 $M_7$ 的电流最终保持在一个稳定值,同时电路的振荡状态稳定,输出幅度稳定的振荡信号。

-120-

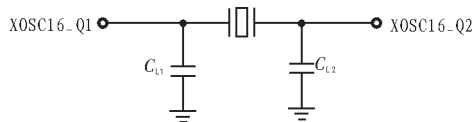


图7 石英晶体谐振网络

根据前面所述原理,石英晶体模型参数为 $C_s=10\text{ fF}$ , $L_s=9.9\text{ mH}$ , $R_s=8.9\text{ }\Omega$ , $C_p=5\text{ pF}$ ,采用TSMC 0.18  $\mu\text{m}$  CMOS工艺,在Cadence Spectre中进行电路的仿真,其输出特性如图8,图9所示,可以看出起振时间约为1.5 ms,振幅的峰峰值约为0.5 V。相位噪声仿真结果如图10所示: $-127.8\text{ dBc/Hz}@1\text{ KHz}$ , $-163\text{ dBc/Hz}@1\text{ MHz}$ 。

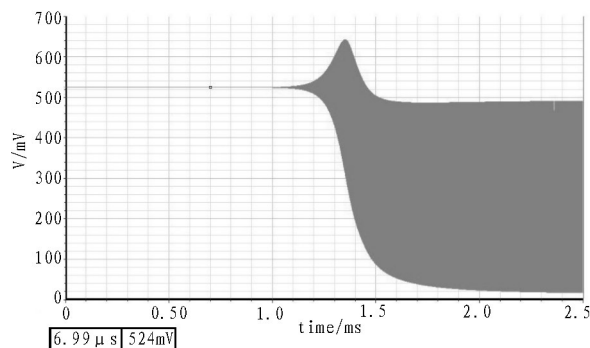


图8 振荡器起振曲线

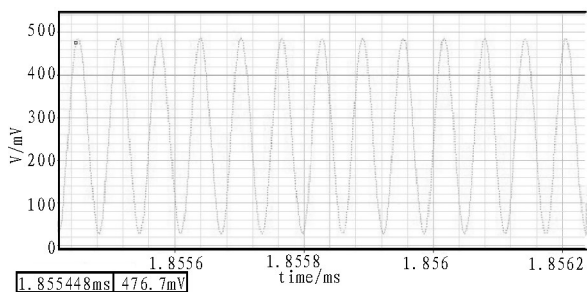


图9 振荡器输出曲线

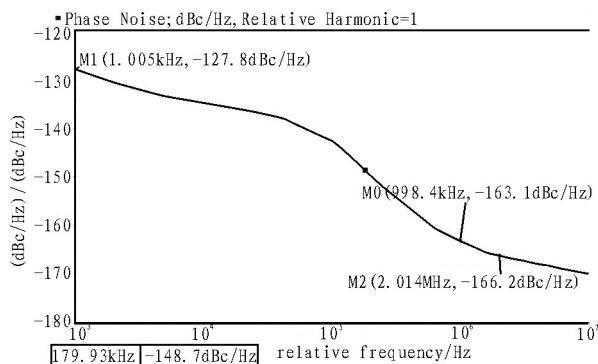


图10 相位噪声曲线

在Cadence Virtuoso中对电路进行版图设计,如图11所示。提取寄生参数,电路后仿真结果与性能



指标要求基本一致,该皮尔斯石英晶体振荡电路可以用于RFIC中作为基准频率源。

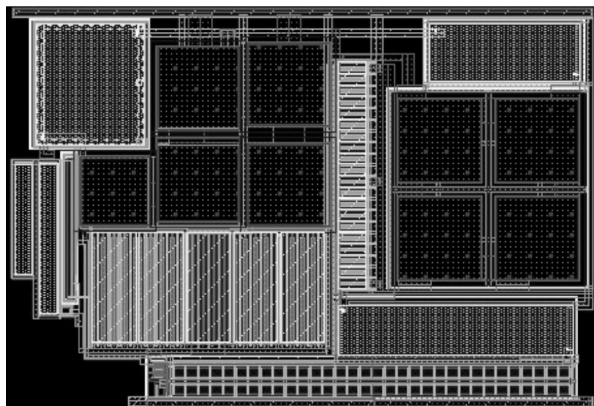


图11 振荡器核心电路版图

## 5 结束语

文中基于TSMC 0.18 $\mu\text{m}$  CMOS工艺,设计了一种16 MHz带有自动振幅检测控制的皮尔斯(pierce)石英晶体振荡器。从后仿真结果可以看出,输出振荡信号相位噪声为 $-127.8\text{dBc/Hz}@1\text{kHz}$ , $-163\text{dBc/Hz}@1\text{MHz}$ 。该振荡电路具有高频率稳定度,低相位噪声,启动时间短,版图面积较小等优点,满足集成在射频芯片上的要求。

### 参考文献:

- [1] Vittoz E A, Degrauwe M G R, Bitz S, High-performance crystal oscillator circuits: theory and application[J]. IEEE JSSC, 1988, 23(6):774-783.
- [2] 拉扎维著,陈贵灿,程军,等译. 模拟CMOS集成电路设计[M]. 西安:西安交通大学出版社, 2008.
- [3] 谢海情,曾承伟. 一种低噪声交叉耦合结构集成石英晶体振荡器[J]. 湖南大学学报, 2017(2): 117-121.
- [4] 武振宇,马成炎. 一种低功耗快速起振晶体振荡器[J]. 微电子, 2010(40):45-49.
- [5] 唐路,王志功. 一种用于射频调谐器的低相位噪声低功耗晶体振荡器[J]. 东南大学学报:英文版 2012(28): 21-24.
- [6] Sheng Huang et.al, A High-Resolution 2-GHz Fractional-N PLL With Crystal Oscillator PVT-In-sensitive Feedback Control[J]. IEEE Microwave and Wireless Components Letters, 2018(28):227-229.
- [7] Yashar Rajavi et al, A 48-MHz Differential Crystal Oscillator With 168-fs Jitter in 28-nm CMOS [J]. IEEE JSSC, 2017(52):2735-2745.
- [8] Thomas Ungru et al, New Integrated Crystal Oscillator Design With Improved Robustness Against ESD Disturbances in Operation[J]. IEEE Transactions on Electromagnetic Compatibility, 2018(60): 322-327.
- [9] Shunta Iguchi et al, A Low-Power CMOS Crystal Oscillator Using a Stacked-Amplifier Architecture [J]. IEEE JSSC, 2017(52):3006-3017.
- [10] Shang-Chi Wu. et al, Ultra-low-power one-pin crystal oscillator with self-charged technique [J]. Electronics Letters, 2016(52):325-327.
- [11] Behzad Razavi, The Crystal Oscillator [J]. IEEE Solid-State Circuits Magazine, 2017(9):7-9.
- [12] Anisha Apte. et al, Optimizing Phase-Noise Performance: Theory and Design Techniques for a Crystal Oscillator[J]. IEEE Microwave Magazine, 2017 (18):108-123.
- [13] Trong-Hieu Tran. et al, A Low-ppm Digitally Controlled Crystal Oscillator Compensated by a New 0.19-mm<sup>2</sup> Time-Domain Temperature Sensor [J]. IEEE Sensors Journal, 2017(17):51-62.
- [14] 雷金监铭, 邹雪城. 高性能高精度晶体振荡器电路[J]. 华中科技大学学报(自然科学版), 2006, 34(5): 56-58.
- [15] Geng Jian-qiang, Lan jia-long. A 20 MHz Low Phase-Noise 0.35 $\mu\text{m}$  CMOS Crystal Oscillator[J], Journal of Electronic Science and Technology of China, 2005, 3(2):153-156.
- [16] 池保勇,余志平,石秉学. CMOS射频集成电路设计与分析[M]. 1版. 北京:清华大学出版社, 2006.
- [17] 梅华灯,周建军. 射频芯片内DCXO的晶体振荡主电路设计[J]. 信息技术, 2008(4): 81-83.
- [18] William R. A radiation-hard AGC stabilized SOS crystal oscillator[J]. IEEE JSSC, 1990, 25 (2): 282-288.