

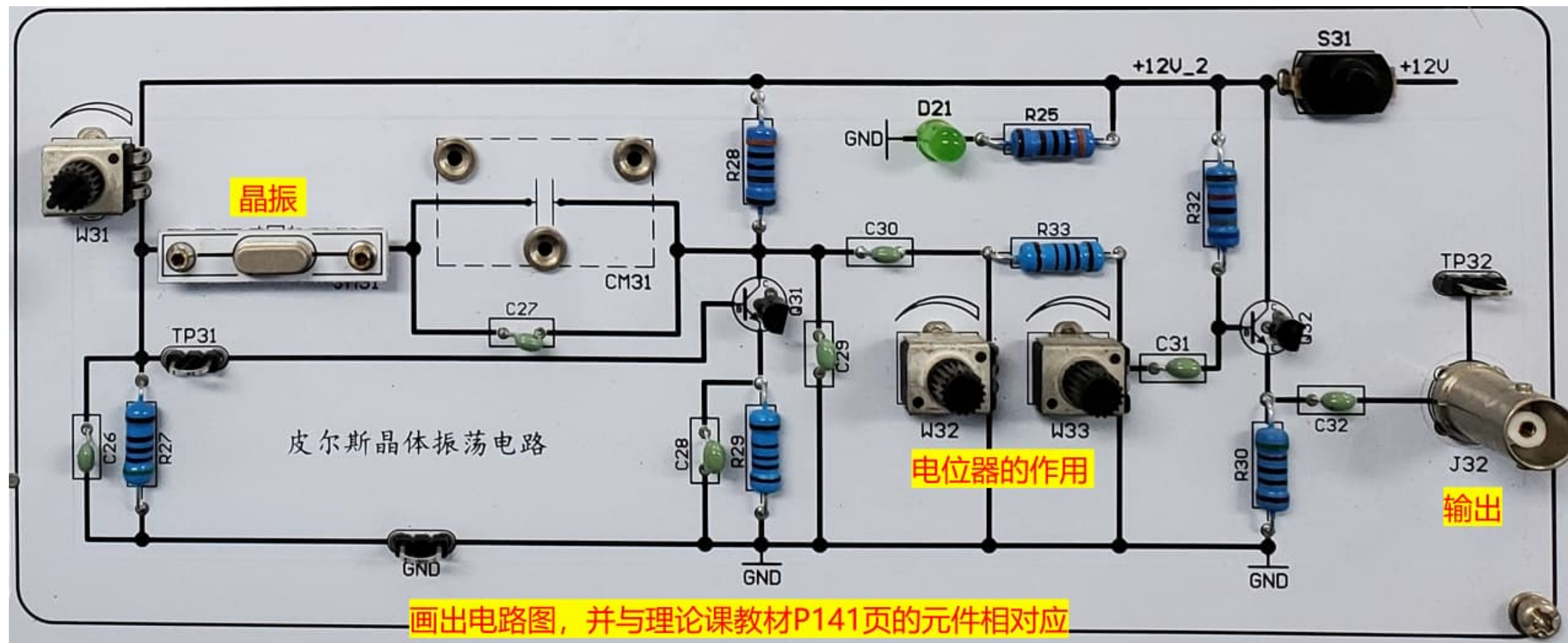
第四章实验

三点式振荡器器 2

黄博达

高频电子线路2023-实验7:

三点式振荡器实验2 2023.5.16



高频电子线路2023-实验7:

三点式振荡器实验2 2023.5.16

实验目标：以小组为单位完成以下任务

1. 使用实验箱中MD02板下半部分的模块，选择合适的元器件，实现皮尔斯振荡器的功能：
 - ① 在输出端输出稳定的余弦振荡波型，在实验报告中记录相关波形，整理并画出实验板的电路图，并于教材P141页元件相对应。
 - ② 结合理论课电路，简述皮尔斯振荡器实验板电路的工作原理。
2. 本次实验在较短时间内即可完成，课堂内可继续完成实验报告或继续研究其他实验中尚待讨论的议题。本次实验报告无需过多书写。（倘若报告包含仿真，请同时提供1个ms14文件，打包上传。）
3. 本次实验无课堂打分，无其他验收要求，各位同学请勿在早于5：30时离开教室。

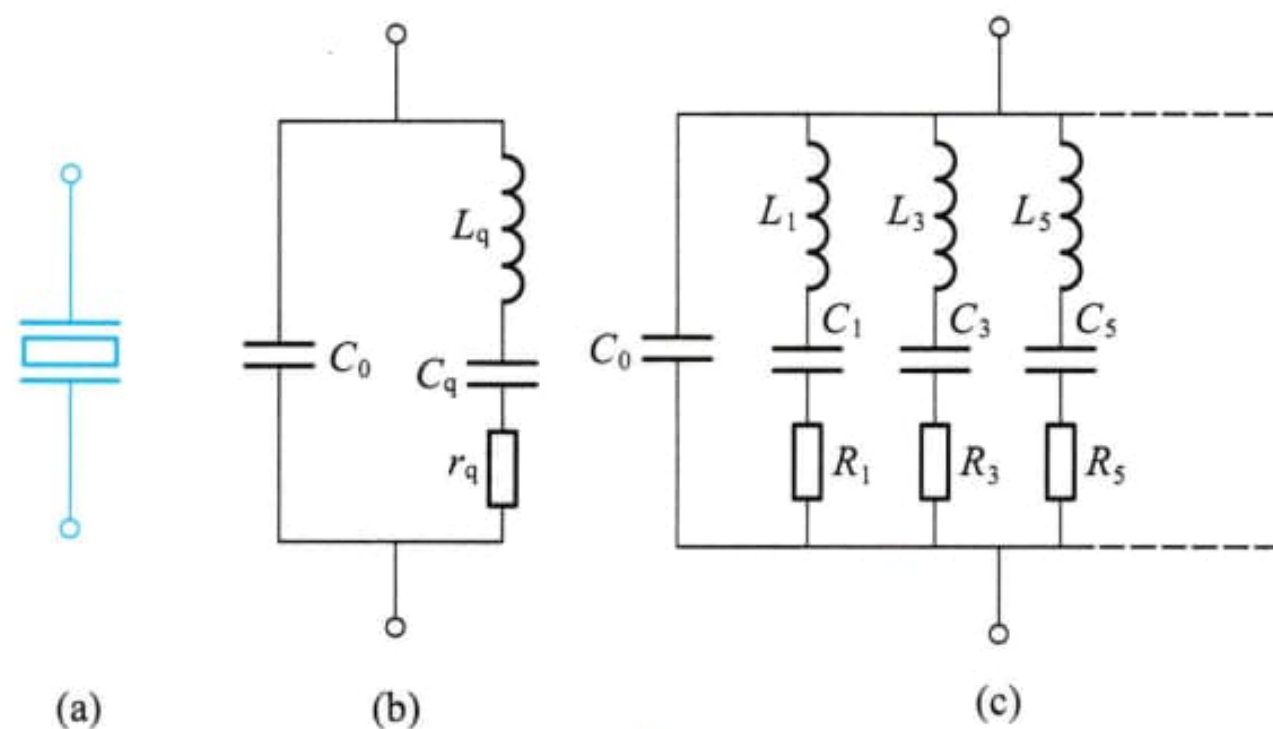


图 4.4.2 石英谐振器电路符号及等效电路

(a) 电路符号 (b) 基频等效电路 (c) 含泛音频率的等效电路

石英晶体谐振器在电路中的符号如图 4.4.2(a) 所示,其等效电路如图 4.4.2(b) 所示。图中 C_0 是晶片的静态电容,它相当于一个平板电容,即由晶片作为介质,镀银电极和支架引线作为极板所构成的电容,它的大小与晶片的几何尺寸和电极的面积有关,一般在几个皮法到十几个皮法之间。图中, L_q 和 C_q 分别为晶片振动时的等效动态电感和电容,而 r_q 等效为晶片振动时的摩擦损耗。晶片的等效电感 L_q 很大,约几十到几百毫亨,而动态电容 C_q 很小,约百分之几皮法。 r_q 的数值从几欧到几百欧,所以,石英晶片的品质因数 Q 值很高,一般可达 10^5 数量

若略去等效电阻 r_q 的影响,可定性地作出图 4.4.2(b)所示等效电路的电抗曲线。当加在回路两端的信号频率很低时,两个支路的容抗都很大,因此电路总的等效阻抗呈容性;信号频率增加,容抗减小,当 C_q 的容抗与 L_q 感抗相等时, C_q 、 L_q 支路发生串联谐振,回路总电抗 $X=0$,此时的频率用 f_s 表示,称为晶片的串联谐振频率;当频率继续升高时, L_q 、 C_q 串联支路呈感性,当感抗增加到刚好和 C_0 的容抗相等时,回路产生并联谐振,回路总电抗趋于无穷大,此时的频率用 f_p 表示,称为晶片的并联谐振频率;当 $f > f_p$ 时, C_0 支路的容抗减小,对回路的分流起主要作用,回路总的电抗又呈容性。由此可以得到图 4.4.3 所示石英谐振器的电抗频率特性。由此可见,石英谐振器具有两个谐振频率,一个是 L_q 、 C_q 、 r_q 支路的串联谐振频率:

$$f_s = \frac{1}{2\pi\sqrt{L_q C_q}} \quad (4.4.1)$$

另一个是由 L_q 、 C_q 和 C_0 构成的并联回路的谐振频率:

$$f_p = \frac{1}{2\pi\sqrt{L_q \frac{C_0 C_q}{C_0 + C_q}}} = f_s \sqrt{1 + \frac{C_q}{C_0}} \quad (4.4.2)$$

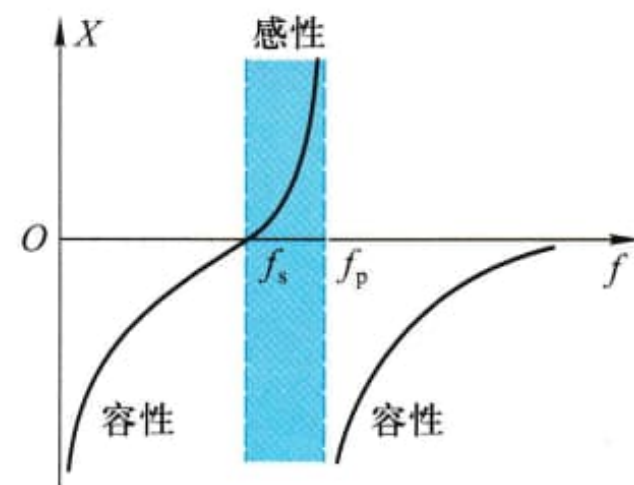


图 4.4.3 石英谐振器的电抗曲线

因 $C_0 \gg C_q$, 即 $C_q/C_0 \ll 1$, 说明两个谐振频率 f_p 、 f_s 相差很小, 其相对频差为

$$\frac{f_p - f_s}{f_s} = \sqrt{1 + \frac{C_q}{C_0}} - 1 \approx \frac{C_q}{2C_0} \quad (4.4.3)$$

通常小于 1%, 这就使得 f_s 与 f_p 之间等效电感的电抗曲线非常陡峭。实用中, 石英谐振器就工作在这一频率范围狭窄的电感区内, 正是因为电感区内电抗曲线有非常陡的斜率, 有很高的 Q 值, 从而具有很强的稳频作用, 电容区是不宜使用的。

4.4.2 石英晶体振荡器

用石英晶体构成的正弦波振荡器基本电路有两类,一类是石英晶体作为高 Q 电感元件与回路中的其他元件形成并联谐振,称为并联型晶体振荡器;另一类是石英晶体工作在串联谐振状态,作为高选择性短路元件,称为串联型晶体振荡器。

一、并联型晶体振荡器

图 4.4.4 所示为并联型晶体振荡器的原理电路及其交流通路。由图可见,石英晶体与外部电容 C_1 、 C_2 、 C_3 构成并联谐振回路,它在回路中起电感作用,构成改进型电容三点式 LC 振荡器,该电路称为皮尔斯(Pierce)晶体振荡器。电路中 C_3 用来微调电路的振荡频率,使振荡器振荡在石英晶体的标称频率上, C_1 、 C_2 、 C_3 串联组成石英晶体的负载电容 C_L 。

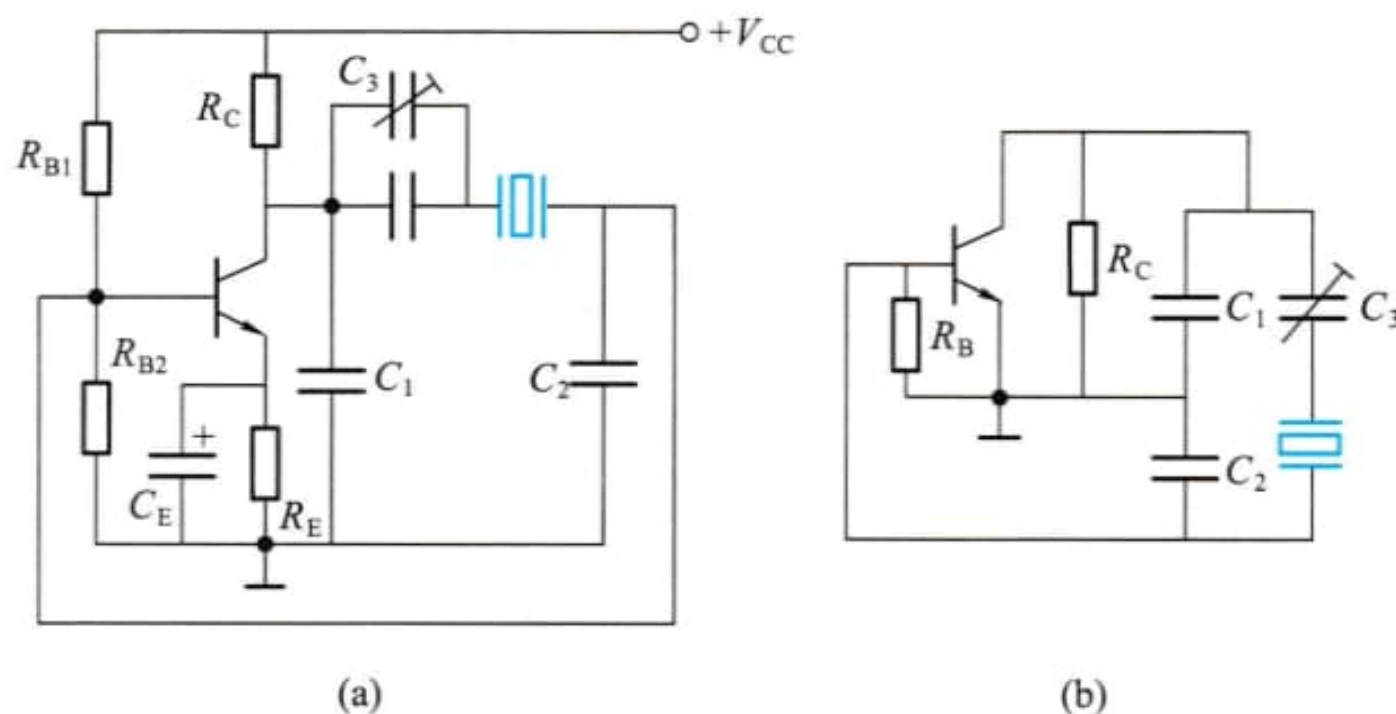


图 4.4.4 并联型晶体振荡器

(a) 原理电路 (b) 交流通路