

분반 : 02 분반

학번 : 201802143

이름 : 이현진

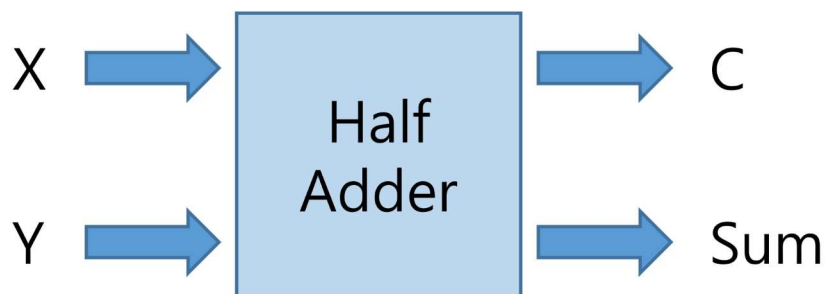
## 실습 5. 논리식의 간소화 (가산기)

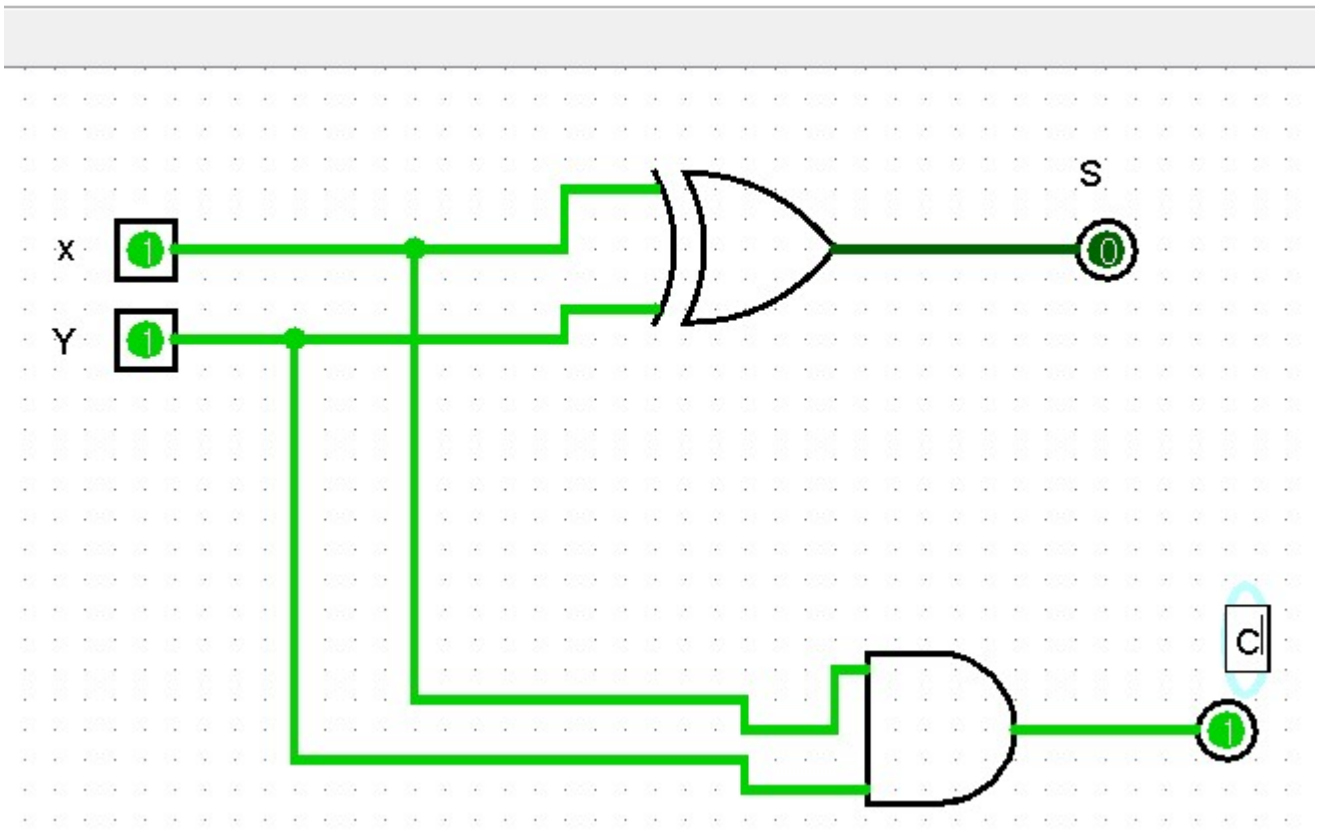
- 실습 목표**
- 반가산기에 대해서 이해하고, 동작방식을 회로도로 구현할 수 있다.
  - 전가산기에 대해서 이해하고, 동작방식을 회로도로 구현할 수 있다.
  - 주어진 논리회로에 대하여 게이트와 IC 수를 줄이고 동작성을 확인한다.

### 실습 문제

#### 1. 반 가산기(Half Adder)의 회로도를 구현하시오.

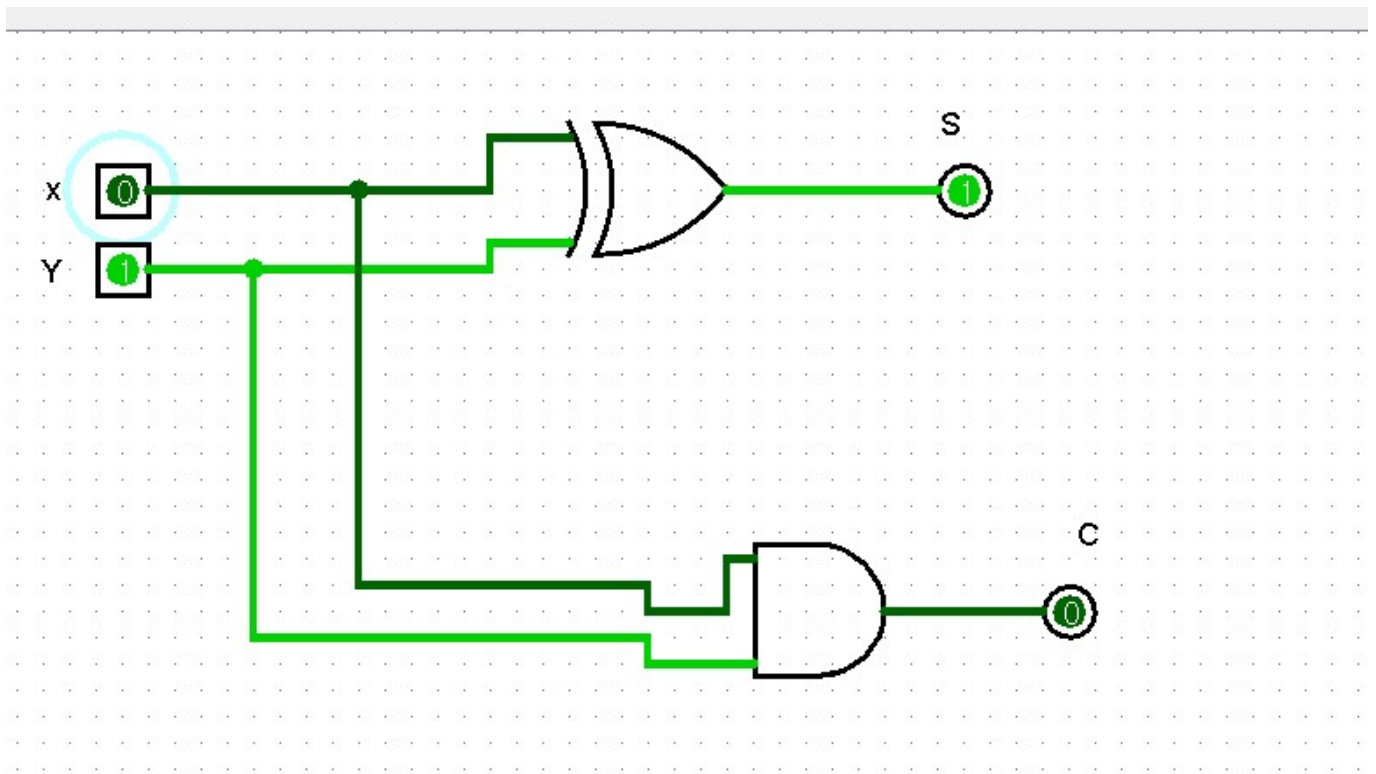
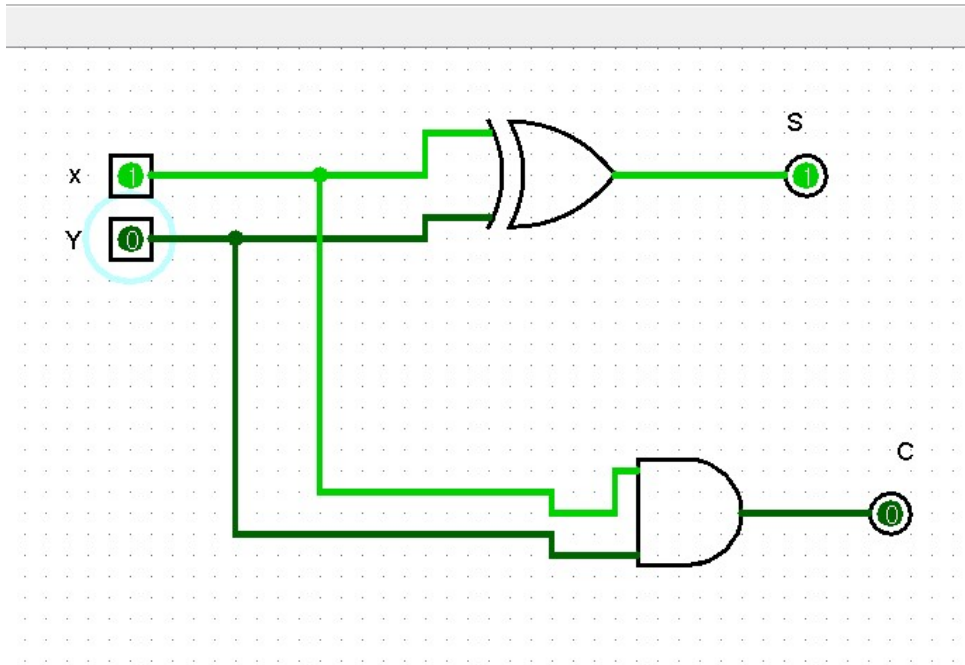
- 반가산기는 이진수의 한 자리를 더하고, 자리 올림수(carry)는 자리 올림수 출력(carry out)에 따라 출력한다.
- AND, OR, NOT, XOR 네 가지 종류의 논리회로를 사용하여 구성할 수 있다.





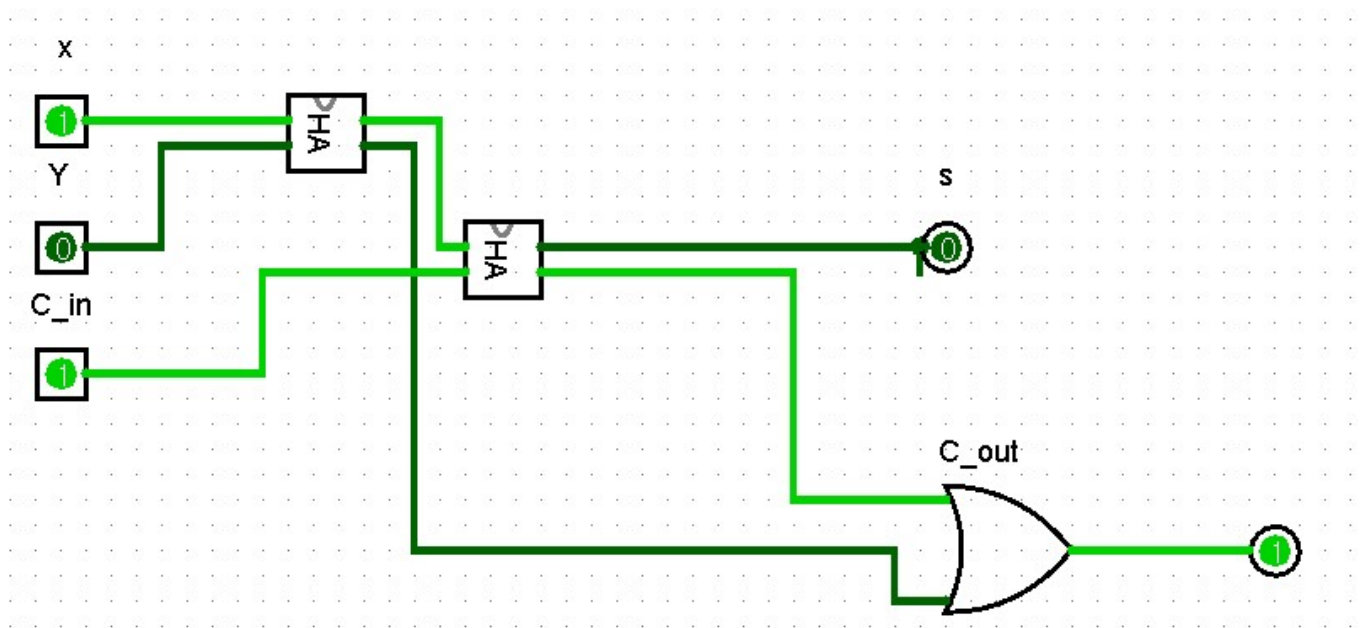
**2. 반 가산기(Half Adder)의 회로도를 검증하시오.**

- (X,Y)의 값이 (1,0), (0,1)일 때의 결과를 캡처해서 첨부한다.



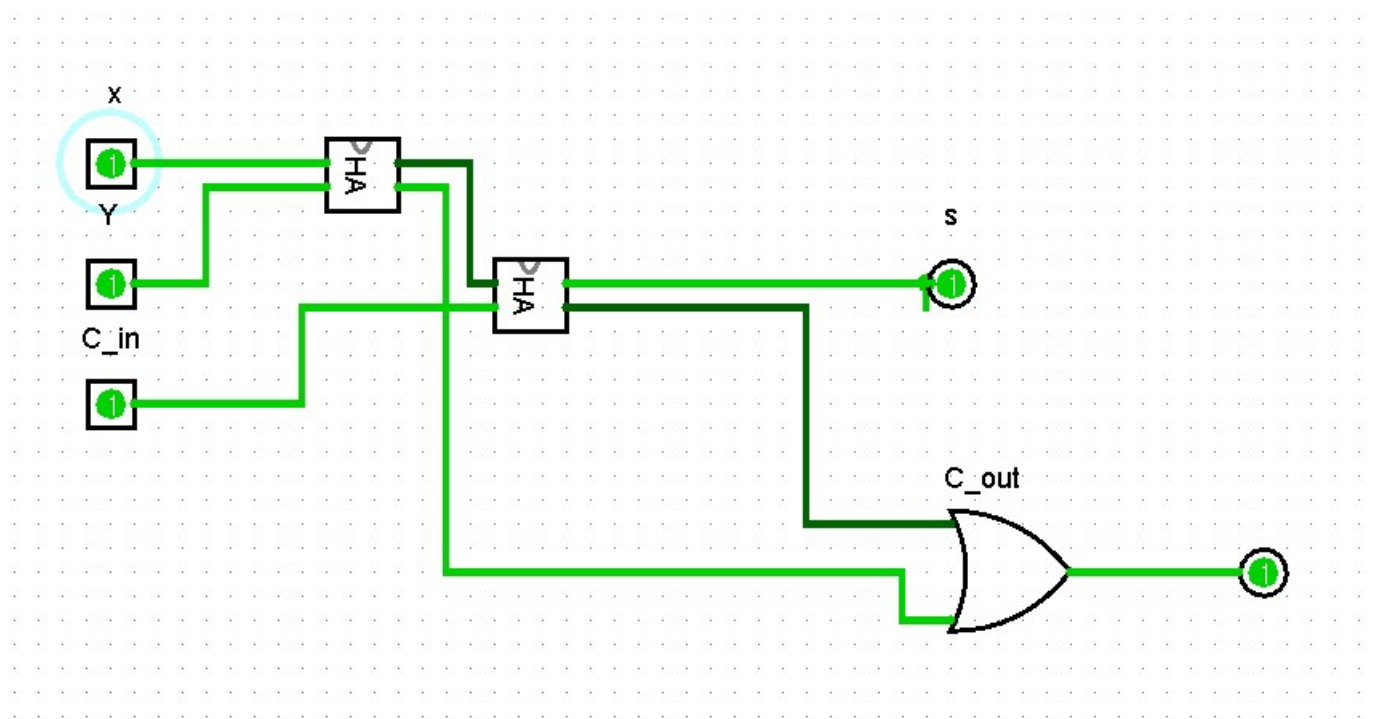
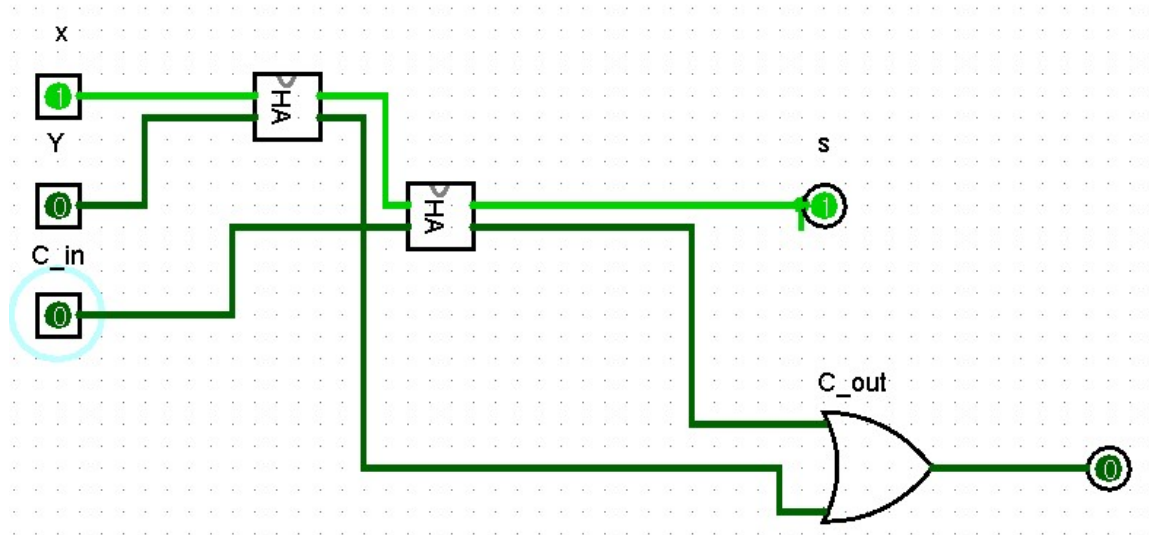
## 3. 1bit 전가산기(1bit Full Adder)의 회로도를 구현하시오.

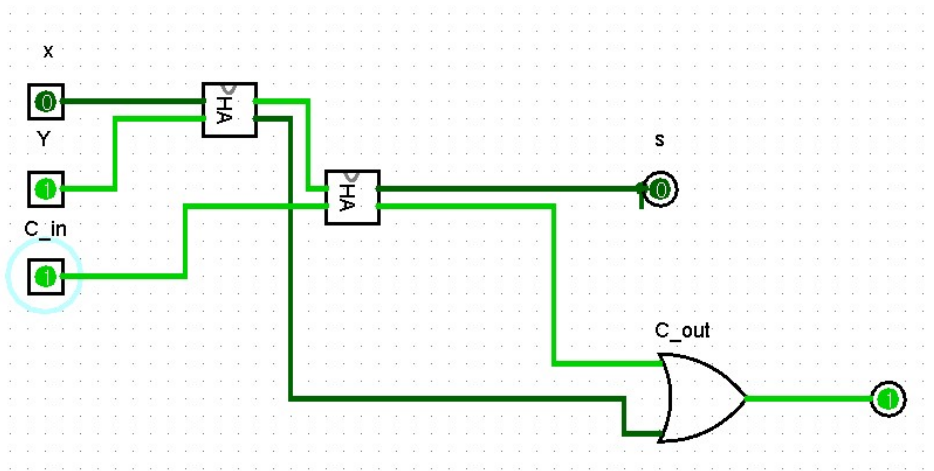
- 캐리의 입력을 포함하는 전가산기(Full Adder)를 구현할 때, 반가산기를 활용하여 구현할 수 있다.
- 실습 문제 1에서 만든 반가산기 IC를 3번 사용하여 전가산기의 회로도를 작성하라.



## 4. 1bit 전가산기(1bit Full Adder)의 회로도를 검증하시오.

- (X,Y,C\_in)의 값이 (1,0,0), (0,1,1), (1,1,1)일 때의 결과를 캡처해서 첨부한다.

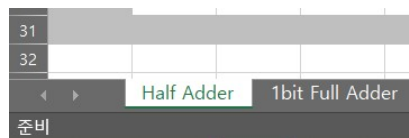
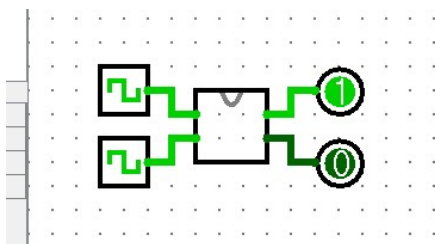
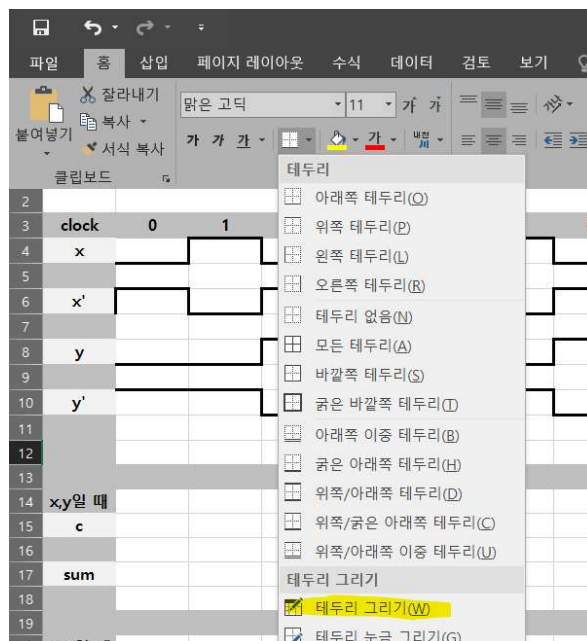
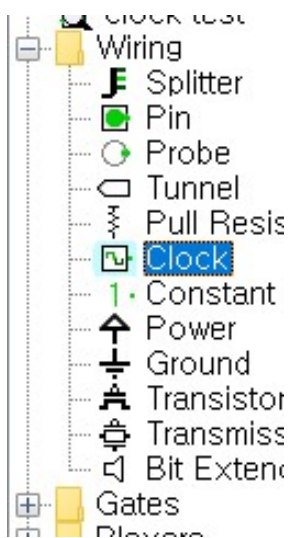




5. 실습 1번과 3번에서 구현한 회로도의 입력을 고정값이 아닌 clock으로 설정하고, '[논리회로]실습 5강 타이밍 다이어그램.xlsx'에서 결과에 맞게끔 타이밍 다이어그램을 그리시오.

(추가점수 배점 낮음)

- logisim에서 입력을 clock으로 설정한다.
- logisim에서 clock의 high duration(1)과 low duration(0)의 시간을 조정할 수 있다.
- logisim clock을 주어진 파일의 값(x,y,c\_in)에 따라서 설정하고, 출력을 그릴 수 있다.
- 탭에서 Half Adder와 1bit Full Adder 둘 다 그려야 한다.



Selection: Clock	
Facing	East
High Duration	11
Low Duration	1 Tick
Label	
Label Location	West
Label Font	SansSerif Plain 12

