

분반 : 02 분반

학번 : 201802143

이름 : 이현진

---

## 실습 문제

<논리식>

$$F = W \cdot X + X \cdot Y + X' \cdot Z' + W \cdot Y' \cdot Z'$$

1. 위의 논리식 F를 합의 정리를 이용하여 간소화 하시오.

- 합의 정리( $X \cdot Y + X' \cdot Z + Y \cdot Z = X \cdot Y + X' \cdot Z$ )를 이용한 간소화 과정을 작성하시오.

오후 3:02 3월 29일 월요일

이름 없는 노트북

주자 x a x 이름 없는 노트북 x Java x 이름 없는 노트북 x Js x Nodejs x 미분적분학 x 이름 없는 노트북

$$\begin{aligned}
 F &= wx + xy + x'z' + wy'z' \\
 &= wx + xy + x'z' + (x+x')y'z'w \\
 &= wx + xy + x'z' + xwy'z' + wx'y'z' \\
 &= wx(1+y'z') + x'z'(1+wy') + xy \\
 &= wx + x'z' + xy
 \end{aligned}$$

**2. 위의 1번 문제에서 간소화한 논리식 F에 대응되는 핀 연결도를 그리시오.**

- Logisim을 이용하여 작성할 것
- 각 입력과 출력은 Pin을 사용할 것
- 7404(NOT), 7408(AND), 7432(OR)를 circuit으로 제작 및 사용하여 핀 연결도를 작성할 것.
- 모든 입출력에 레이블을 반드시 표기할 것
- 3input OR의 경우 2input OR(7432)를 두 번 사용할 것 (3input OR 사용 금지)
- 회로에 E (error) 발생 시 menu -> Simulate -> Reset Simulation (Ctrl + R) 로 리셋할 것

**Logisim으로 작성한 회로도를 캡처해서 첨부  
(지우고 작성)**

