

Alunos: Henrique Meurer Zardo e Lucas Tavares Rockembach

Período: 2025-1

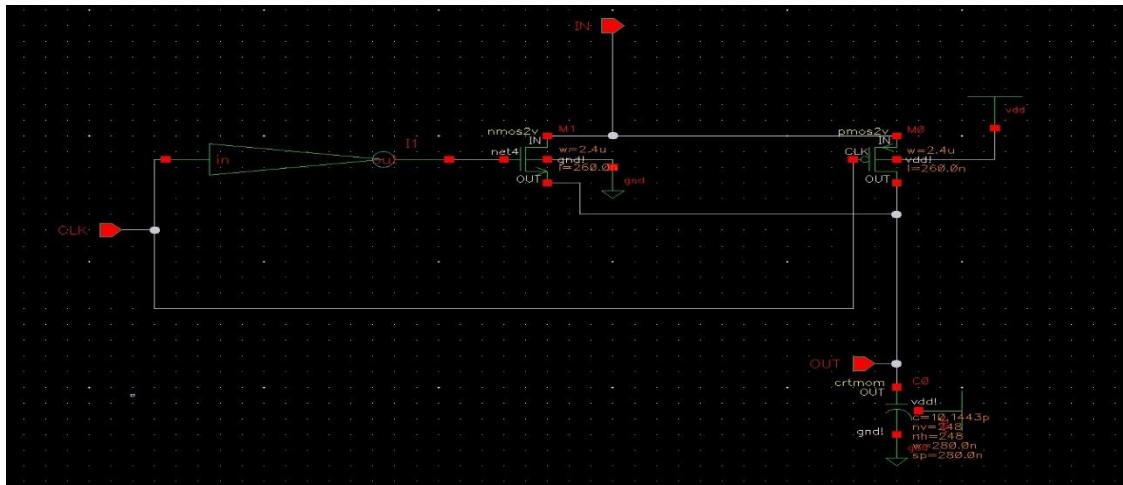
6.1) Circuito Final

Assim ficaram o esquemático e o símbolo do conversor analógico-digital completo, unindo todas as partes que o compõem, criadas nas atividades anteriores:

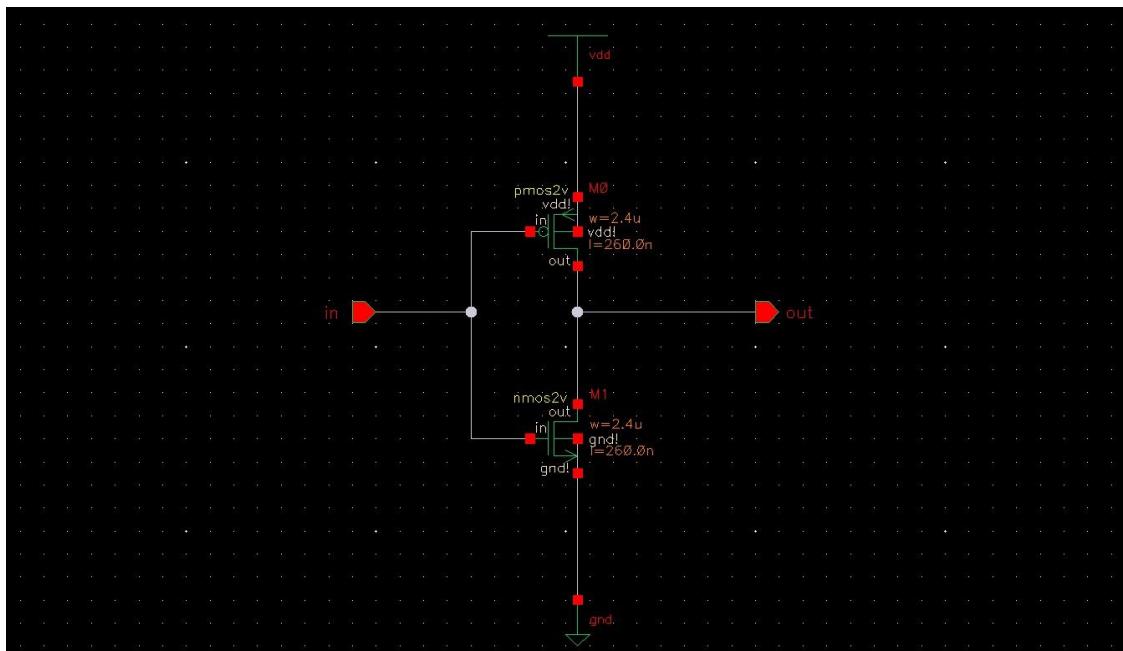


Separadamente, para os componentes do ADC foram utilizados os seguintes circuitos:

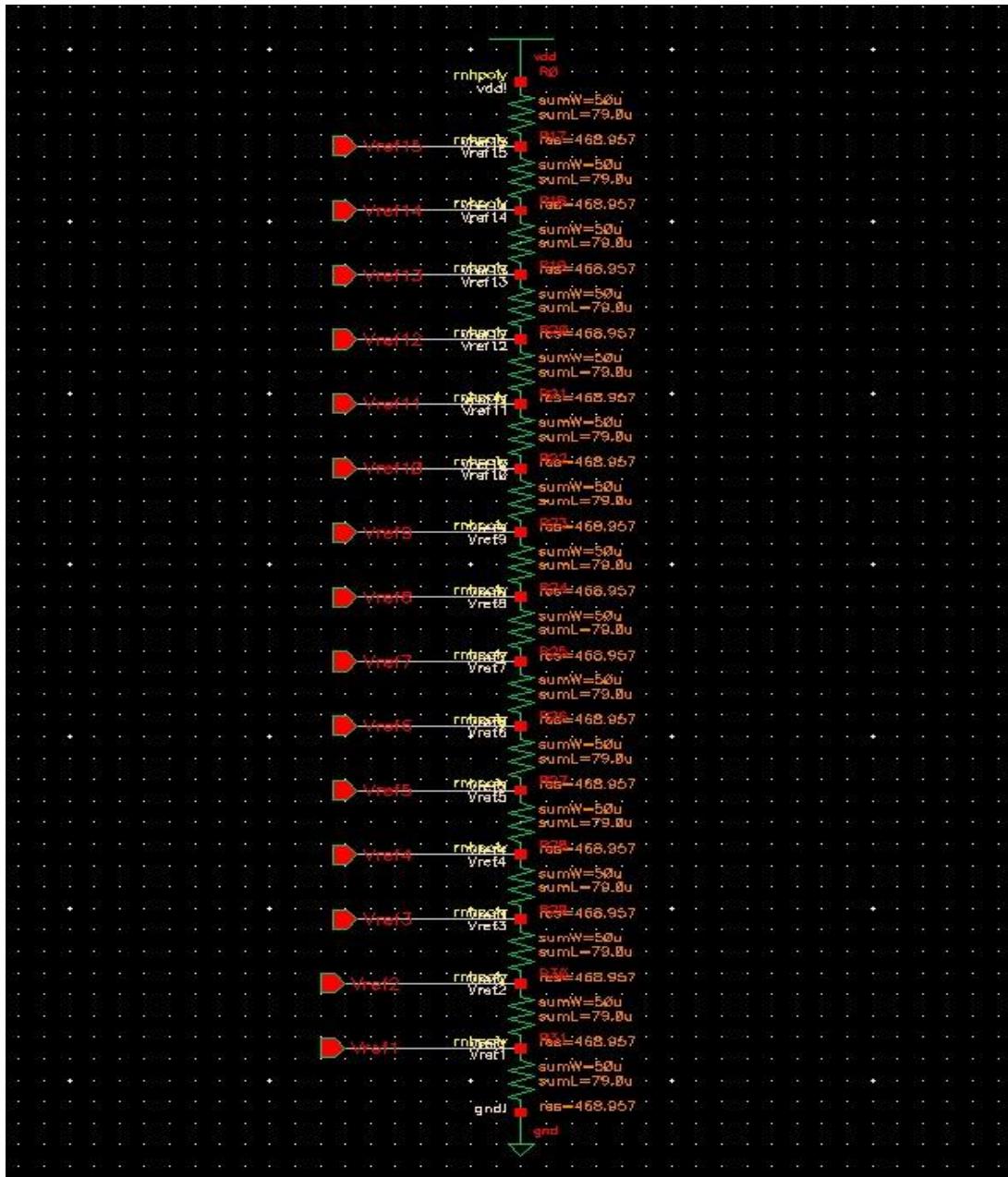
- Sample and Hold:



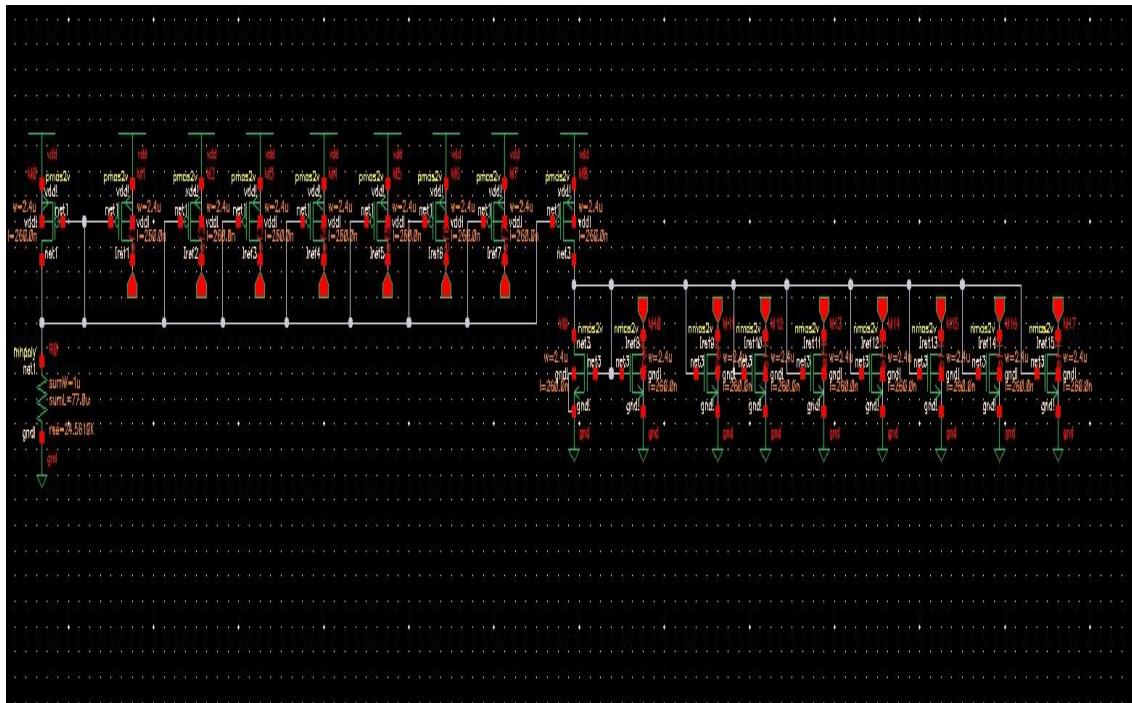
- Inversor:



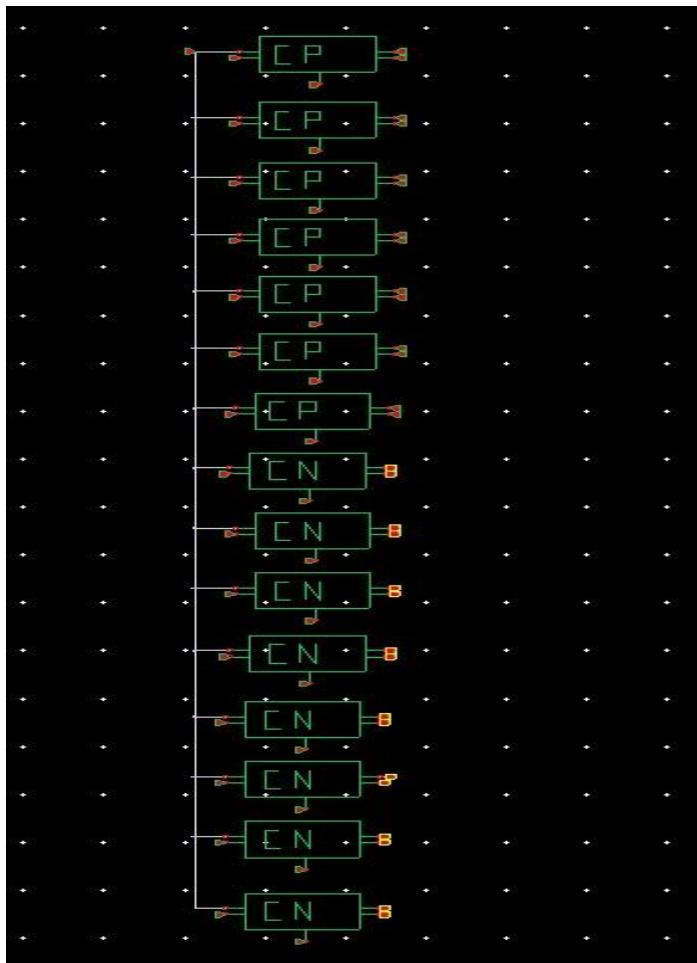
- Referência de Tensão:



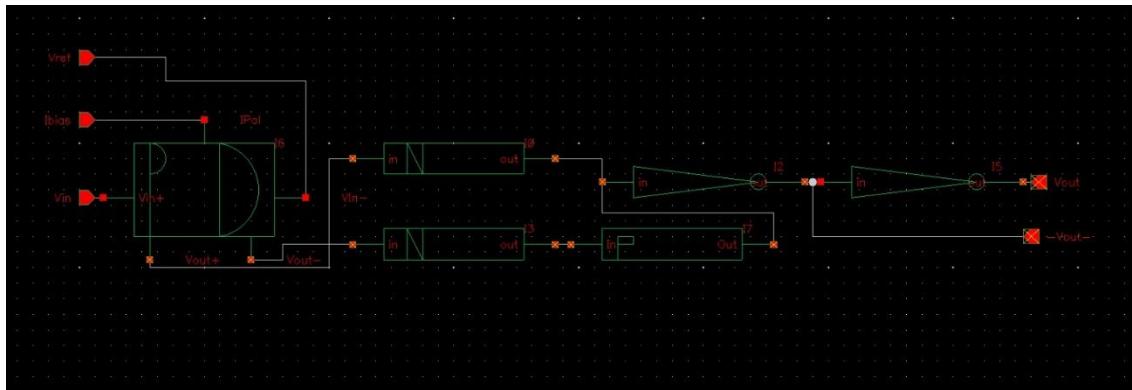
- Referência de Corrente:



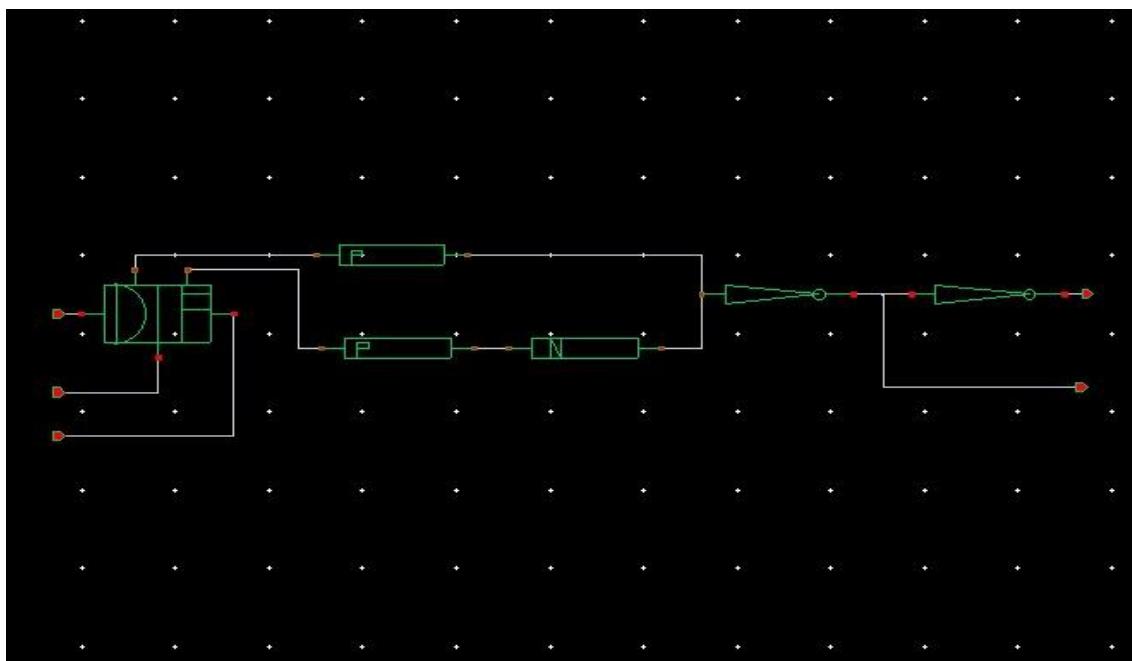
- Bloco Comparador:



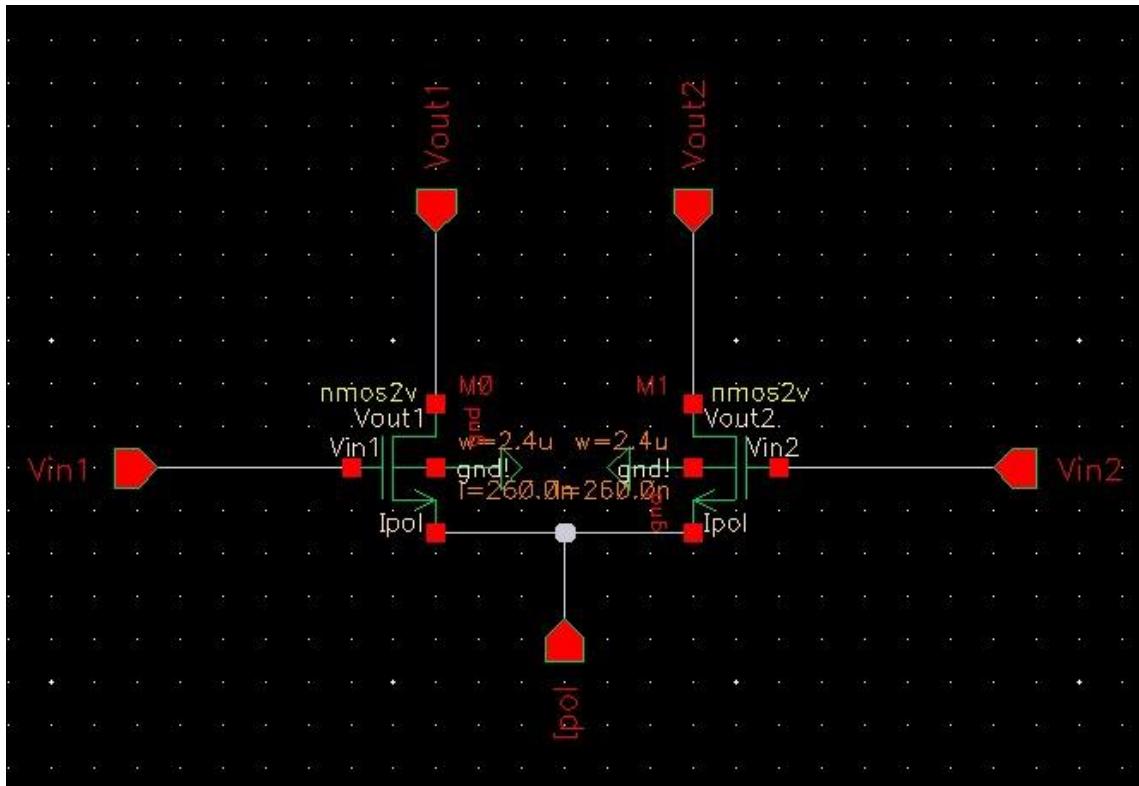
- Comparador PMOS:



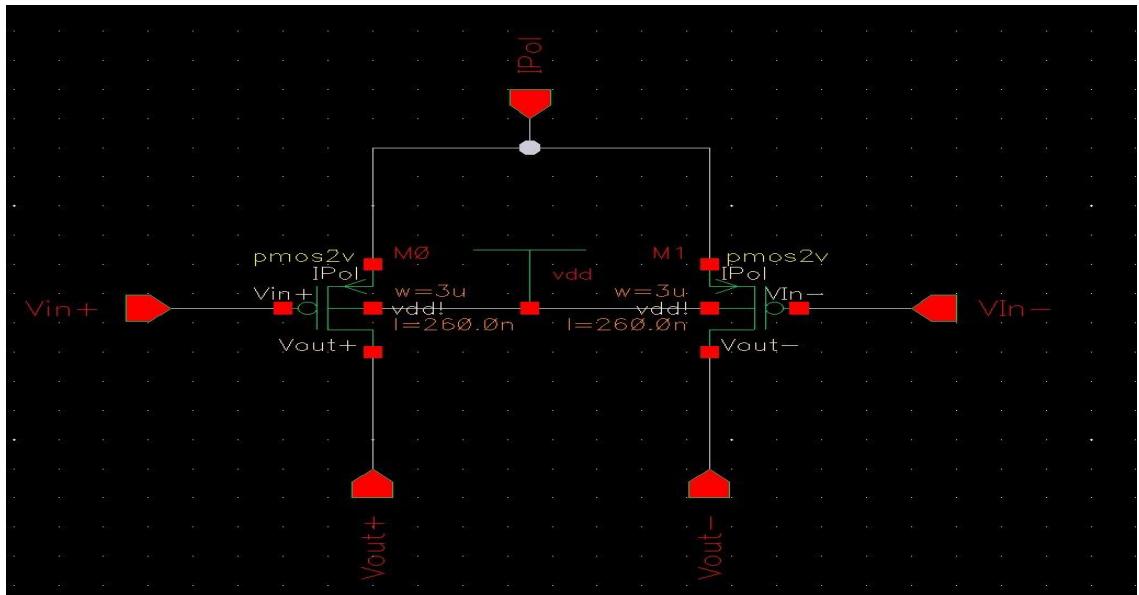
- Comparador NMOS:



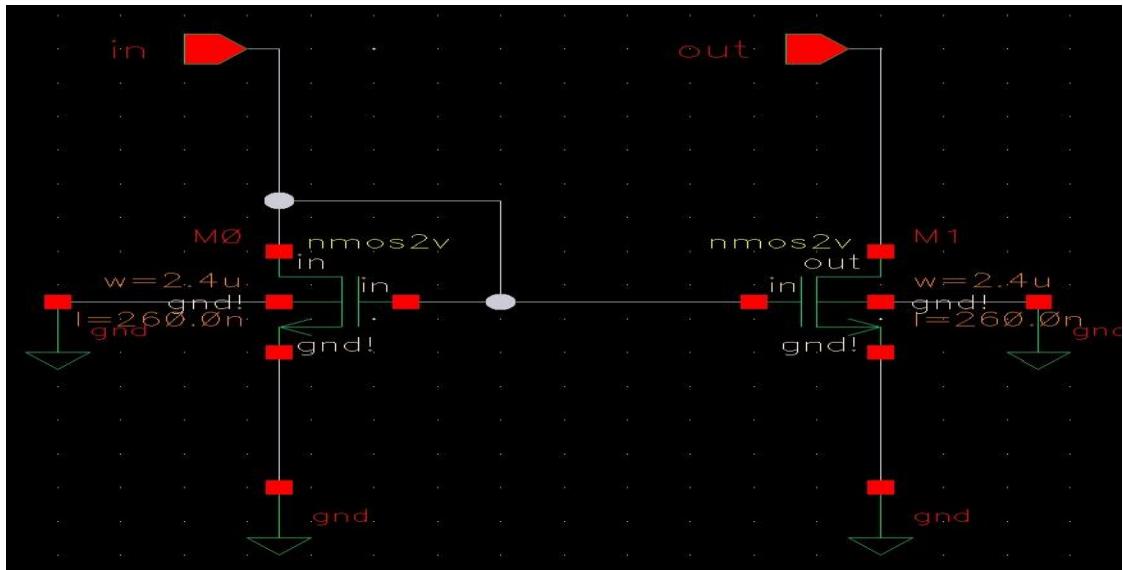
- Par Diferencial NMOS:



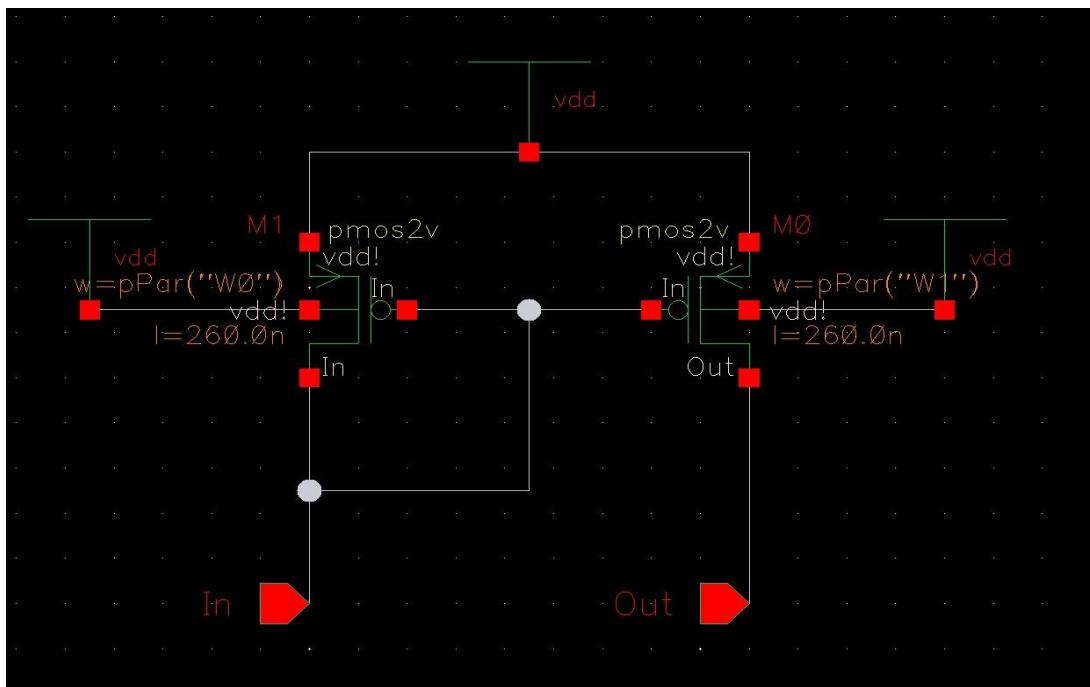
- Par Diferencial PMOS:



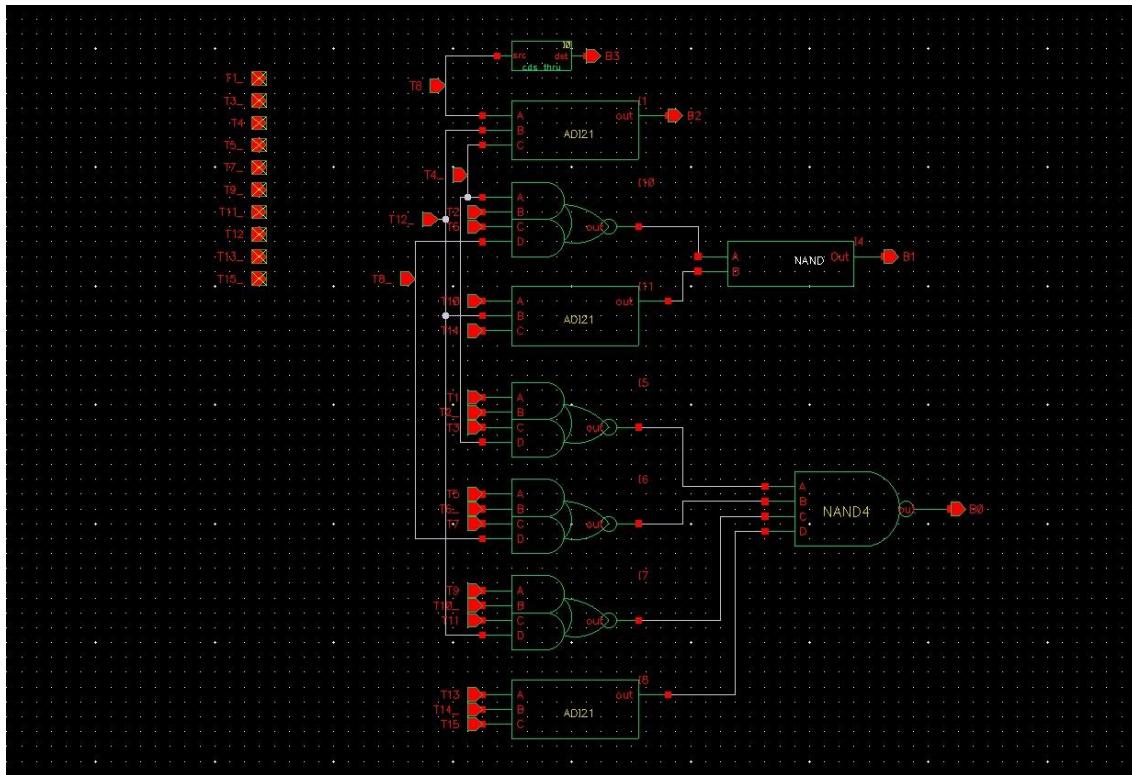
- Espelho NMOS Simples:



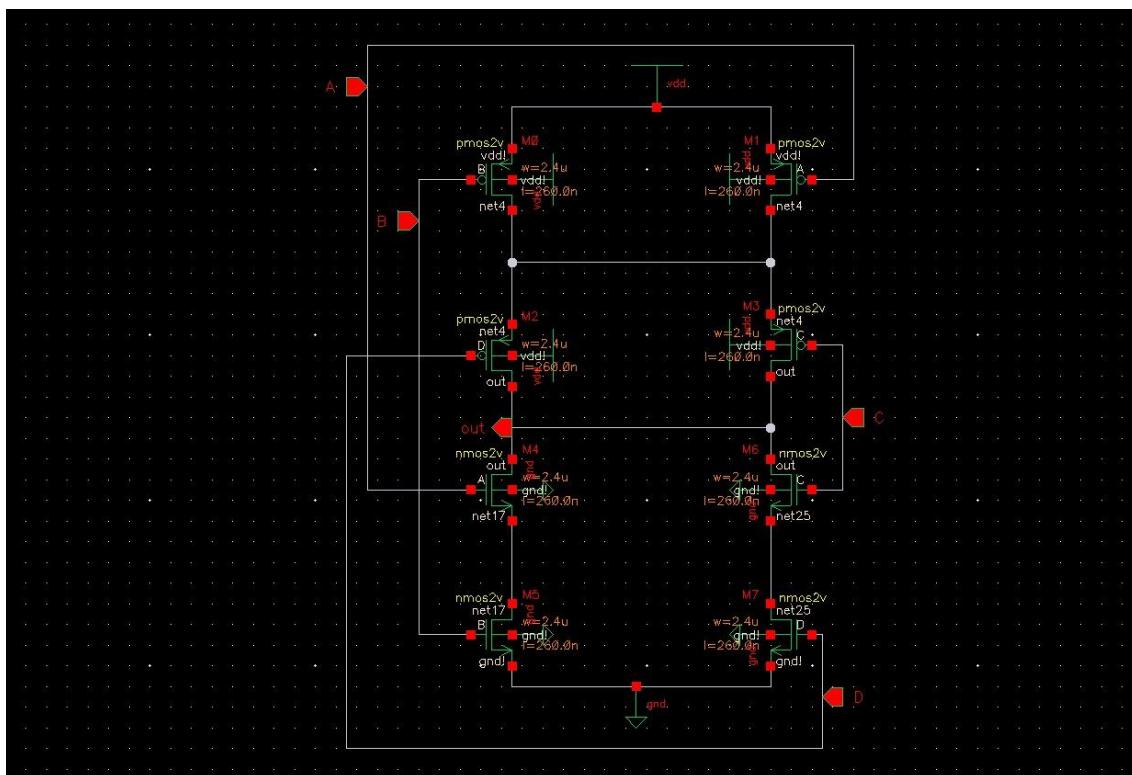
- Espelho PMOS Simples:



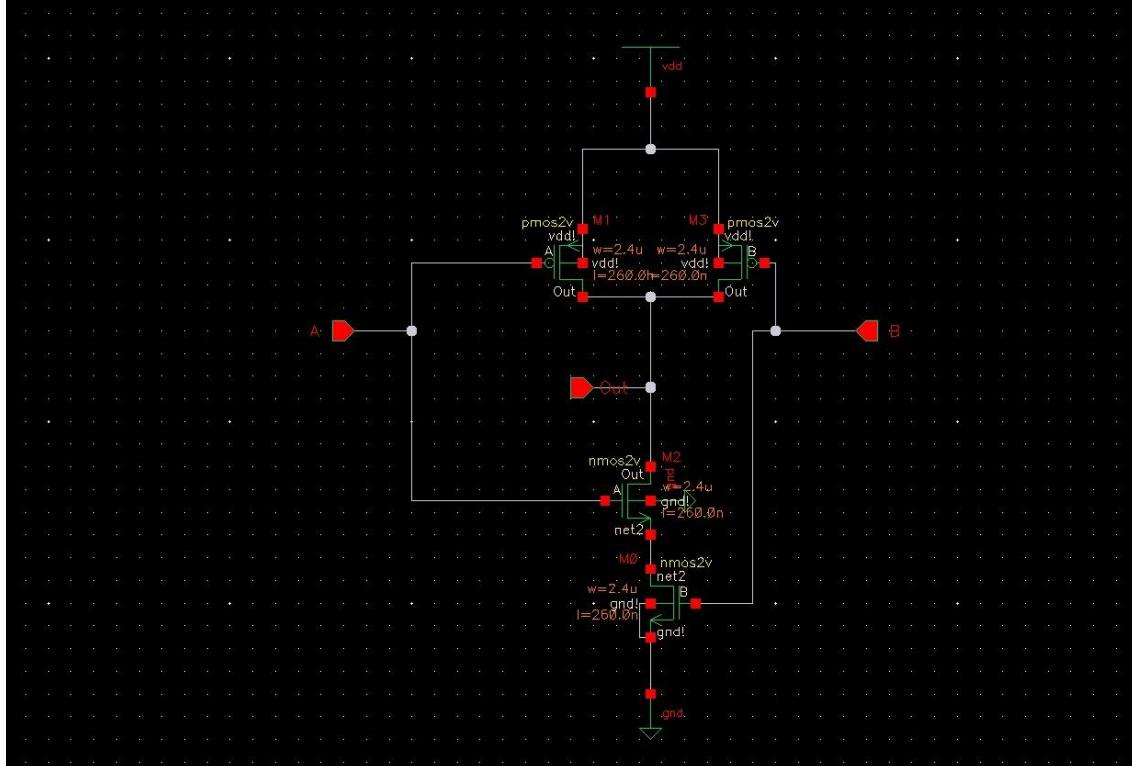
- Decodificador:



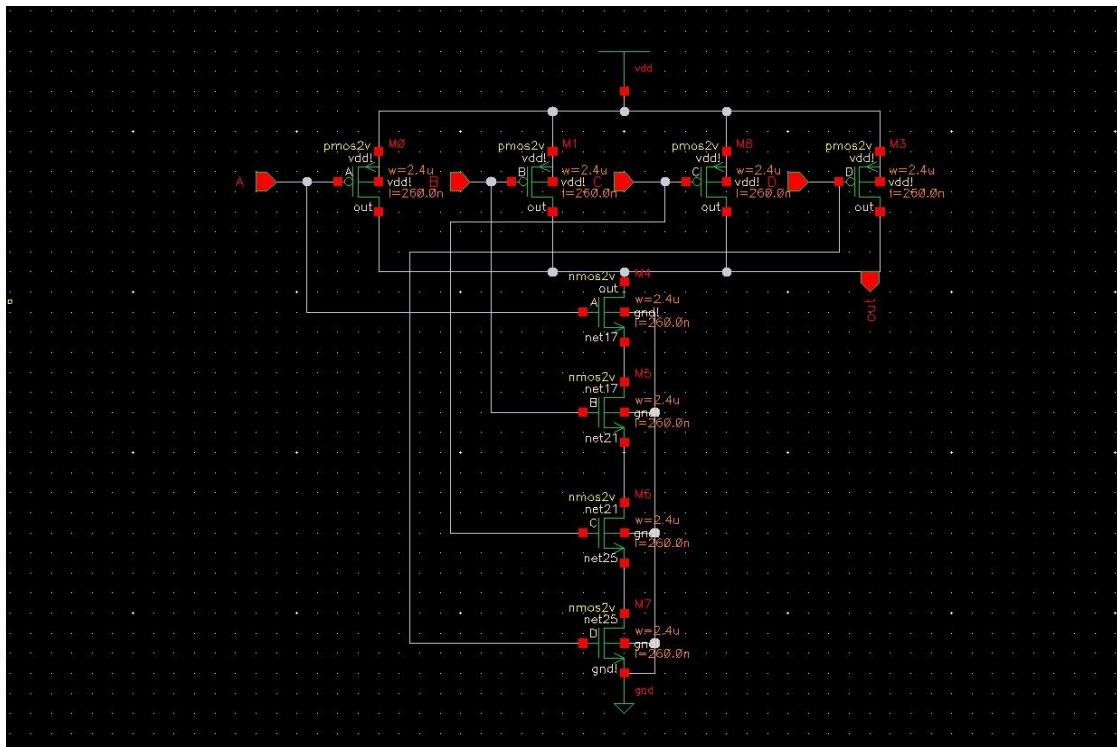
• AOI21:



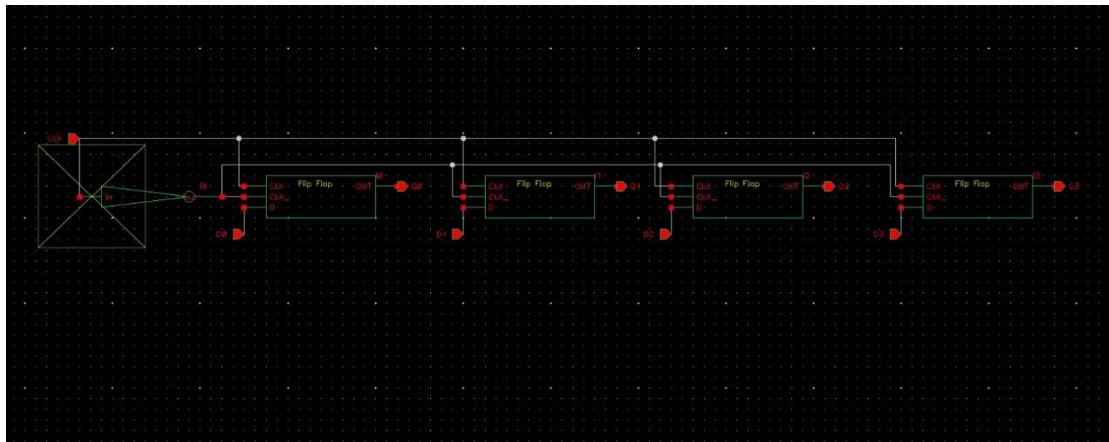
- NAND 2 entradas:



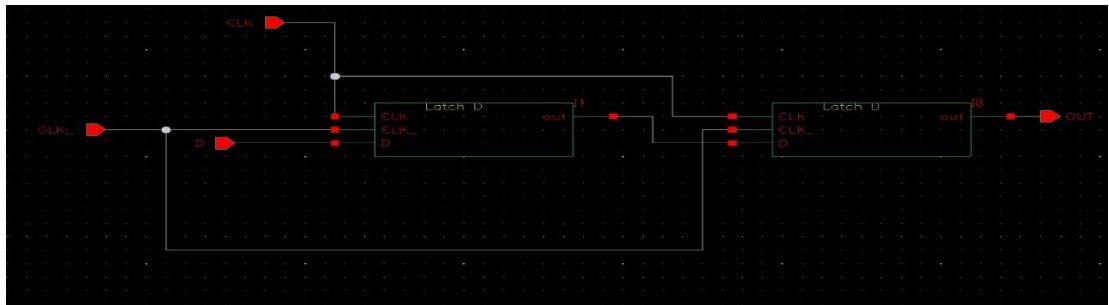
- NAND 4 Entradas:



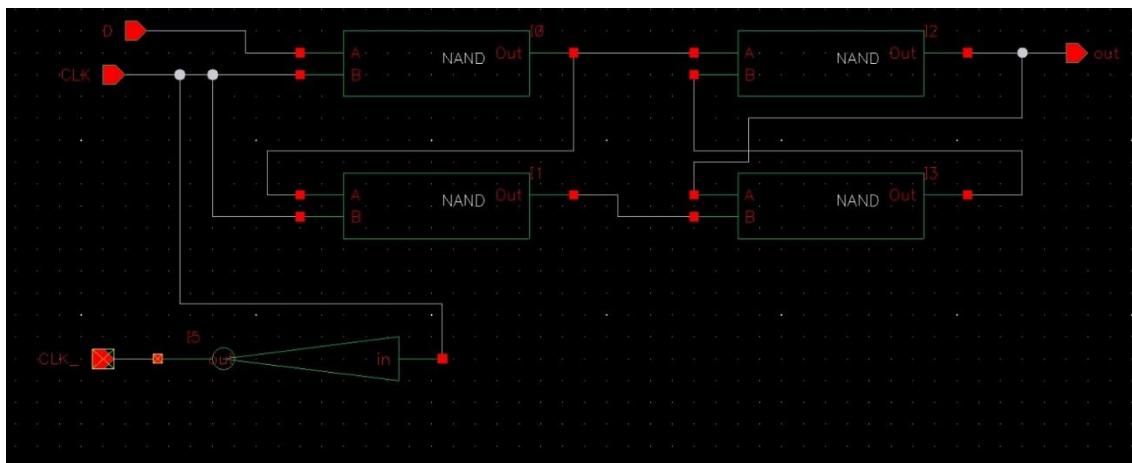
- Registrador:



- Flip-flop:

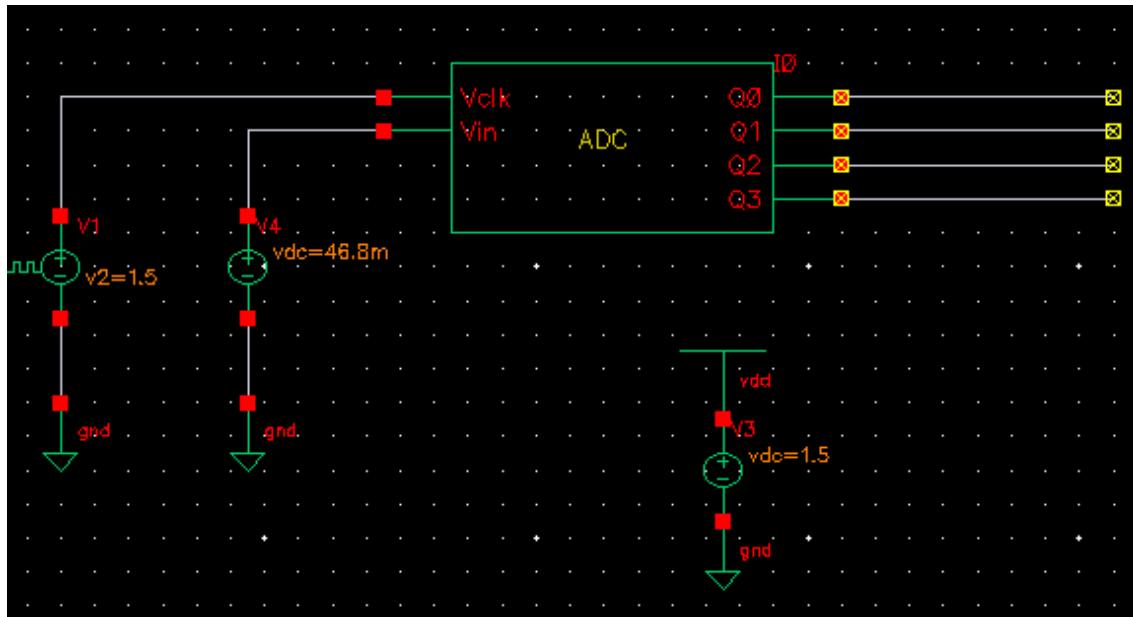


- Latch-D:



6.2) Teste com Entrada Contínua

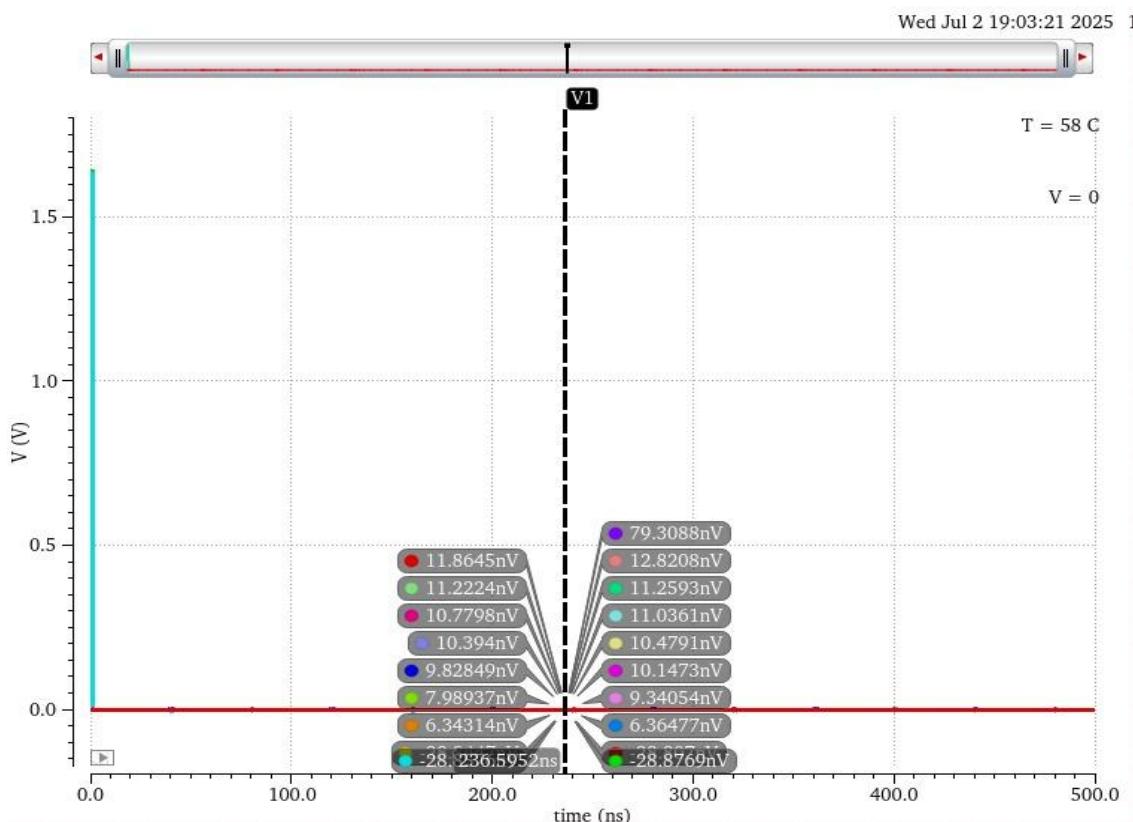
Segue o esquemático de teste com um sinal quadrado de relógio de 12,5 MHz e uma fonte de tensão contínua na entrada:



OBS: o valor de vdc na entrada foi alterado de acordo com os múltiplos ímpares crescentes de VDD/32.

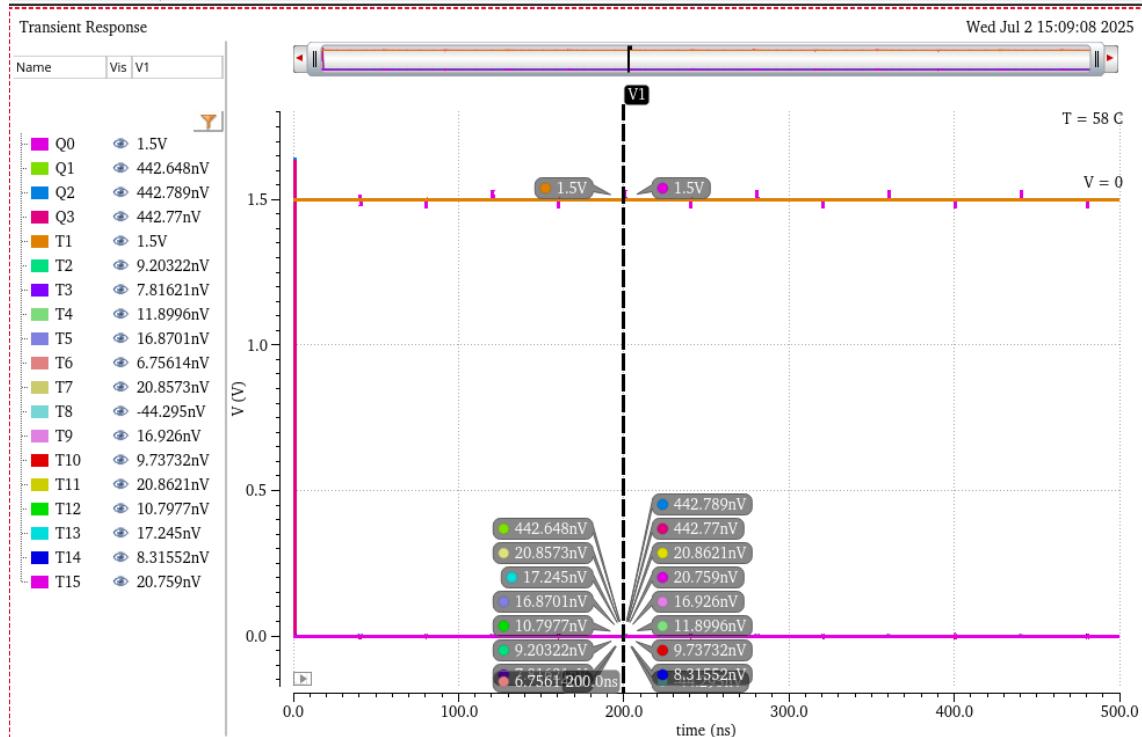
Esses foram os resultados das simulações, aplicando na tensão de entrada:

- VDD/32:

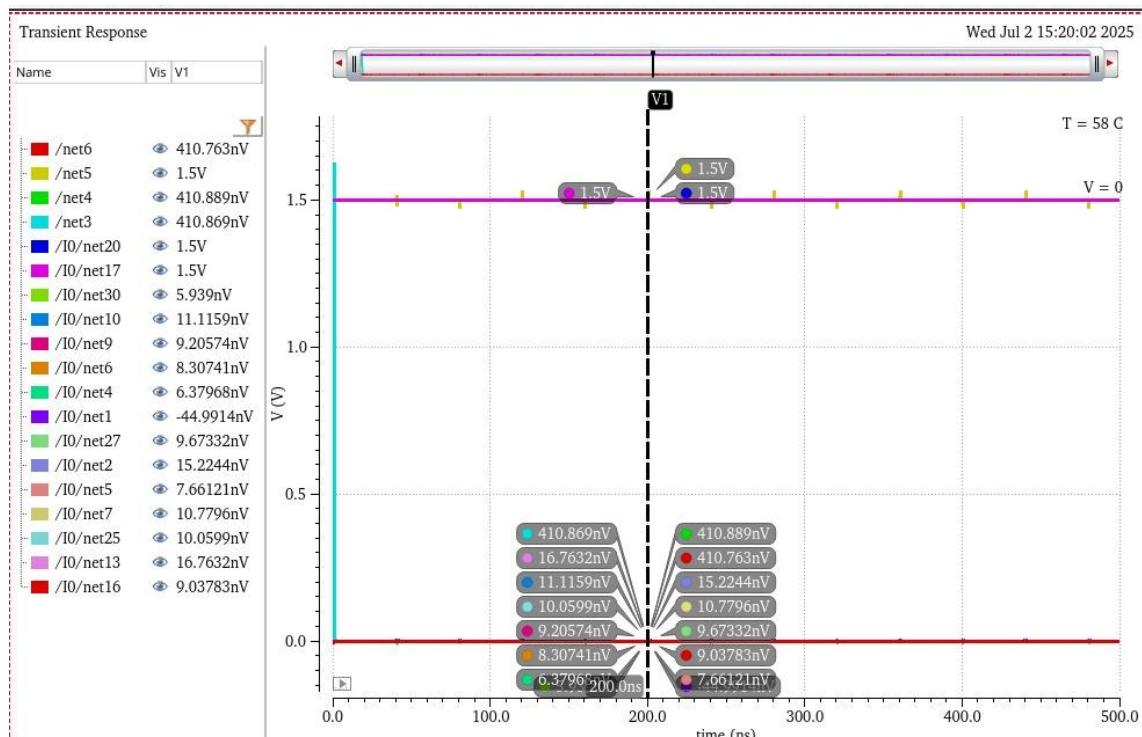


OBS: nesse gráfico não foi necessário legendar porque todos os parâmetros são zerados

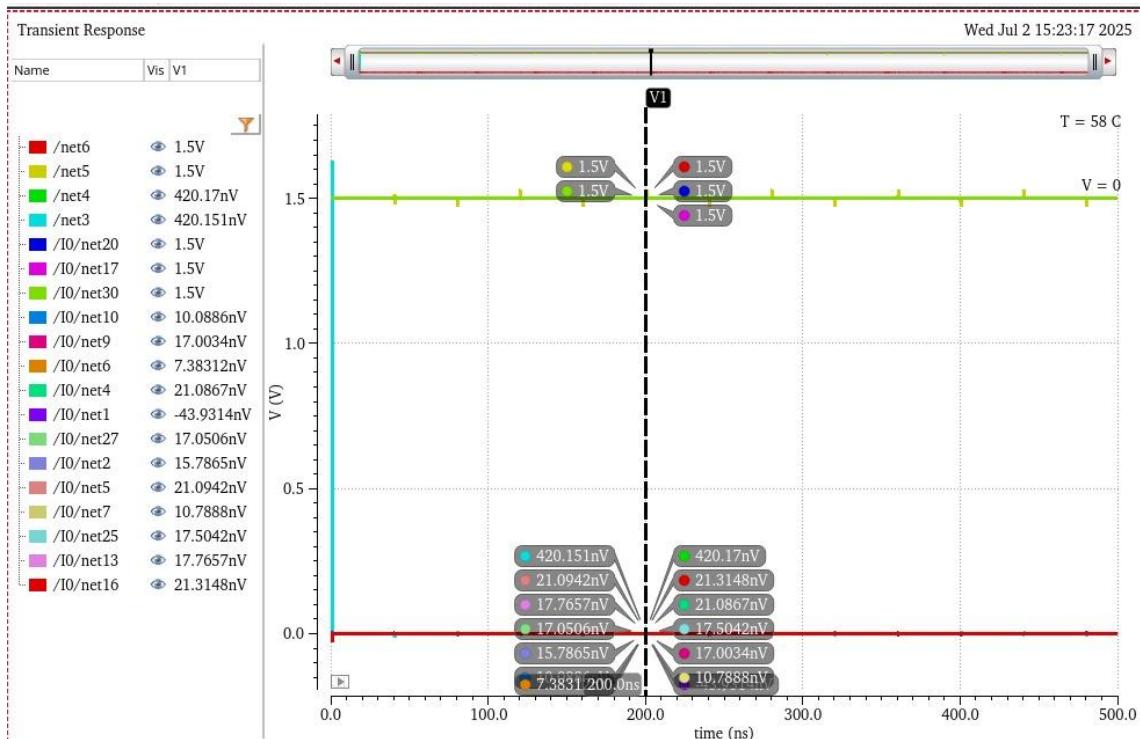
•3VDD/32:



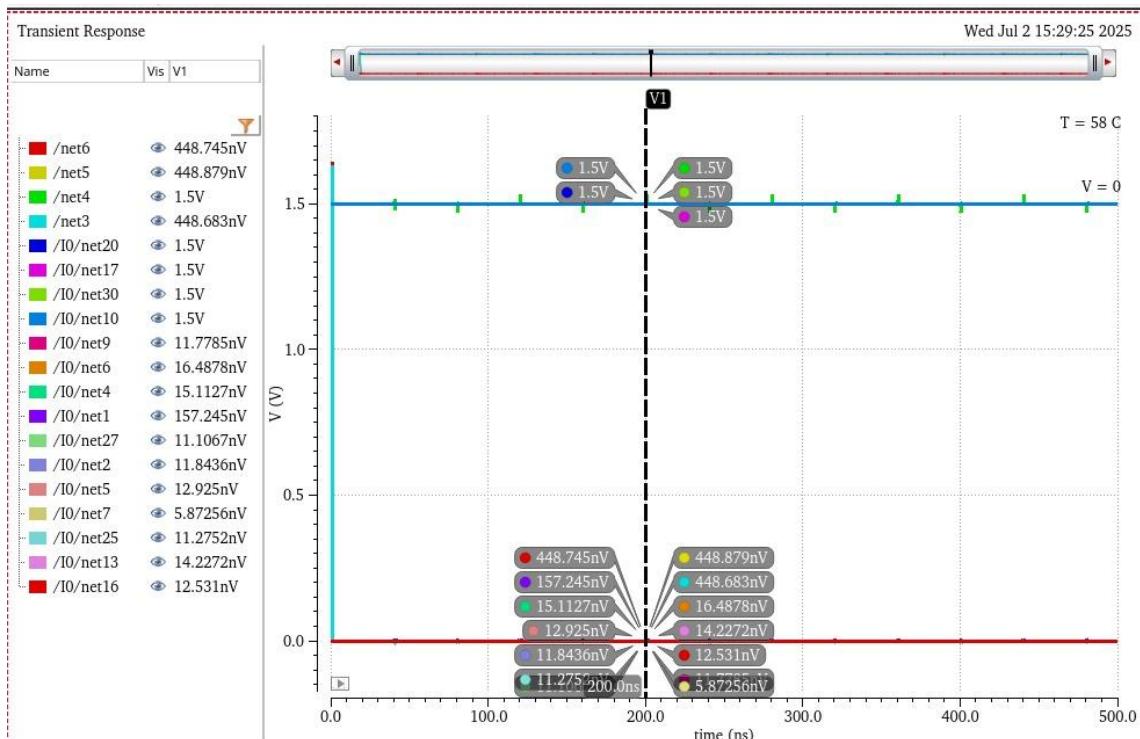
•5VDD/32:



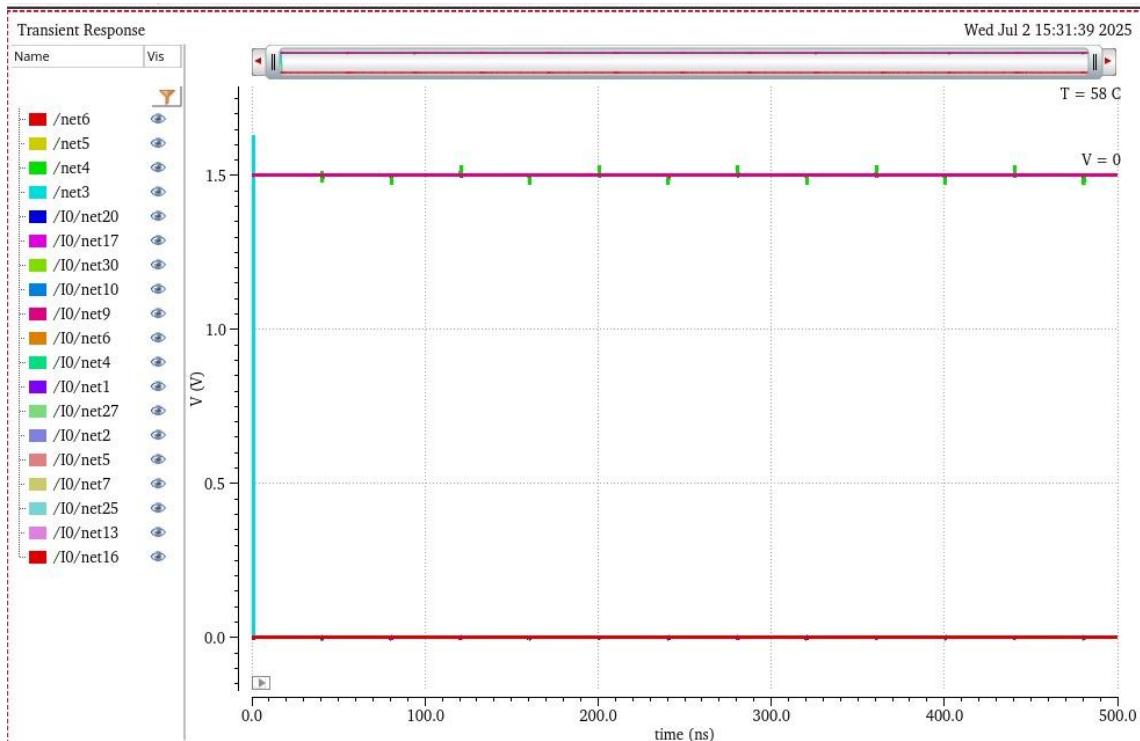
•7VDD/32:



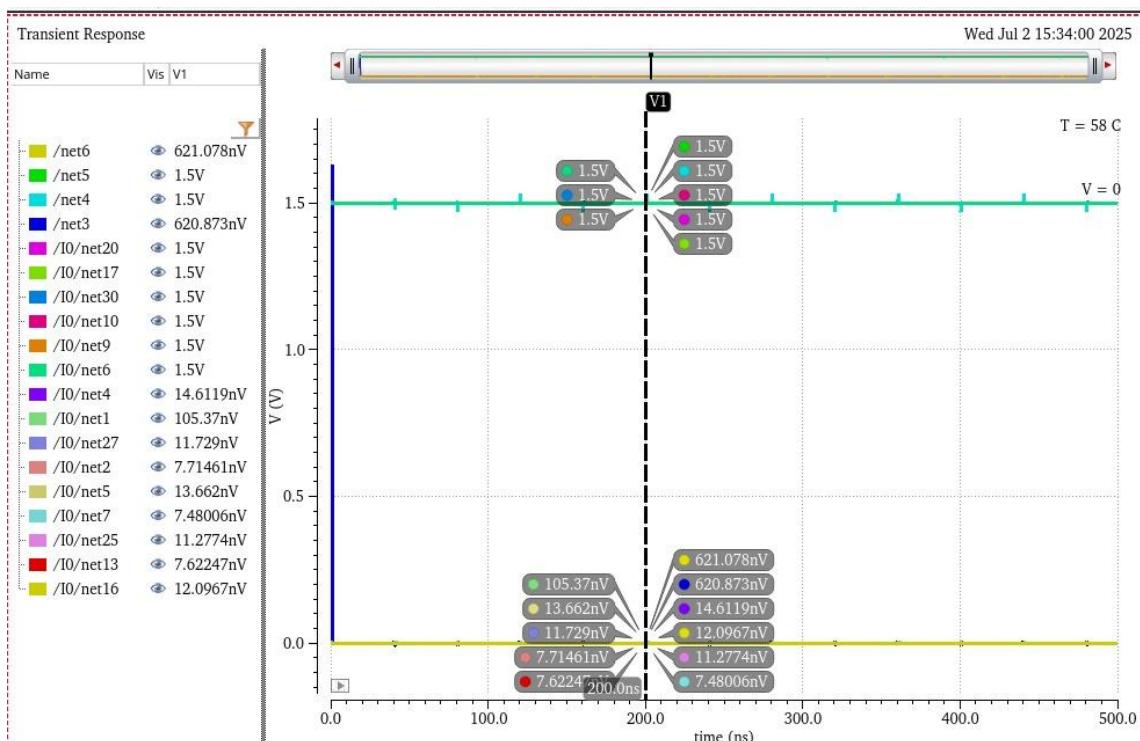
•9VDD/32:



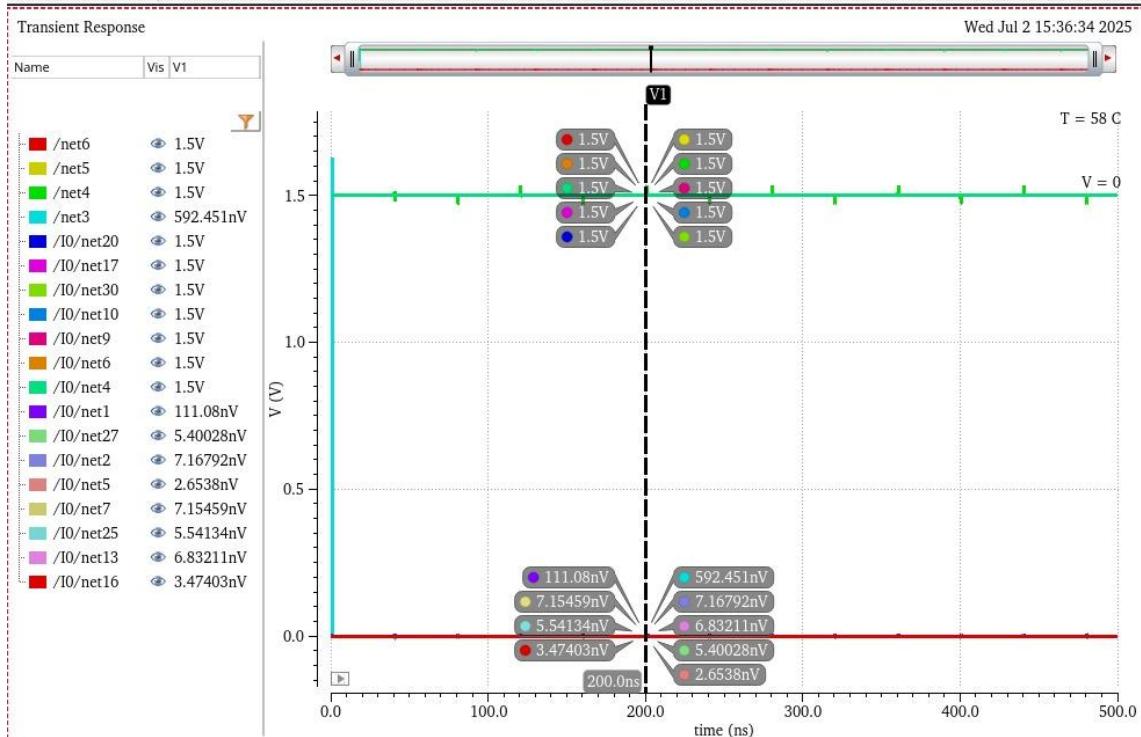
•11VDD/32:



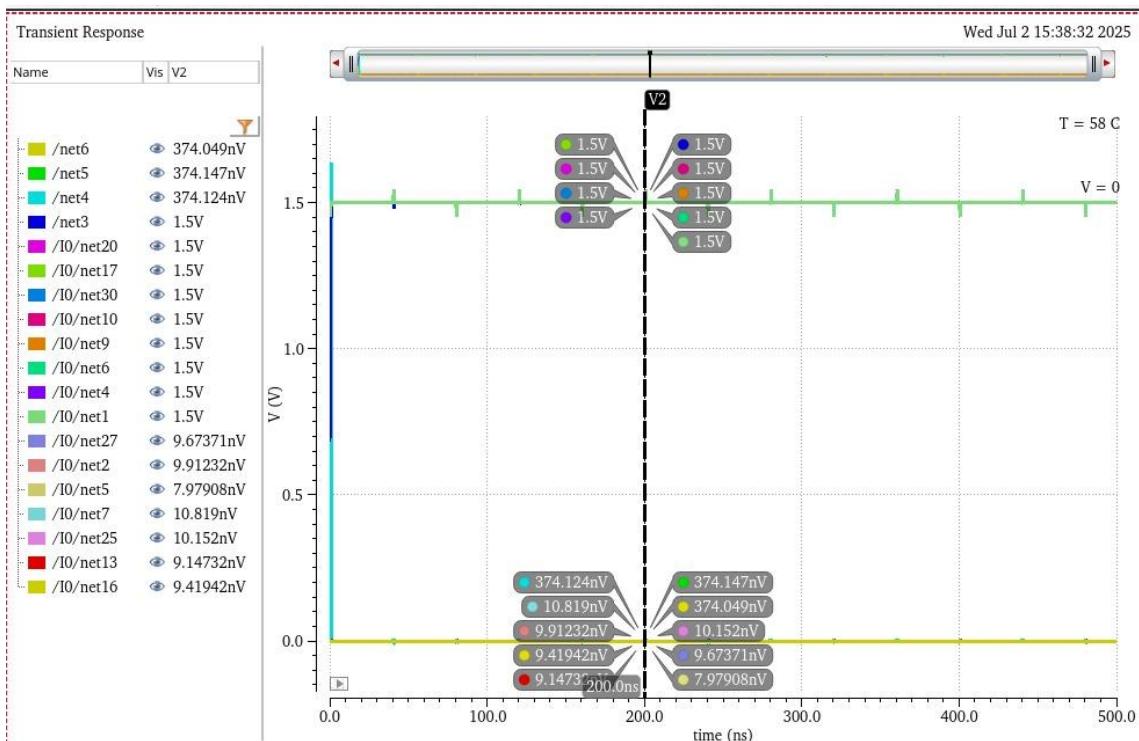
•13VDD/32:



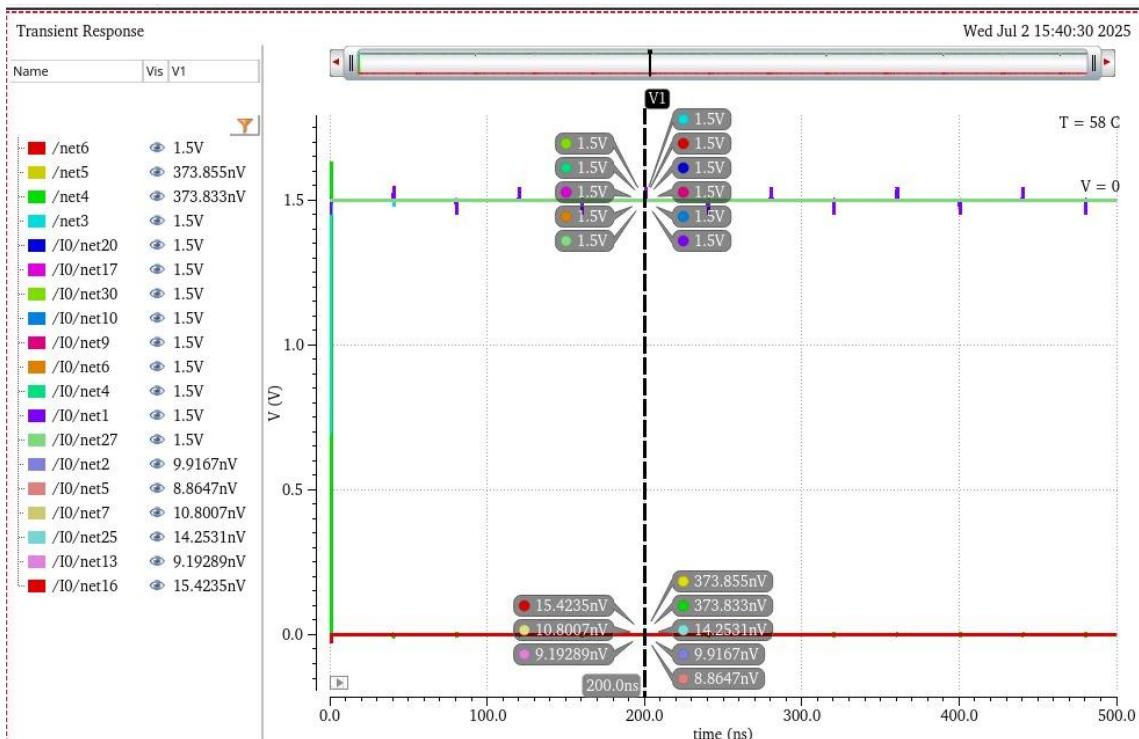
•15VDD/32:



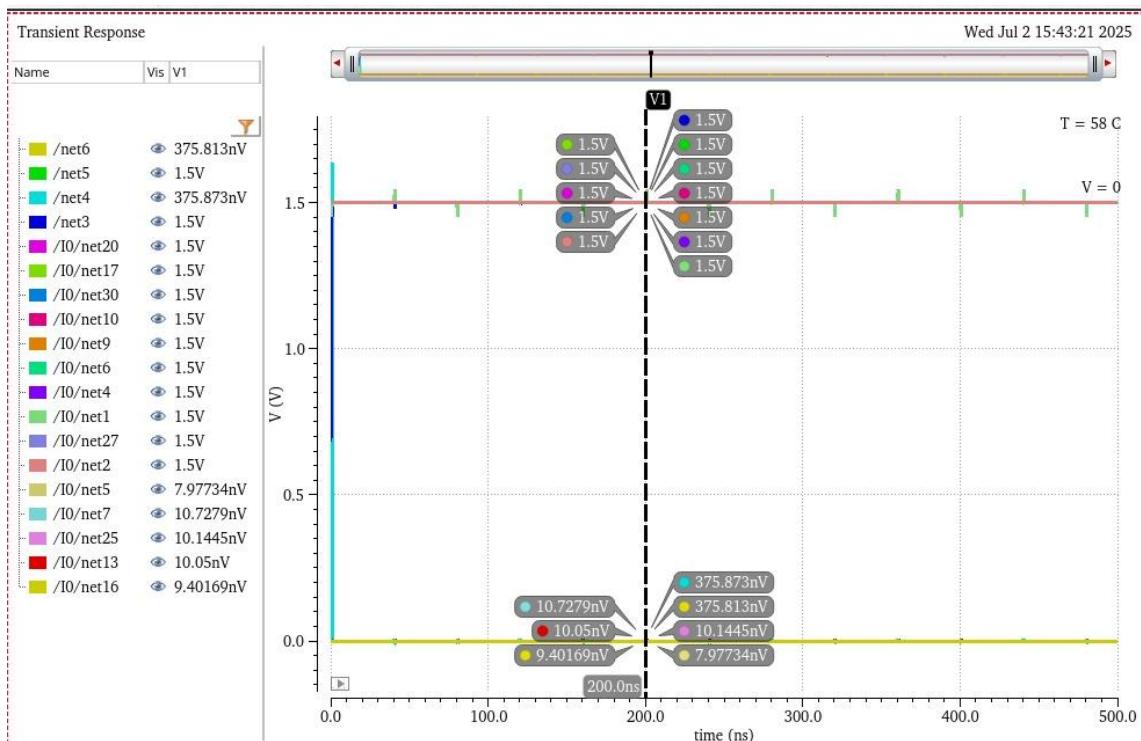
•17VDD/32:



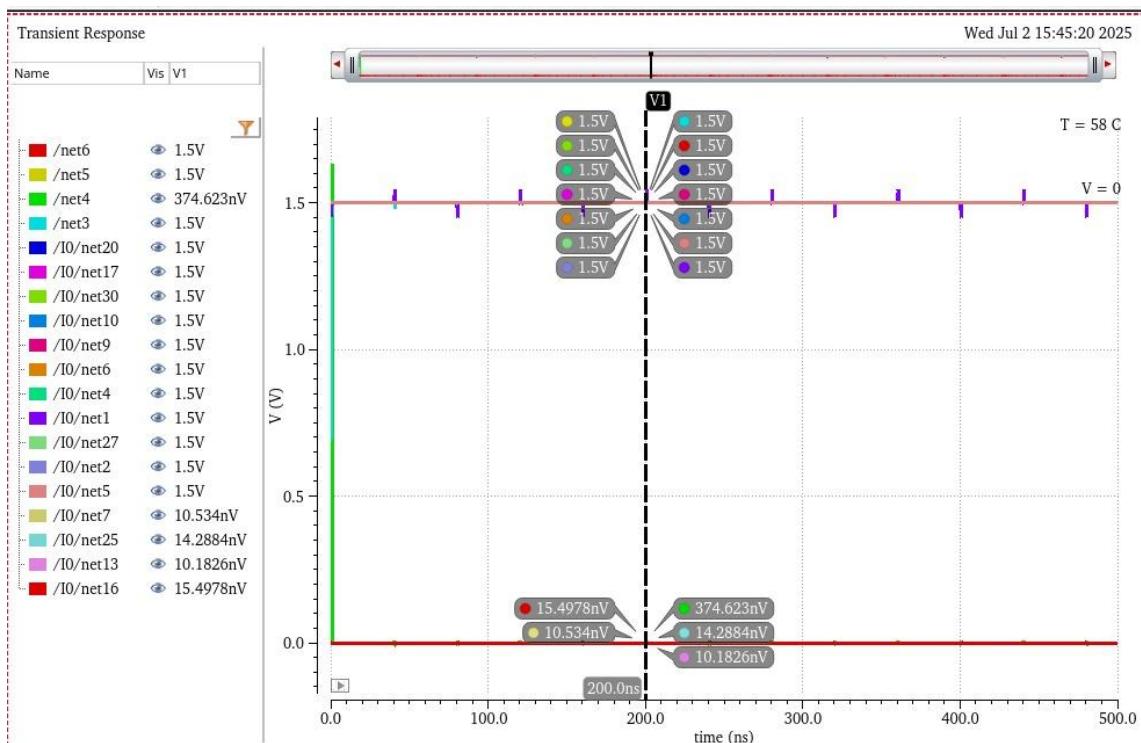
•19VDD/32:



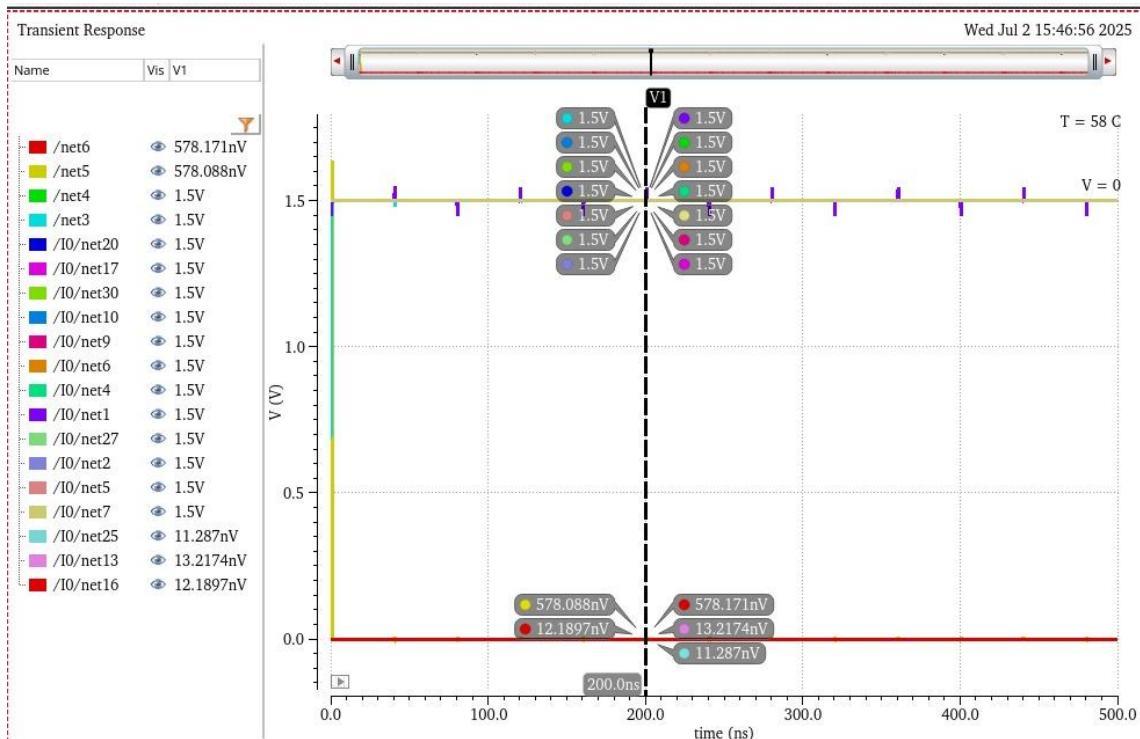
•21VDD/32:



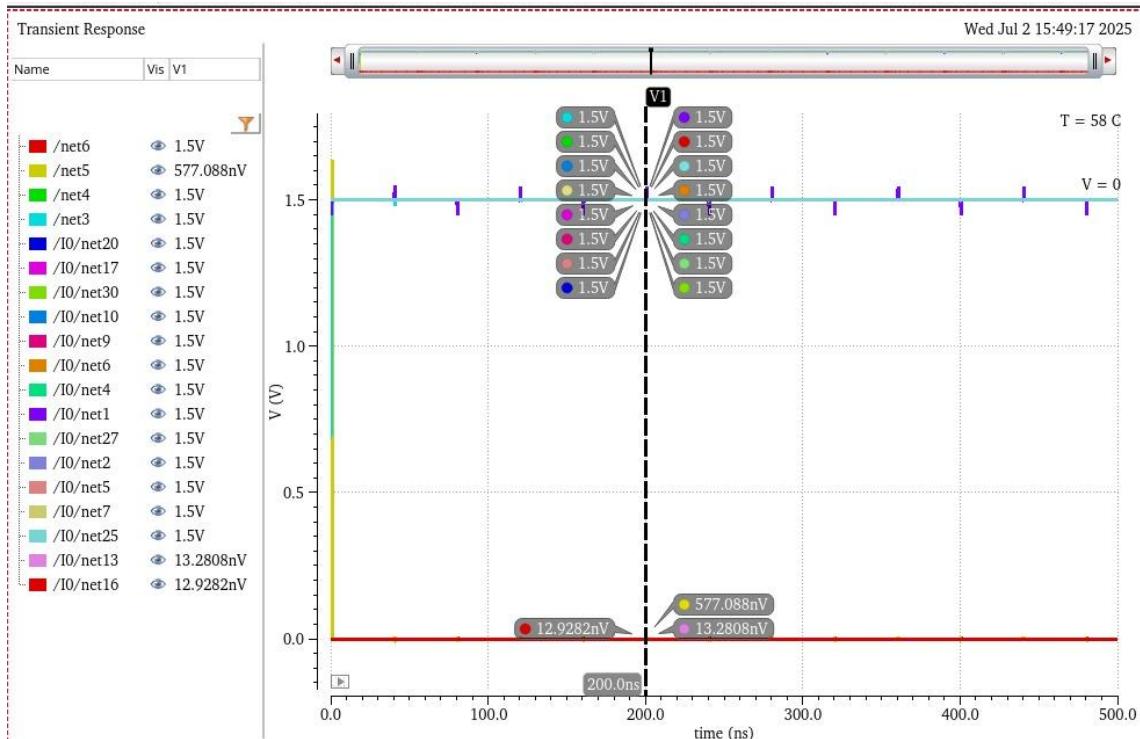
- 23VDD/32:



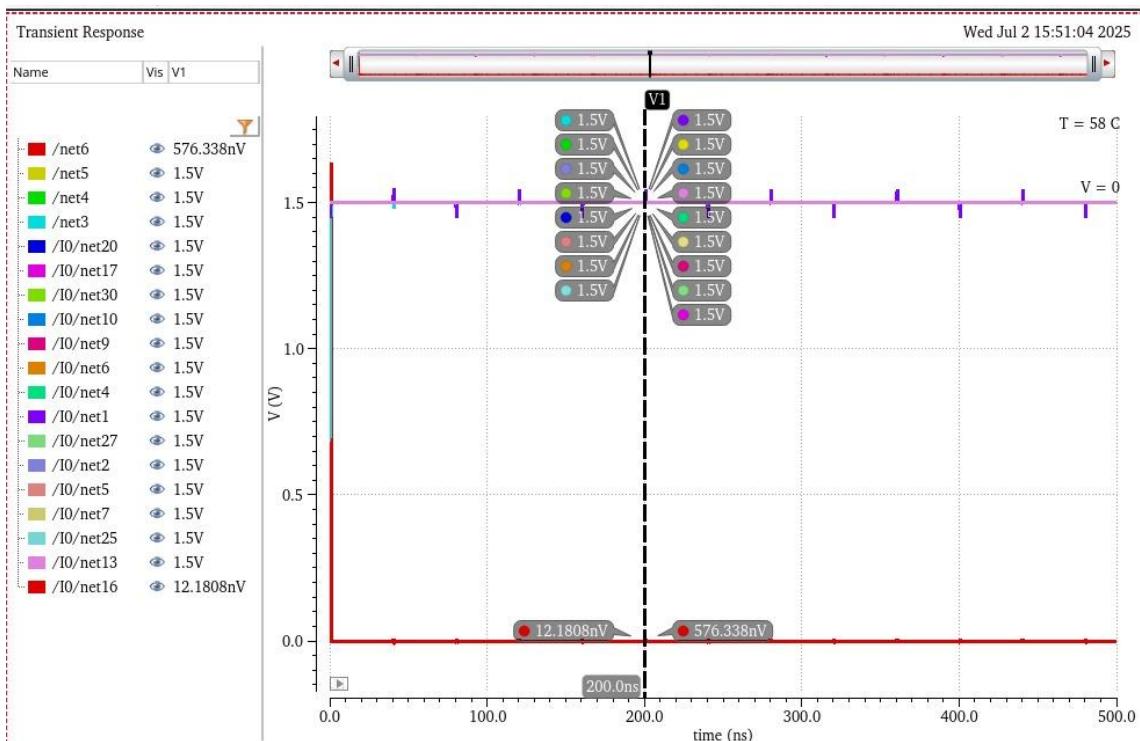
•25VDD/32:



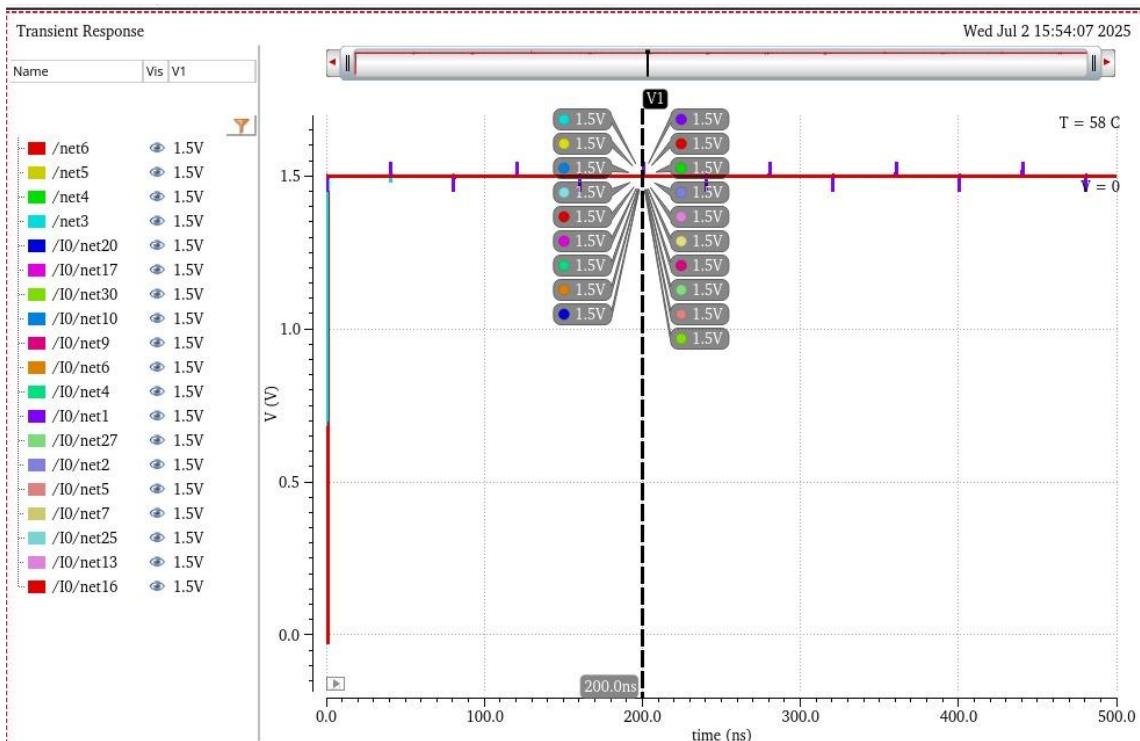
•27VDD/32:



•29VDD/32:



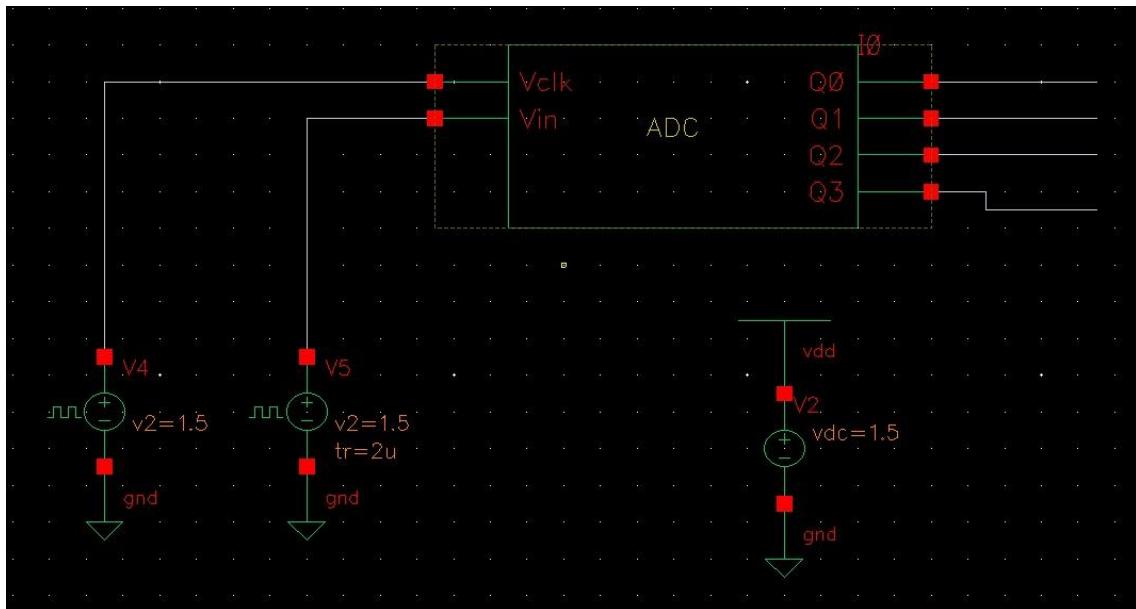
•31VDD/32:



OBS: a legenda, em todas as simulações dessa seção, de cada curva/tracô em específico segue sempre a seguinte ordem, considerando a tabela na esquerda de cada gráfico: Q0, Q1, Q2, Q3, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15

6.3) Teste com Entrada Triangular

a) Segue o esquemático de teste aplicando na entrada do circuito um sinal triangular de 250 kHz entre 0 e VDD e mantendo o relógio de 12,5 MHz:



Propriedades da fonte triangular:

Edit Object Properties (em galileu)

Show system user CDF

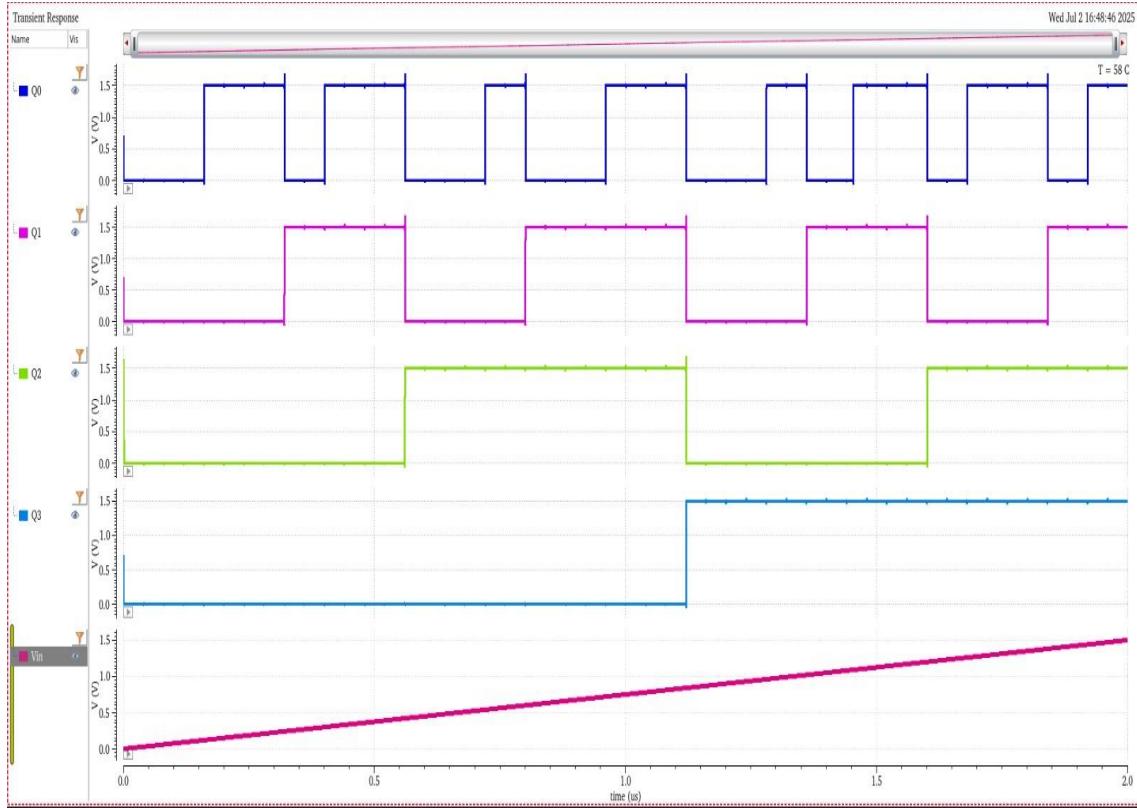
Property	Value	Display
Library Name	analogLib	off ▾
Cell Name	vpulse	off ▾
View Name	symbol	off ▾
Instance Name	V0	off ▾

User Property	Master Value	Local Value	Display
IvsIgnore	TRUE		off ▾

CDF Parameter	Value	Display
Frequency name for 1/period	250k	off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
DC voltage		off ▾
AC magnitude		off ▾
AC phase		off ▾
XF magnitude		off ▾
PAC magnitude		off ▾
PAC phase		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.5 V	off ▾
Period	4.000000u s	off ▾
Delay time		off ▾
Rise time	2u s	off ▾
Fall time	2u s	off ▾
Pulse width		off ▾
Temperature coefficient 1		off ▾
Temperature coefficient 2		off ▾
Nominal temperature		off ▾
Type of rising & falling edge	▼	off ▾

OK Cancel Apply Defaults Previous Next Help

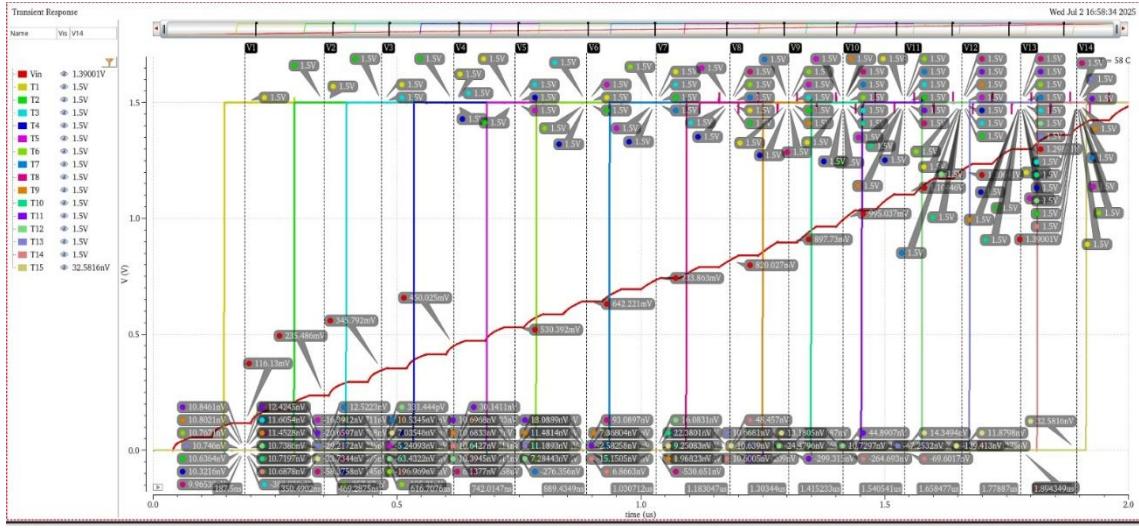
Desse modo, a simulação obteve os seguintes resultados:



Dessa forma, é perceptível, pela curva, que o circuito responde corretamente às variações da tensão de entrada, elevando gradualmente o valor do sinal digital de saída conforme a tensão aumenta, e reduzindo-o bit a bit quando a tensão diminui.

b)

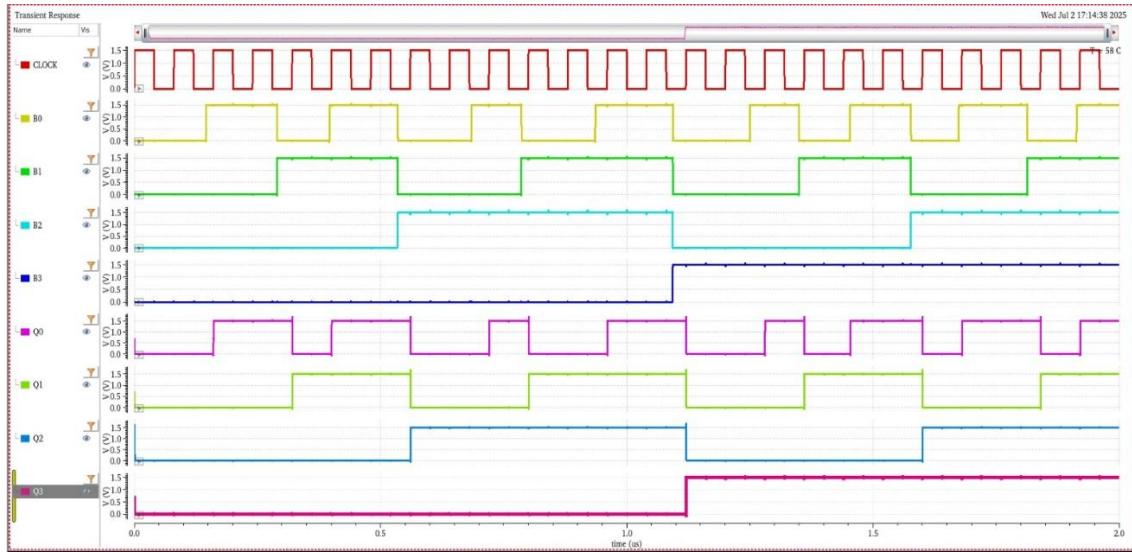
Plotando a entrada do comparador e suas saídas T1 – T15, foi possível obter os seguintes dados:



Ao analisar o comportamento das saídas dos comparadores (T1 a T15) ao longo do tempo, observa-se que elas comutam de forma sequencial e coerente conforme a tensão de entrada aumenta. Cada transição ocorre em um nível bem definido de tensão, com incrementos próximos de VDD/16, o que é esperado para um ADC flash de 4 bits. Isso confirma o funcionamento adequado da malha de comparadores, que divide corretamente a faixa de entrada analógica em 16 regiões de quantização. Esses pontos de transição também servirão de referência para análise das saídas do registrador na etapa seguinte.

c)

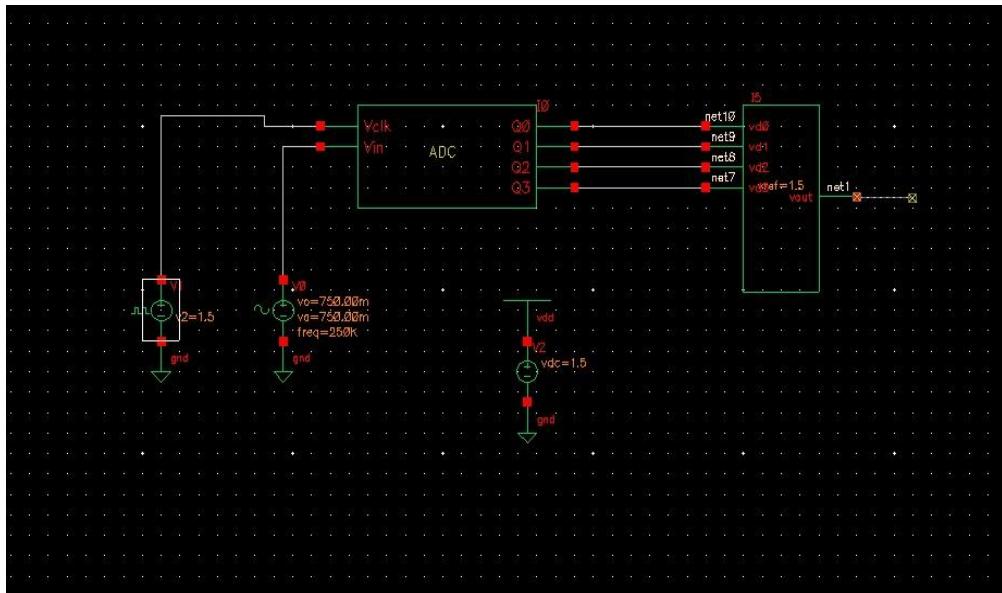
A simulação para obter as entradas, o clock e as saídas do registrador, resultou nos seguintes gráficos:



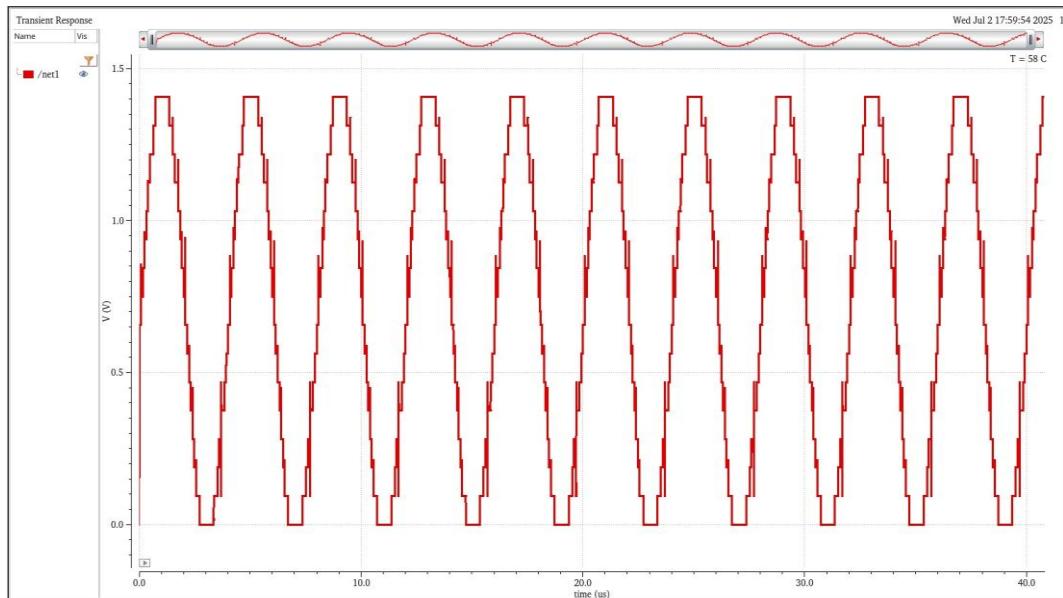
Portanto, é notável o comportamento das entradas e saídas do registrador do ADC em funcionamento com entrada triangular e clock de 12,5 MHz. As linhas B0–B3 representam os valores provenientes do codificador de prioridade e variam de forma contínua conforme a entrada analógica. Já as saídas Q0–Q3 são os valores registrados, atualizados apenas nas bordas de subida do sinal de clock. Isso demonstra o correto funcionamento do registrador, que armazena os valores da conversão de forma sincronizada e estável, evitando transições indevidas nas saídas do ADC. Essa técnica garante que o sinal digital final seja confiável, mesmo que os bits de entrada mudem rapidamente entre ciclos de clock.

6.4) Teste com Entrada Senoidal

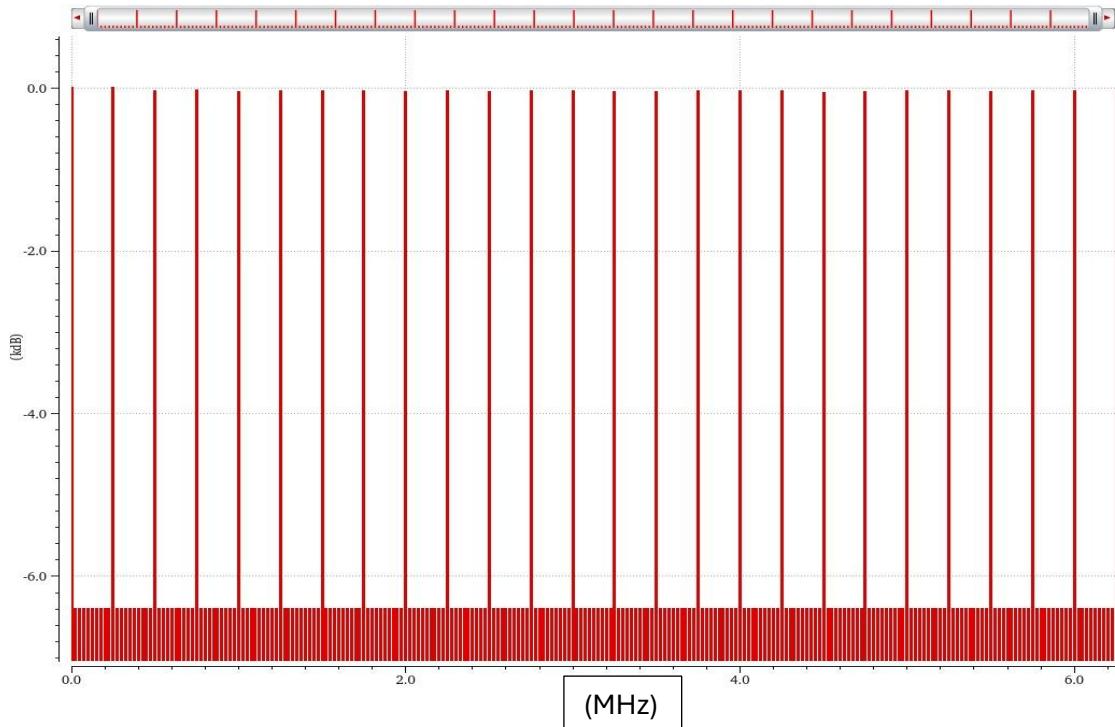
Para o teste com entrada senoidal, esse foi o circuito utilizado:



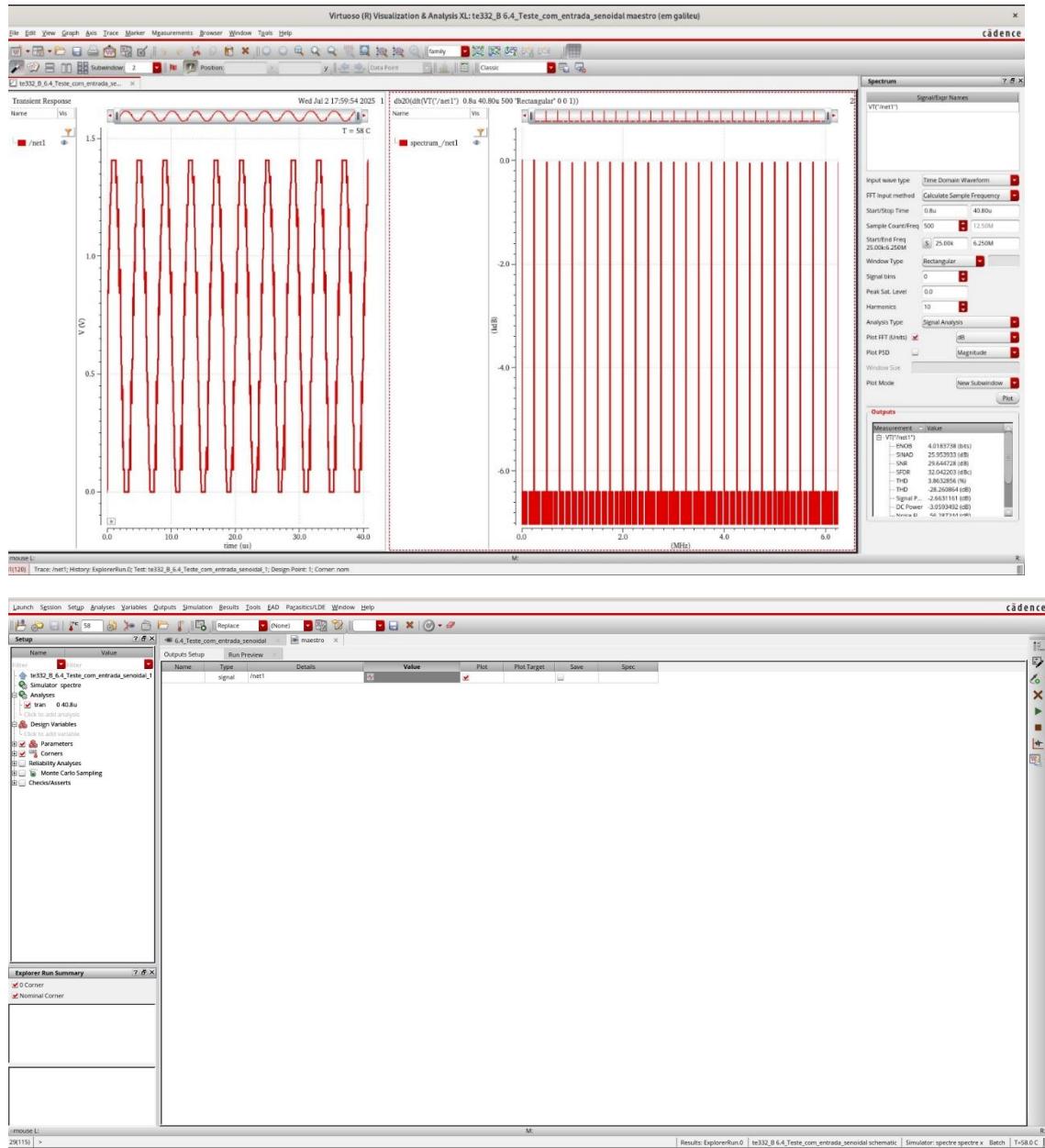
Então foi obtida a curva da saída:



Além do espectro de frequência FFT:



Dessa forma, é possível perceber que saída em degraus segue a forma de onda senoidal quando a FFT é aplicada na saída do DAC. Além disso, outra observação que comprova o funcionamento excelente do ADC é o número de bits efetivos (ENOB): 4,0183738; obtido após a FFT ter sido configurada conforme instruções, com 500 amostras, análise de 10 harmônicos e janela de tempo iniciando em 20% do período de entrada, conforme solicitado. A partir da análise espectral da saída do DAC, o simulador calculou o ENOB de forma automática, e ele se mostrou extremamente próximo dos 4 bits solicitados. Essa grandeza pode ser visualizada na primeira linha da tabela no canto inferior direito da imagem abaixo:



OBS: configurações do Maestro utilizadas para a simulação.

Conclusão:

O projeto permitiu a construção e verificação completa de um conversor analógico-digital (ADC) do tipo flash com 4 bits de resolução, utilizando blocos analógicos e digitais desenvolvidos em etapas anteriores. Através das simulações com entradas contínua, triangular e senoidal, foi possível comprovar o funcionamento correto do ADC, com transições precisas nas saídas dos comparadores, codificação digital adequada e amostragem sincronizada por clock.

A curva quantizada obtida na saída do DAC ideal evidenciou a fidelidade da conversão. Já a análise espectral (FFT) aplicada à saída do DAC mostrou um valor de ENOB muito próximo do ideal, validando a eficiência e linearidade do ADC projetado.

O trabalho consolidou conhecimentos sobre circuitos analógicos, malhas de referência, espelhos de corrente, blocos digitais síncronos e análise espectral, além de reforçar a importância da integração entre os domínios analógico e digital em sistemas de aquisição de dados.