

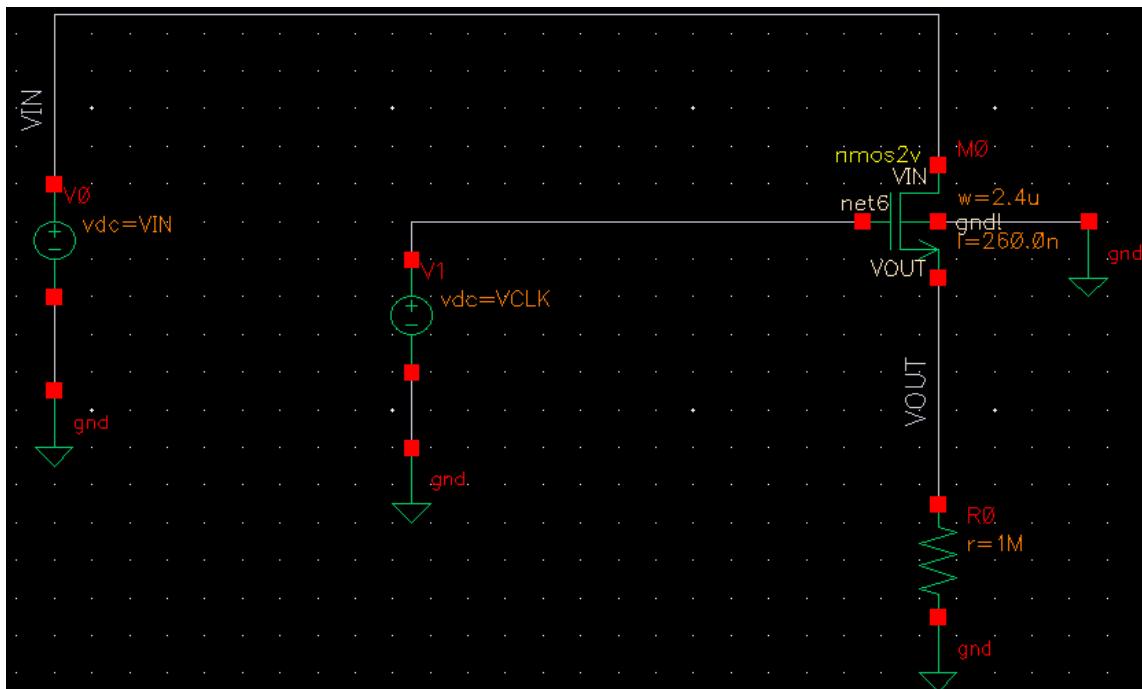
Relatório 1

Circuitos de amostragem e retenção

Laboratório de eletrônica analógica II

1.1) Chave NMOS

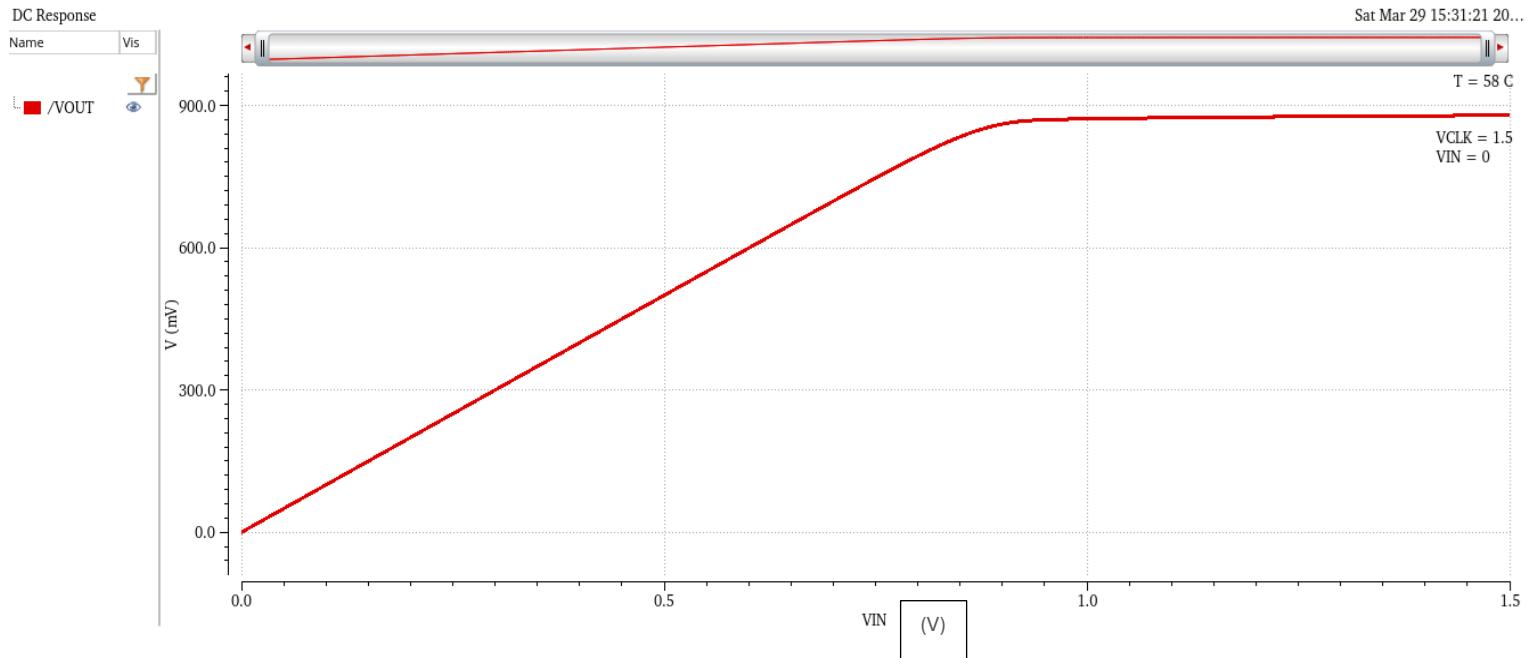
a)



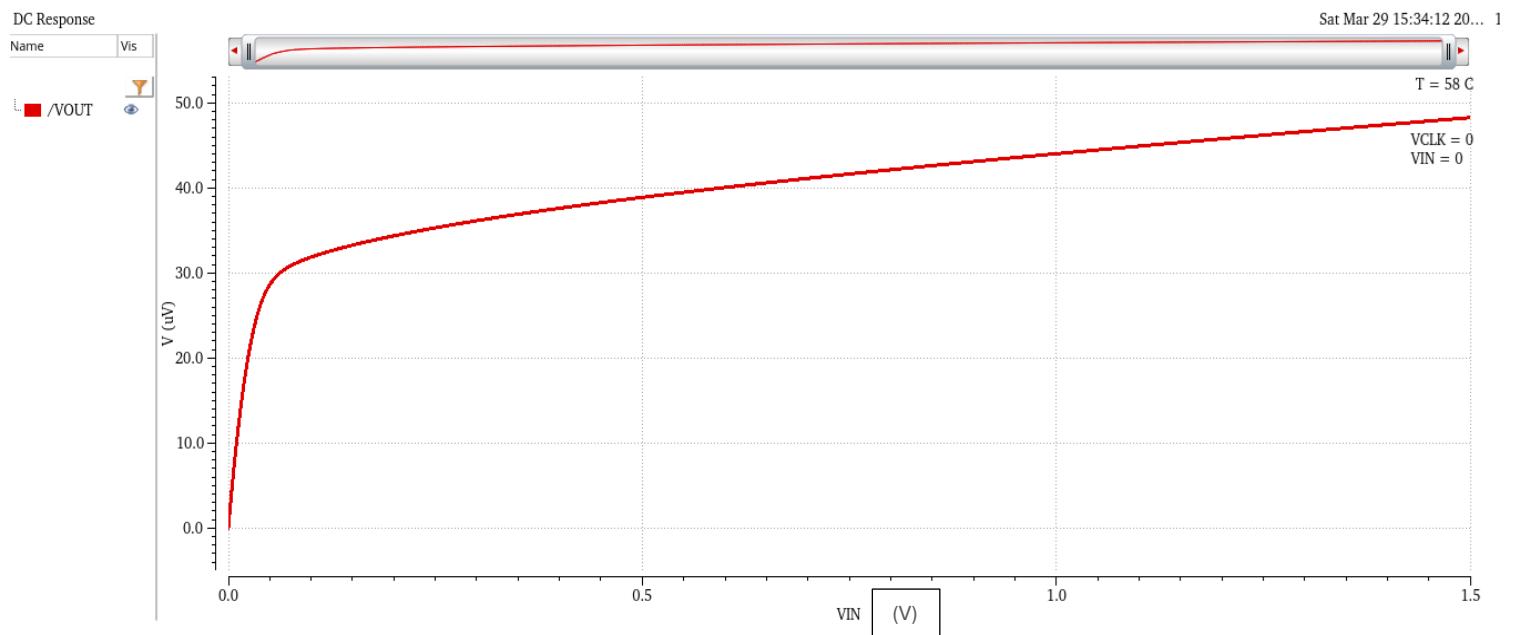
- No esquemático acima, bem como em todos os posteriores, foram aderidas as seguintes dimensões para os transistores: $L = 0,26 \mu m$ e $W = 2,4 \mu m$, o que é perceptível nas imagens utilizadas. Ademais, como postulado no documento de instrução, aderiu-se $VDD = 1.5V$ para todas as simulações. Desse modo, esse circuito apresenta uma fonte de tensão VIN conectada no dreno do NMOS, e outra $VCLK$ ligada a seu gate. Já no terminal source, há um resistor de $1 M\Omega$ que leva ao aterramento. Além disso, também vale ressaltar que o corpo do transistor foi conectado ao terra.

b)

- Mantendo $VCLK = VDD$, a curva da tensão de saída em função da tensão de entrada VIN foi plotada, com o parâmetro independente variando de 0 a VDD , intermediados por incrementos de 1 mV. Além disso, a simulação foi realizada à temperatura de $58^{\circ}C$, conforme foi especificado para nosso grupo. Adicionalmente, no gráfico resultante, a escala vertical (tensão de saída) está em mV, enquanto a escala horizontal (VIN) está em V.



- Então, o processo foi repetido, utilizando o mesmo esquemático e os mesmos parâmetros descritos anteriormente, porém alterando **VCLK** (tensão aplicada ao gate do transistor), que foi mantida em 0 V.



c)

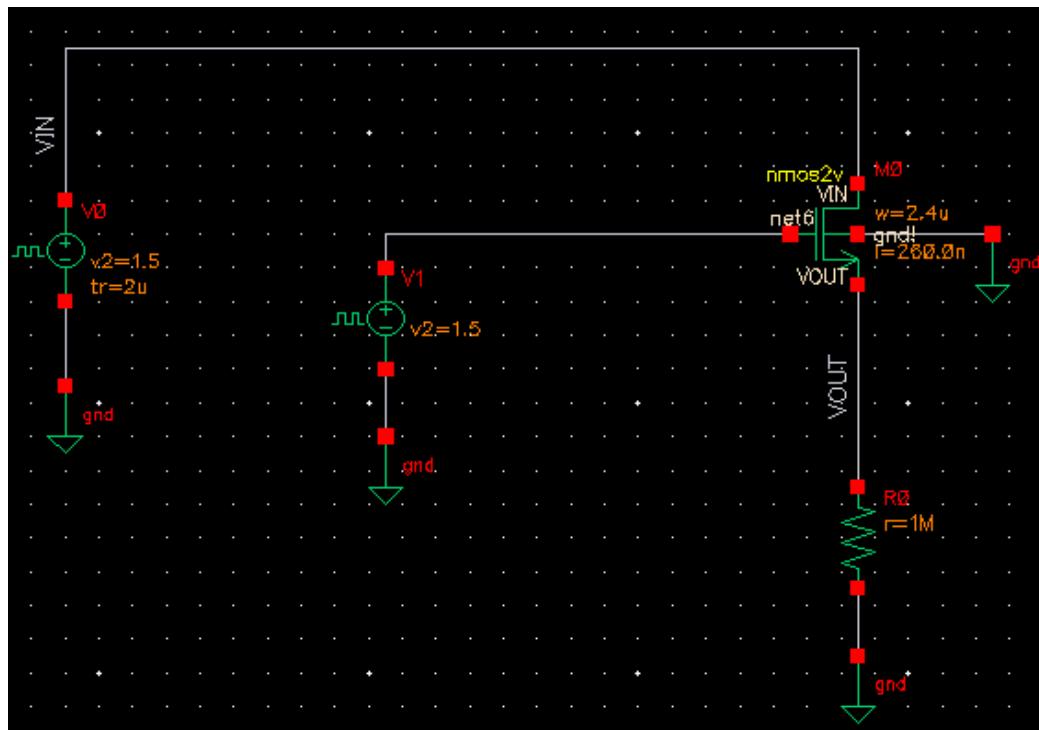
- Após minuciosa análise e inspeção, concluiu-se que os gráficos obtidos na simulação 1.1b revelam dois comportamentos distintos, caracterizados pelo valor atribuído a **VCLK** em cada uma das situações. Em concordância com tal postulado, quando **VCLK** = 0 V, o circuito operou como uma chave aberta, gerando um **VOUT** quase nulo, com uma pequena variação atenuada e até desprezível para fins conclusivos, na faixa de microvolts (μ V), o que é típico de transistores em corte, visto que eles não conduzem elétrons. Opostamente, quando **VCLK** = **VDD**, o circuito comporta-se como uma chave fechada, com **VOUT** variando linearmente

na escala de milivolts (mV) em resposta a **VIN**, demonstrando o estado de condução do transistor. A diferença de três ordens de grandeza entre as respostas (μV versus mV) evidencia claramente a eficácia da comutação, mostrando a transição bem definida entre os estados de alta e baixa impedância, característica fundamental de uma chave eletrônica controlada por **VCLK**.

d)

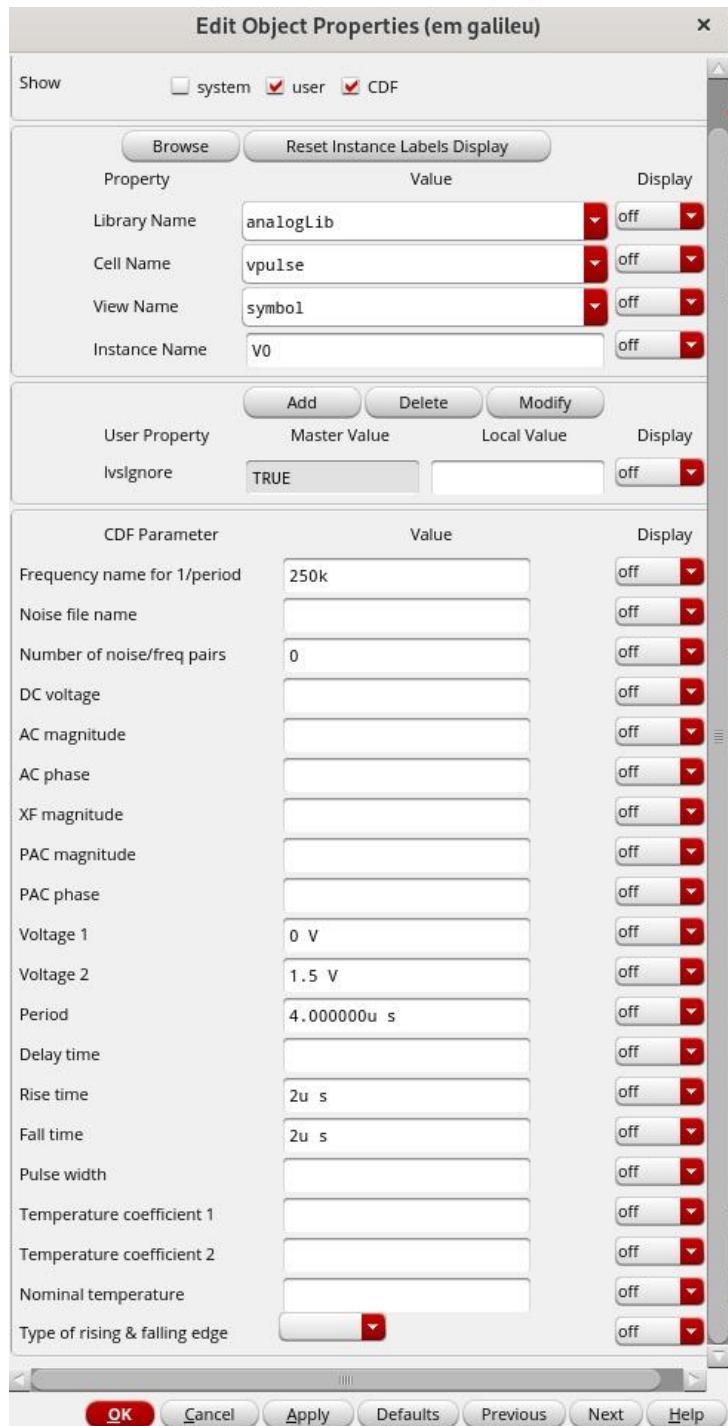
- No gráfico com $VCLK = VDD$, observam-se diferentes regiões de operação. Para valores de VIN abaixo de 0,9V, o transistor opera na região de triodo, apresentando um crescimento linear de $VOUT$ em função de VIN . Este comportamento ocorre porque, com VDS (tensão dreno-fonte) pequeno, o dispositivo atua essencialmente como um resistor controlado por tensão, onde a corrente de dreno varia linearmente de acordo com a tensão aplicada.
 - Já para $VCLK = 0V$, o transistor NMOS não conduz, visto que a condição $VGS > Vt$ não é satisfeita. Neste caso, o dispositivo se comporta como um circuito aberto. O gráfico revela duas regiões distintas: para VIN entre 0V e 0,1V, há um rápido aumento de $VOUT$ até cerca de $2\mu V$, seguido por uma drástica redução na taxa de crescimento. Esta resposta não-linear em escala de microvolts é característica do estado de corte, onde apenas correntes de fuga estão presentes, antagonizando ainda mais os estados ligado e desligado do transistor.

e)



- No esquemático analisado, foi utilizada uma fonte de pulsos triangulares conectada à entrada (**VIN**). Ela foi configurada para gerar um sinal triangular com frequência de 250 kHz. Para

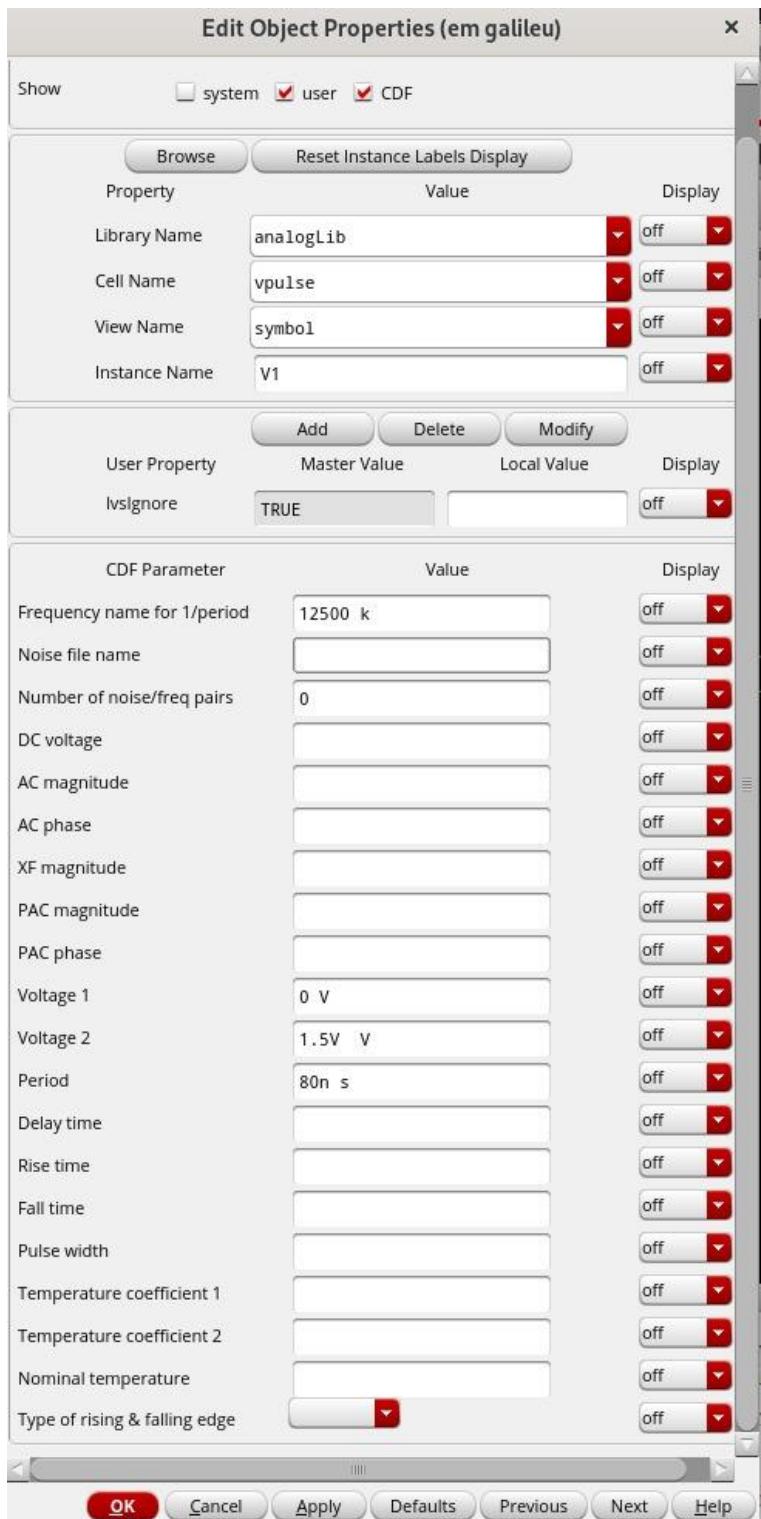
alcançar esta forma de onda específica, ajustamos cuidadosamente as propriedades da fonte, definindo os tempos de subida e descida como exatamente metade do período total do sinal (2 µs cada, considerando o período de 4 µs para 250 kHz).



OBS: à esquerda estão os parâmetros de configuração da fonte triangular.



- Além disso, no terminal gate do transistor, implementamos um sinal de relógio quadrado com frequência adequada para permitir a aquisição de 50 amostras por período completo do sinal de entrada. Como carga do circuito, foi conectado um resistor de 1 MΩ, que completa a configuração do sistema para as análises pretendidas.

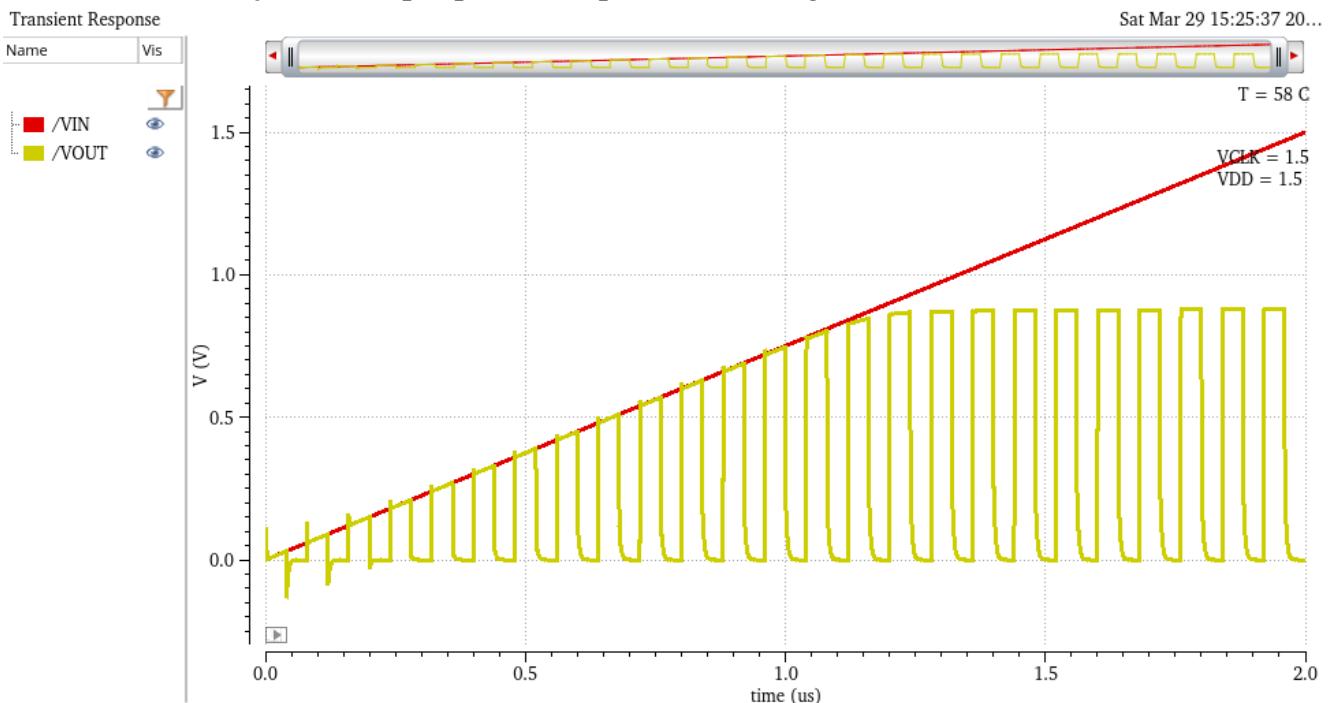


OBS: à esquerda estão os parâmetros de configuração da fonte quadrada.



- Vale ressaltar que esse modo de configurar os sinais das fontes de pulsos, foi replicado para todas as simulações em ac do projeto, visto que as frequências e número de amostras solicitadas eram congruentes.

- Após detalhamento da configuração, segue a representação gráfica da tensão de entrada e de saída em função do tempo, para a temperatura de 58 graus Celsius:



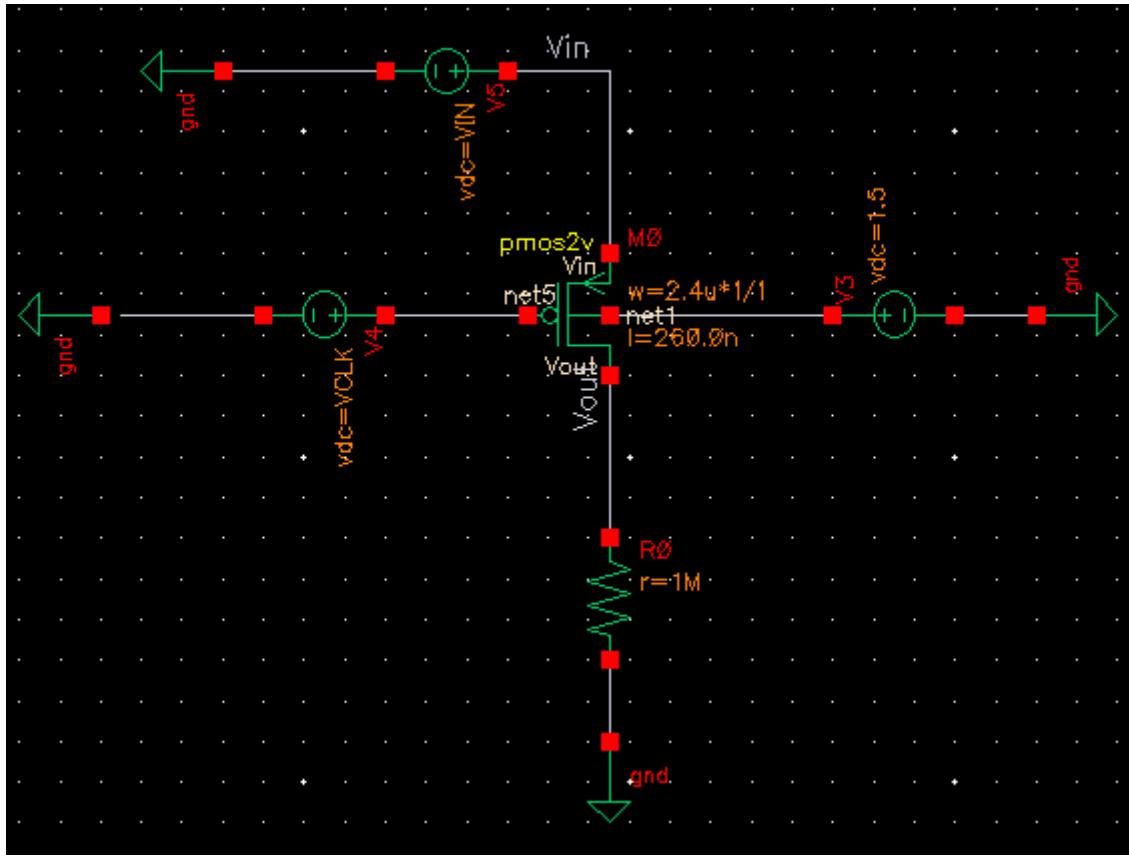
- O eixo das abscissas mostra a escala de tempo em microsssegundos (μs), correspondendo à evolução temporal do circuito, já no eixo das ordenadas **VOUT** está em Volts, nota-se também o crescimento linear da entrada **VIN** (representando parte do sinal triangular), em contraste com as várias amostras de oscilações quadráticas que descrevem **VOUT**.

f)

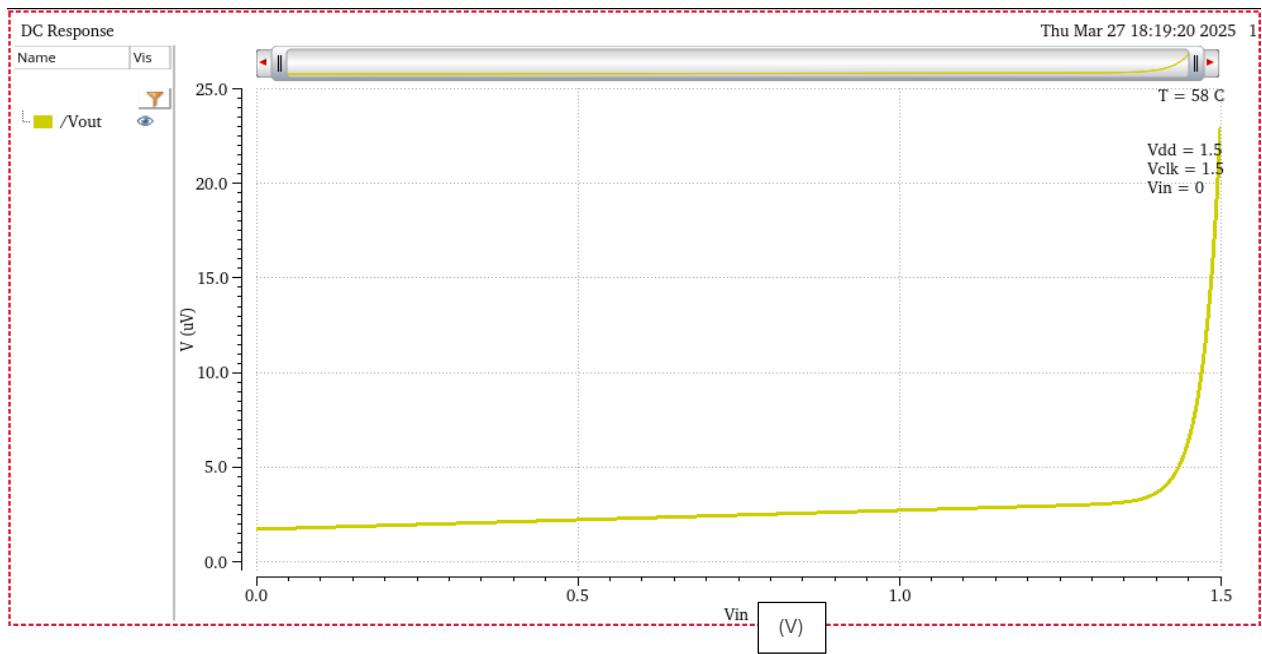
- O gráfico apresenta a resposta do circuito quando excitado por um sinal triangular na entrada e um sinal de clock quadrático. Ao longo do eixo temporal, observa-se que o relógio atua como sincronizador para a amostragem do sinal de entrada, capturando 50 amostras por período do sinal triangular. Como resultado, a tensão de saída **VOUT** exibe feições pulsantes e quadráticas bem definidas que alternam entre 0V e 0,8V. Essa forma de onda demonstra o sucesso da configuração utilizada, que obtém o efeito desejado, onde cada transição do sinal de relógio corresponde a uma nova amostra do sinal de entrada triangular, convertida em pulsos de saída. Adicionalmente, a amplitude constante das oscilações, também é um indicador da consistência do circuito, apresentando níveis bem definidos de tensão para os estados alto e baixo. Por fim, nota-se que o gráfico mostra o comportamento típico de um conversor analógico-digital, convertendo o sinal analógico contínuo em uma representação digital discreta, com a frequência do clock definindo o espaçamento temporal entre as amostras.

1.2) Chave PMOS

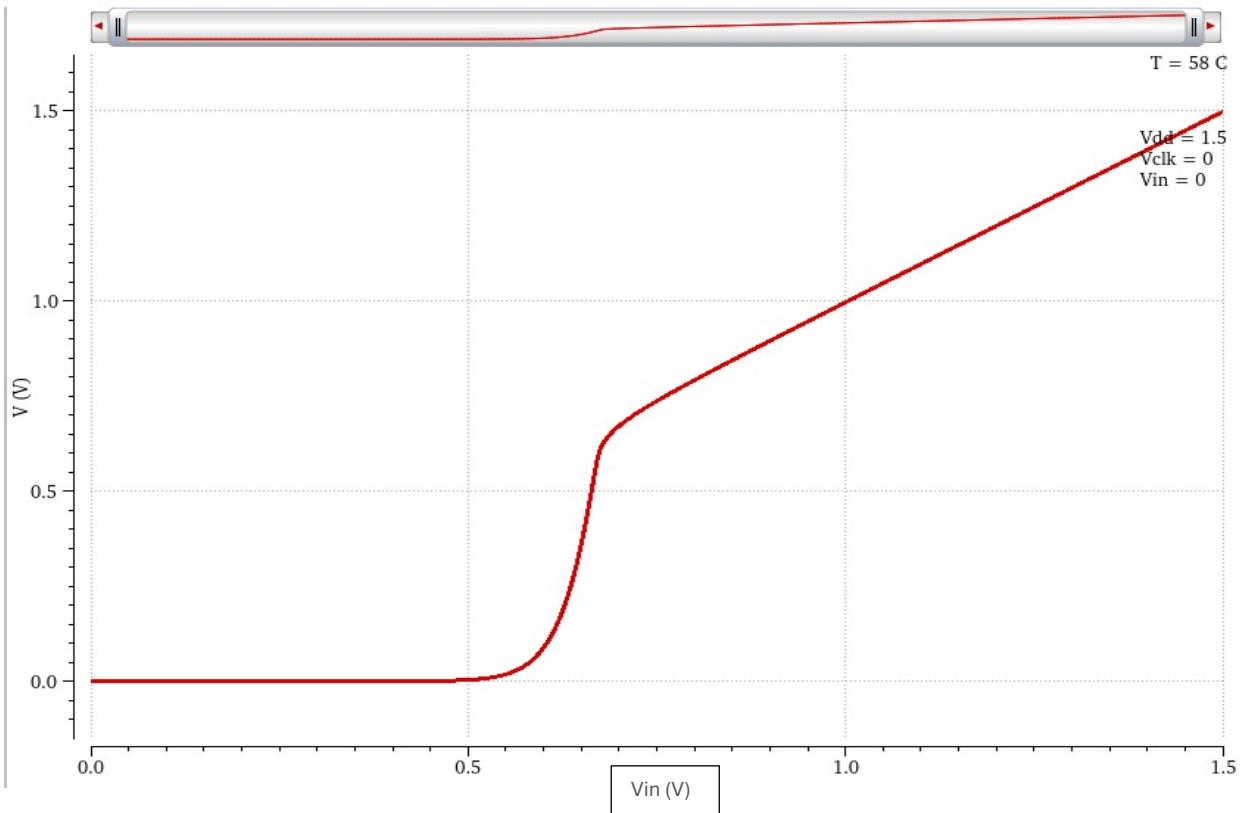
a)



- O esquemático mostra um transistor PMOS com uma fonte de tensão contínua (**V_{IN}**) conectada ao seu terminal de source, enquanto outra fonte independente (**V_{CLK}**) está ligada ao gate para atuar como temporizador, e uma terceira (**V_{DD}=1.5V**), está no corpo do transistor. Concomitantemente, no dreno do dispositivo, um resistor de carga $1 M\Omega$ completa a configuração do circuito. Por fim, o transistor possui parâmetros dimensionais específicos, com largura de canal (W) de $2,4 \mu m$ e comprimento de canal (L) de $0,26 \mu m$. Esta configuração permite estudar o comportamento do transistor PMOS sob diferentes condições de polarização, utilizando o resistor de $1 M\Omega$ como elemento de carga para análise da resposta do circuito.



- O gráfico apresenta a curva da tensão de saída (**VOUT**) em função da tensão de entrada (**VIN**) para o caso em que **VCLK**=**VDD** (**VIN** varia linearmente de 0 a **VDD** em passos de 1mV. Na faixa de 0V a 1.4V, observa-se um comportamento aproximadamente linear entre **VIN** e **VOUT**, característico da operação do transistor em sua região linear. A partir de 1.4V, nota-se uma transição clara para um regime de crescimento exponencial de **VOUT**, indicando que o transistor entrou em saturação. O gráfico está plotado com a tensão de entrada (**VIN**) no eixo horizontal em volts (V) e a tensão de saída (**VOUT**) no eixo vertical em microvolts (μV). A simulação foi realizada à temperatura de 58°C, essa condição influencia diretamente os parâmetros do transistor e, consequentemente, a resposta do circuito. Por fim, a mudança de comportamento na curva em 1.4V marca o ponto de transição entre as diferentes regiões de operação do dispositivo, evidenciando a relação não-linear entre tensão de entrada e saída em regimes distintos de funcionamento.



- O gráfico apresenta os resultados da simulação mantendo os mesmos parâmetros anteriores, com exceção de $V_{CLK} = 0V$. Então observa-se três regiões distintas de comportamento:

Na primeira região ($0V$ a $0.5V$), a tensão de saída permanece praticamente nula. Entre $0.5V$ e $0.7V$, ocorre um crescimento exponencial de V_{OUT} em função de V_{IN} . Finalmente, acima de $0.7V$, a resposta torna-se linear, com V_{OUT} aumentando proporcionalmente a V_{IN} .

Ambos os eixos estão escalonados em volts (V), mostrando a relação direta entre as tensões de entrada e saída. Esta resposta trifásica revela os diferentes modos de operação do transistor sob estas condições específicas de polarização, destacando particularmente o limiar de ativação do dispositivo em torno de $0.5V$ e sua transição para operação linear a partir de $0.7V$.

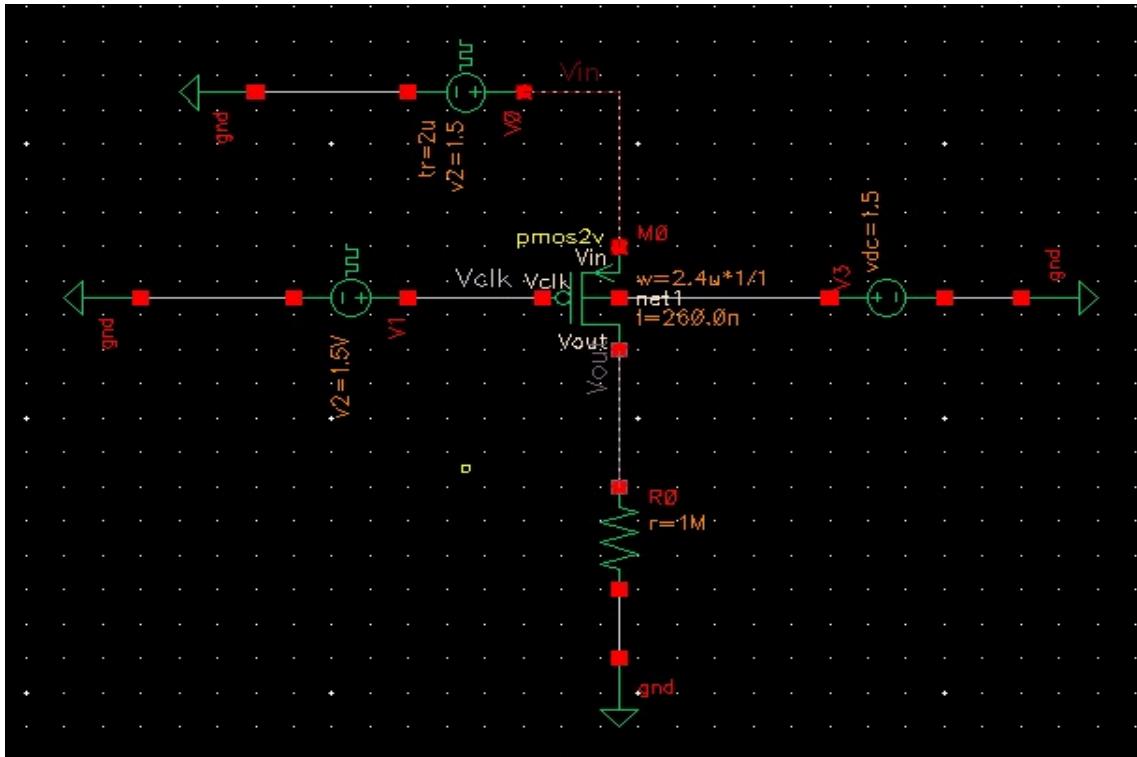
b)

- Primeiramente, com $V_{CLK} = VDD$, a tensão de saída V_{OUT} na escala de μV confirma o transistor em corte, atuando como circuito aberto, na maior parte da faixa de operação, exceto pela ligeira exceção quando $V_{IN} > 1.4V$. Nesse caso, a saída apresenta um comportamento de crescimento exacerbado que lembra uma assíntota. A transição entre os comportamentos linear e altamente inclinado, mesmo em corte, revela diferentes fenômenos de corrente residual no dispositivo.
- Já o gráfico com $V_{CLK} = 0V$ revela três regiões distintas de operação do transistor:

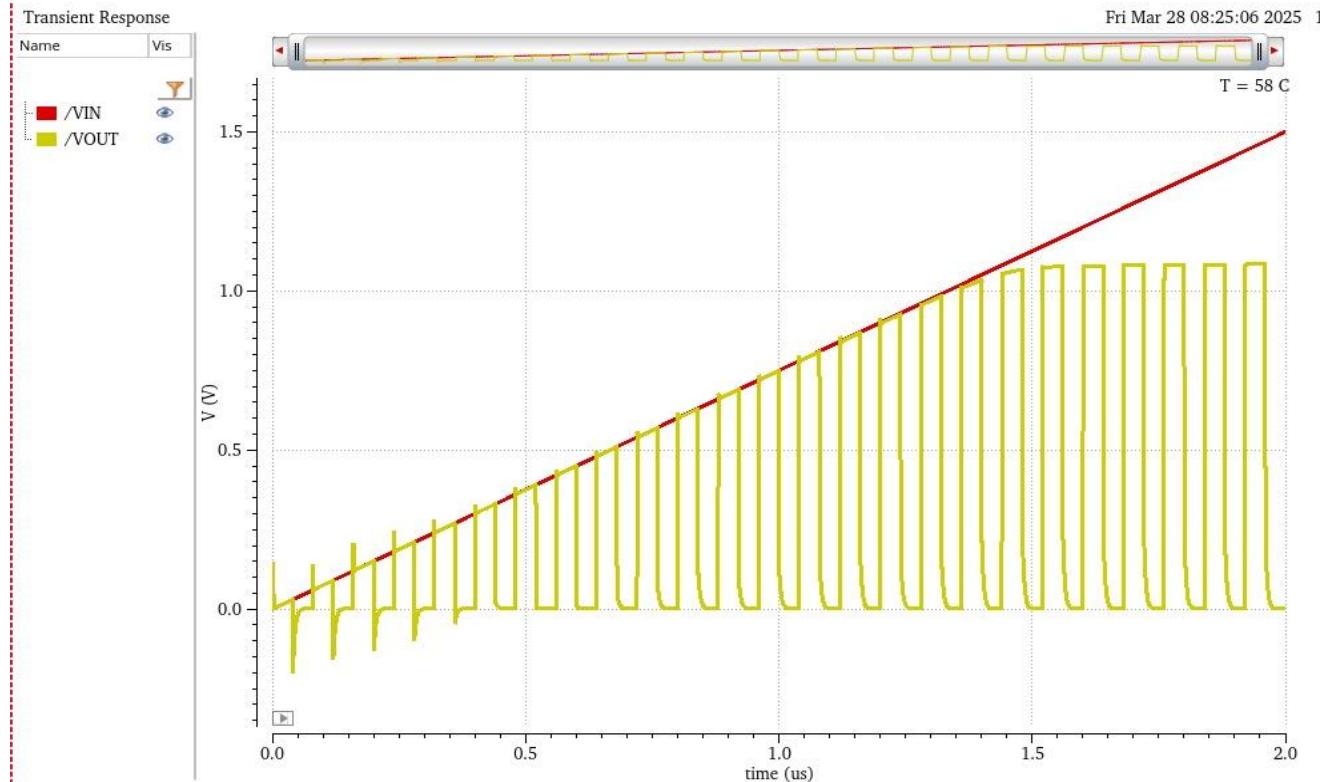
- Para $0V < VIN < 0.5V$: O MOSFET está em corte ($VOUT \approx 0V$)
- Para $0.5V < VIN < 0.7V$: Operação na região de triodo (comportamento não-linear)
- Para $VIN > 0.7V$: Resposta linear de $VOUT$ com VIN

Essa análise permite estimar a tensão de limiar (Vt) em aproximadamente 0.5V, marcando a transição entre as regiões de corte e condução do transistor. A mudança para comportamento linear acima de 0.7V indica a passagem para outra região de operação do dispositivo.

c)



- O circuito em questão utiliza uma fonte de tensão aplicada em VIN que gera um sinal triangular com frequência de 250 kHz, variando sua amplitude entre 0 e VDD durante a simulação. No terminal gate, uma fonte de sinal quadrado atua como clock, configurada para adquirir 50 amostras em cada período completo do sinal de entrada, alternando igualmente entre 0 e VDD (os parâmetros das fontes foram configurados no Cadence tais quais estabelecidos previamente no relatório). Assim, a combinação de sinais permite a amostragem sincronizada da forma de onda triangular, onde o clock define os instantes precisos de aquisição, enquanto o sinal de entrada varre linearmente toda a faixa de operação do circuito. Portanto, a taxa de amostragem de 50 pontos por período garante uma resolução temporal adequada para capturar adequadamente as características do sistema.



- O gráfico mostra a tensão de entrada (V_{IN} , em vermelho) e saída (V_{OUT} , em amarelo) durante meio período do sinal. Enquanto V_{IN} cresce linearmente, V_{OUT} apresenta um comportamento quadrado, sincronizado com o clock.

Na fase inicial (antes de $1.3\mu s$), observamos que V_{OUT} aparece ceifado devido ao valor insuficiente de V_{IN} . Nesta região, os pulsos não alcançam a amplitude completa. Após $1.3\mu s$, quando V_{IN} atinge níveis adequados, V_{OUT} passa a oscilar plenamente entre 0V e 1V, mantendo a forma quadrada definida pelo sinal de clock.

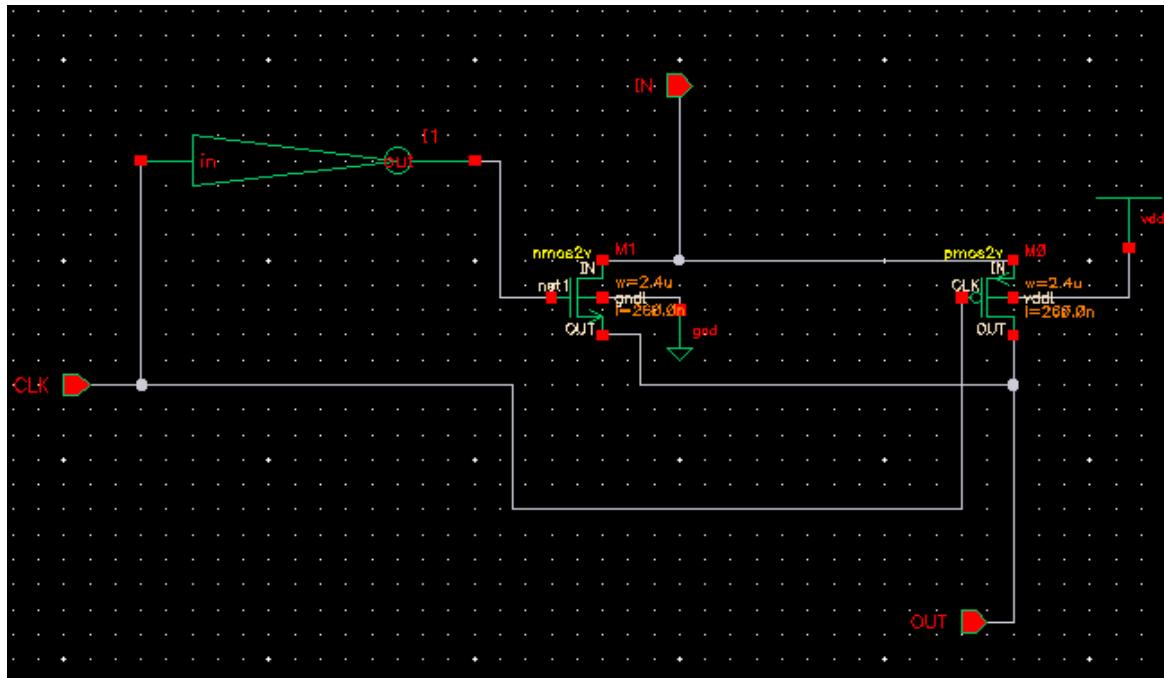
A diferença entre os dois regimes fica evidente:

- Período inicial ($t < 1.3\mu s$): pulsos limitados pela baixa tensão de entrada
- Período posterior ($t \geq 1.3\mu s$): pulsos completos de 0V a 1V

Esta transição mostra claramente como a amplitude do sinal de saída depende diretamente do nível instantâneo da tensão de entrada, mesmo mantendo a forma e frequência determinadas pelo clock.

1.3) Chave CMOS

a)

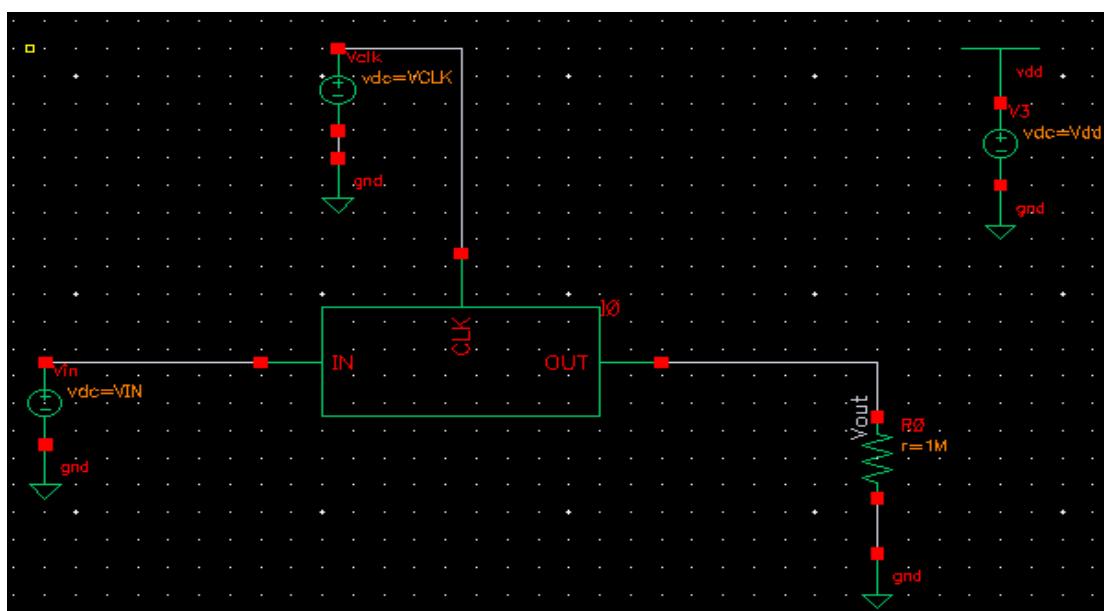


- O circuito combina transistores NMOS e PMOS em paralelo:

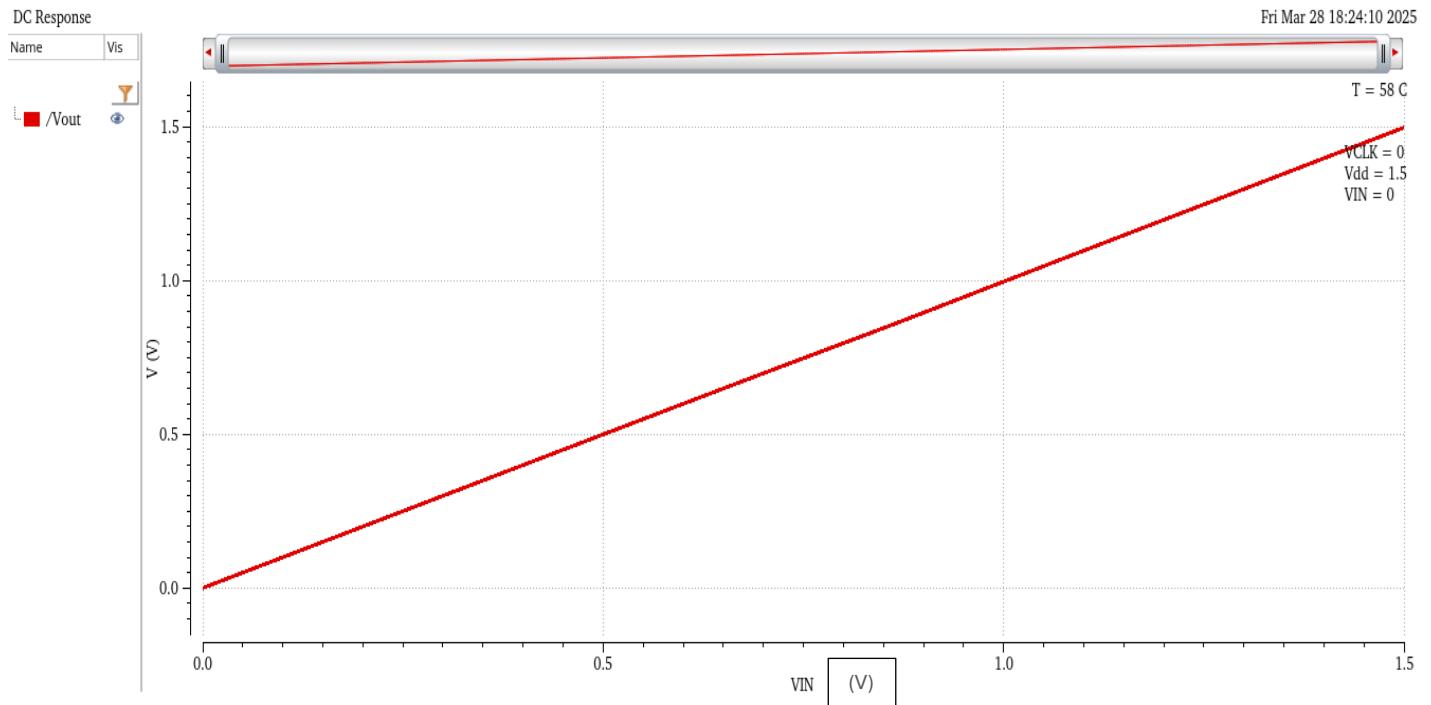
- O NMOS tem seu gate conectado ao clock através de um inverter
- O PMOS recebe o clock diretamente em seu gate
- Dreno do NMOS e source do PMOS compartilham o nó **VIN**
- Source do NMOS e dreno do PMOS compartilham a saída **VOUT**

Essa configuração cria uma chave CMOS sincronizada pelo clock, onde os transistores operam juntos para garantir que a saída funcione como chave aberta em **VCLK=VDD**, e chave fechada em **VCLK=0V**.

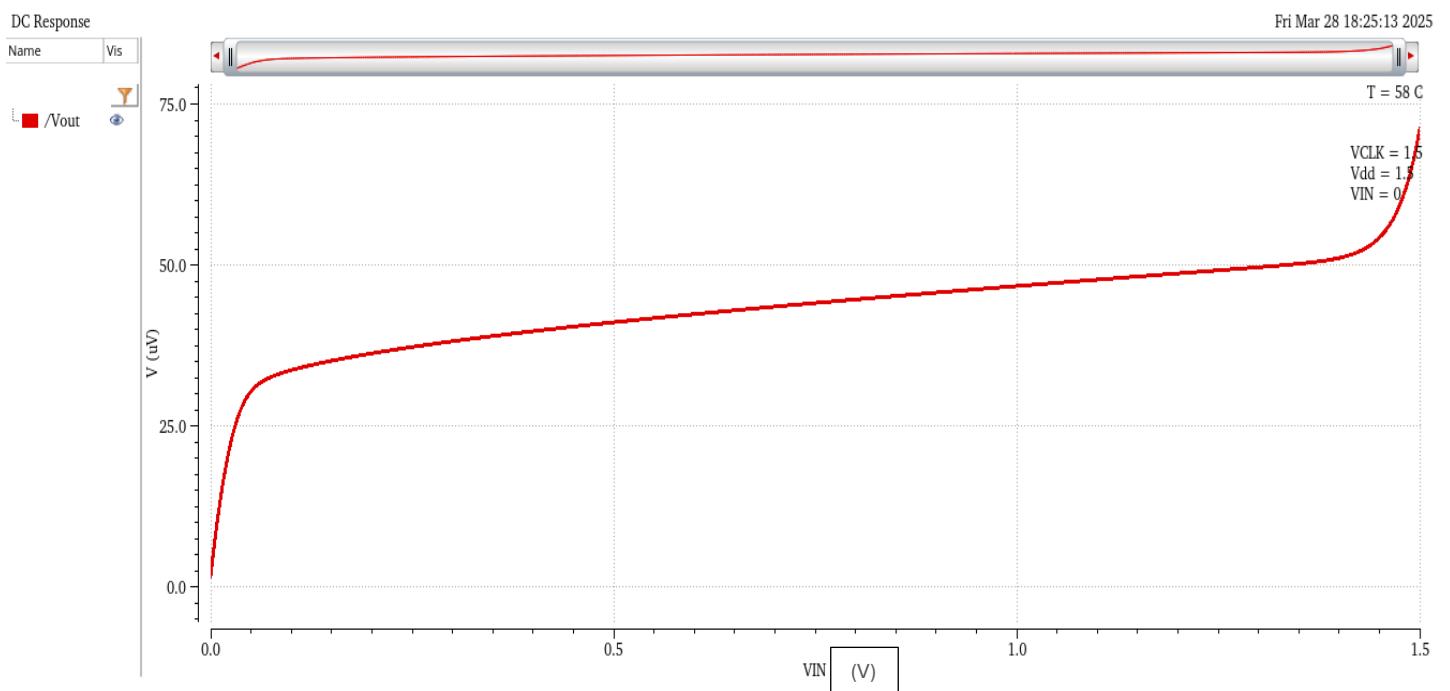
b)



- Esse esquemático utiliza o símbolo criado no item anterior, além de fontes de tensão conectadas ao clock e à entrada. Então, a saída possui carga de 1M ohm atrelada à ela.



- Acima foi obtida a tensão de saída em relação a tensão de entrada, com **VIN** variando de 0 à **VDD** e **VCLK** = 0, nota-se o gráfico é uma reta e a tensão de saída é muito próxima da tensão de entrada, comportando- se como chave fechada.



- Por outro lado, com **VCLK** = **VDD**, o circuito se mostra como chave aberta desviando apenas em micro-volts da tensão nula.

c)

- O gráfico com $V_{CLK} = 0$ mostra V_{OUT} seguindo V_{IN} linearmente, indicando que a chave CMOS está totalmente conduzindo e permitindo a passagem do sinal com eficiência. Já no caso de $V_{CLK} = V_{DD}$, a baixa tensão de V_{OUT} revela o comportamento de chave aberta, bloqueando efetivamente o sinal.

A combinação NMOS-PMOS na configuração CMOS resolve as limitações individuais de cada transistor:

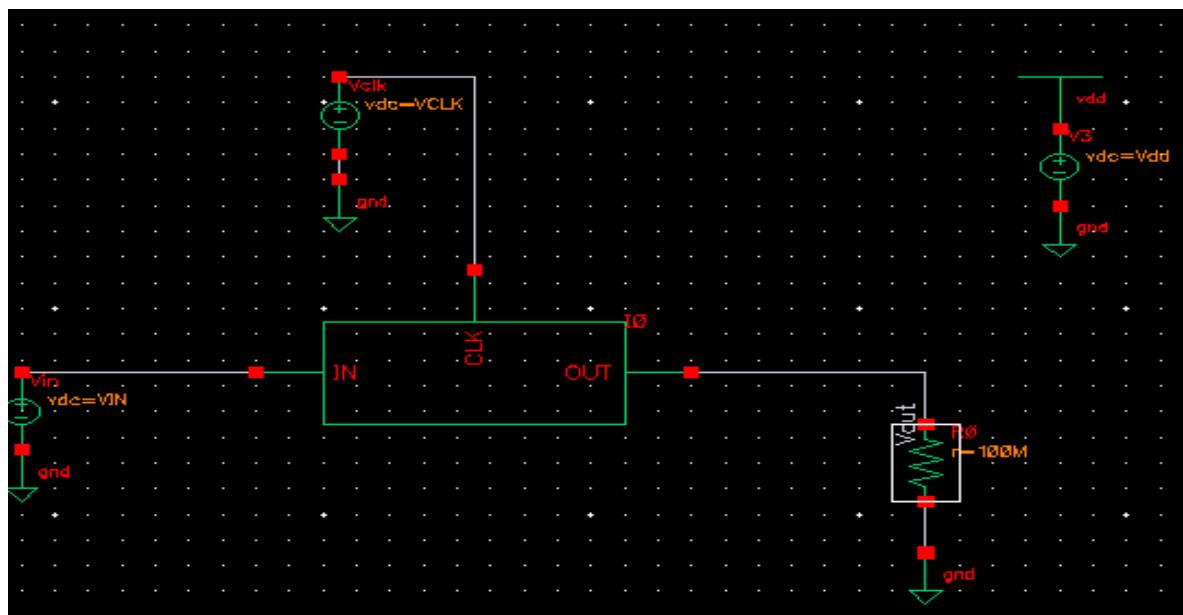
1. O NMOS conduz eficientemente sinais próximos a 0V
2. O PMOS conduz bem sinais próximos a V_{DD}
3. Juntos, cobrem toda a faixa de tensão sem perdas significativas

Esta arquitetura complementar elimina as quedas de tensão características dos transistores individuais, permitindo:

- Condução eficaz em toda a faixa 0V- V_{DD}
- Chaveamento completo entre estados condução/bloqueio
- Transferência de sinal com mínima degradação

A análise dos gráficos comprova a superioridade da chave CMOS frente às configurações com transistores isolados, demonstrando sua capacidade de manter a integridade do sinal em toda a amplitude de operação.

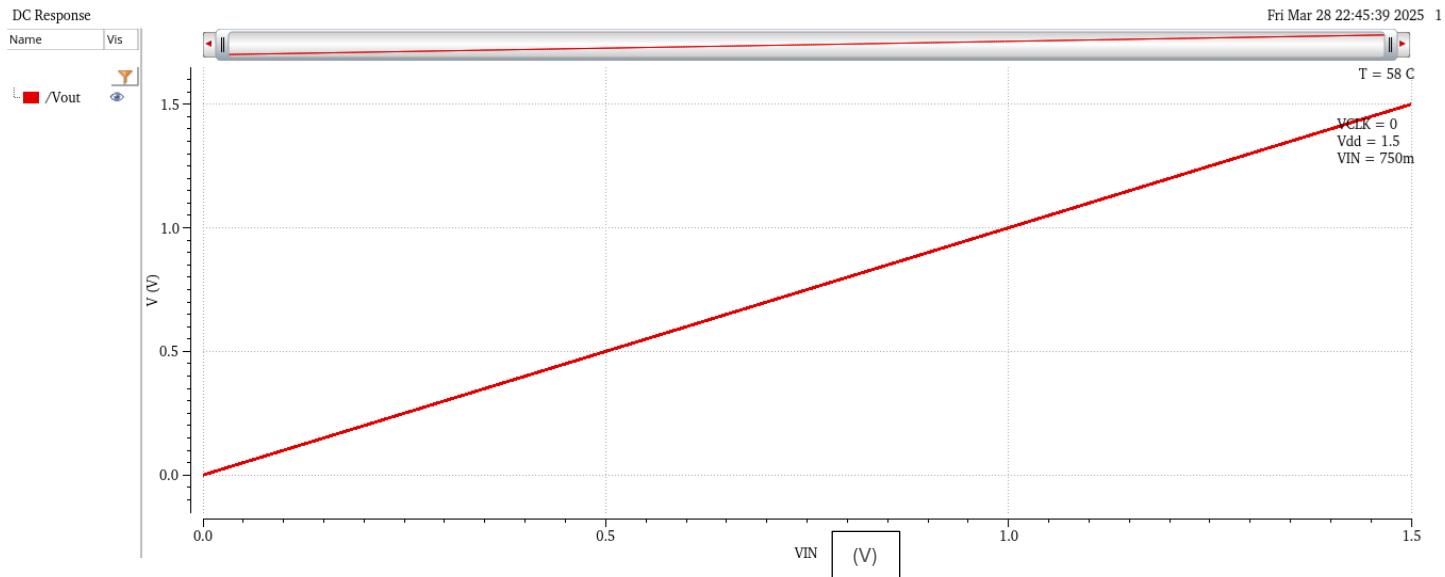
d)



- Após realizar detalhadas simulações com diferentes resistores de carga, foi possível concluir que aquele que mais evidencia o comportamento de uma chave fechada para $V_{IN} = V_{DD}/2$, é qu $R_{load} = 100 \text{ M}\Omega$.

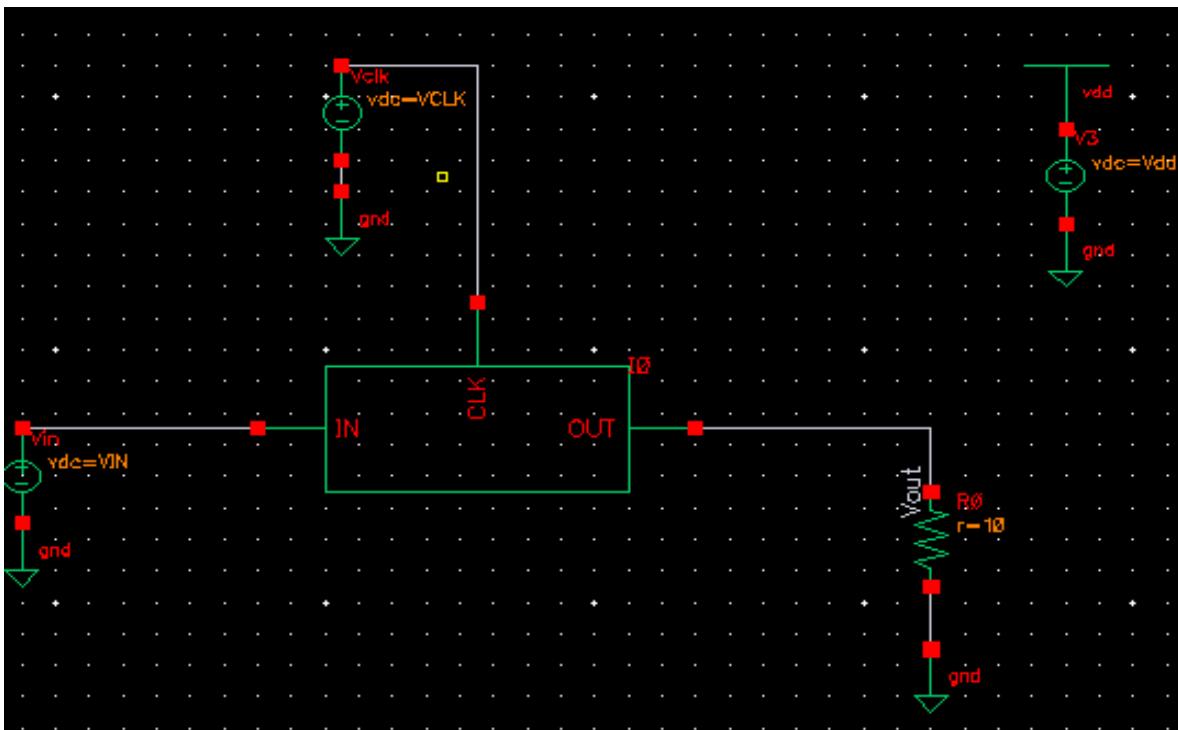
- Principais observações:

- A resistência de $100 \text{ M}\Omega$ forneceu melhor isolamento quando a chave deveria estar aberta.
- Resultou em maior impedância de saída e menor corrente de fuga.
- Comprova-se a importância de escolher valores altos de resistência para garantir um bom funcionamento da chave CMOS.

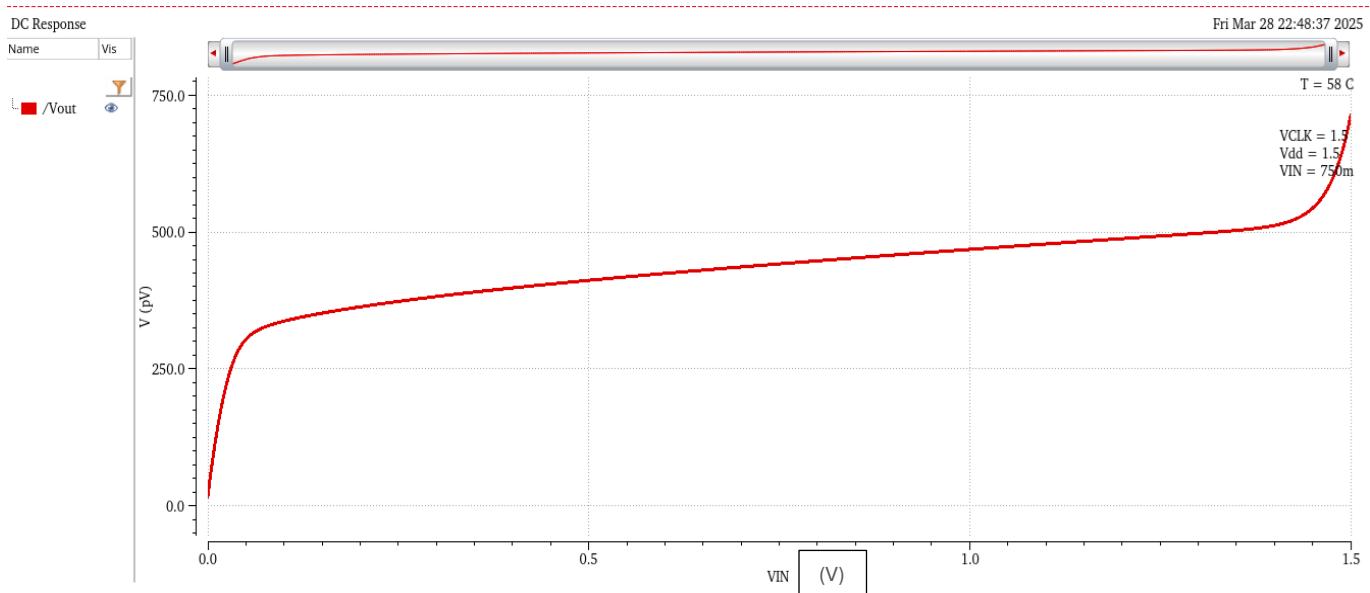


- Também foi plotado o gráfico de V_{OUT} por V_{IN} usando o resistor de 100 M ohm , e é possível notar o comportamento da tensão de saída coerente com o que foi especificado no enunciado da questão.

e)



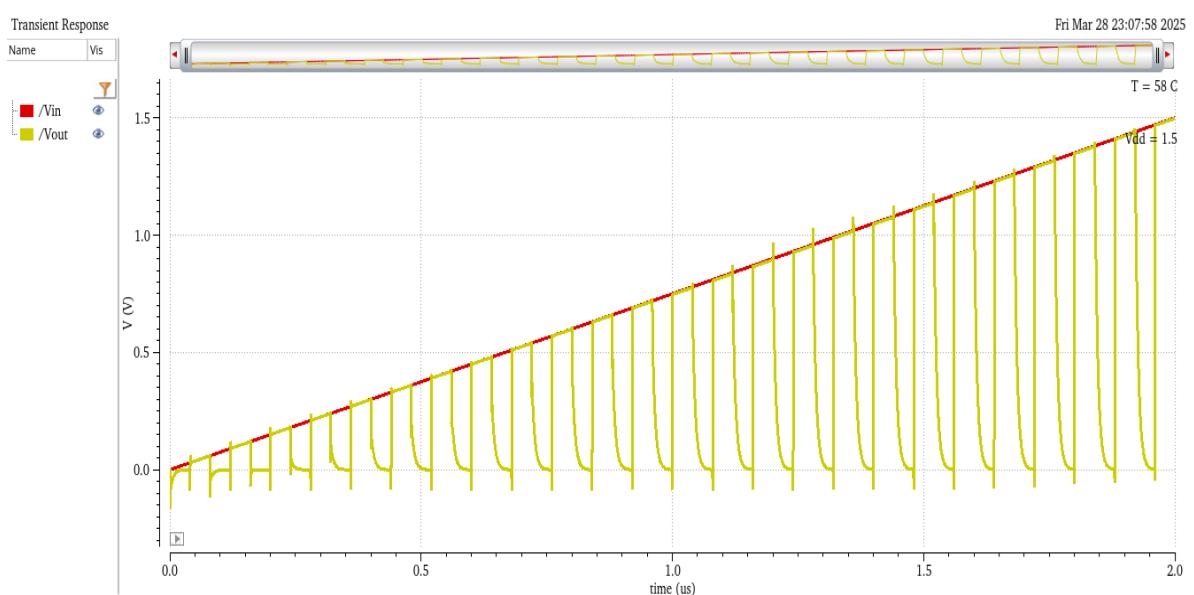
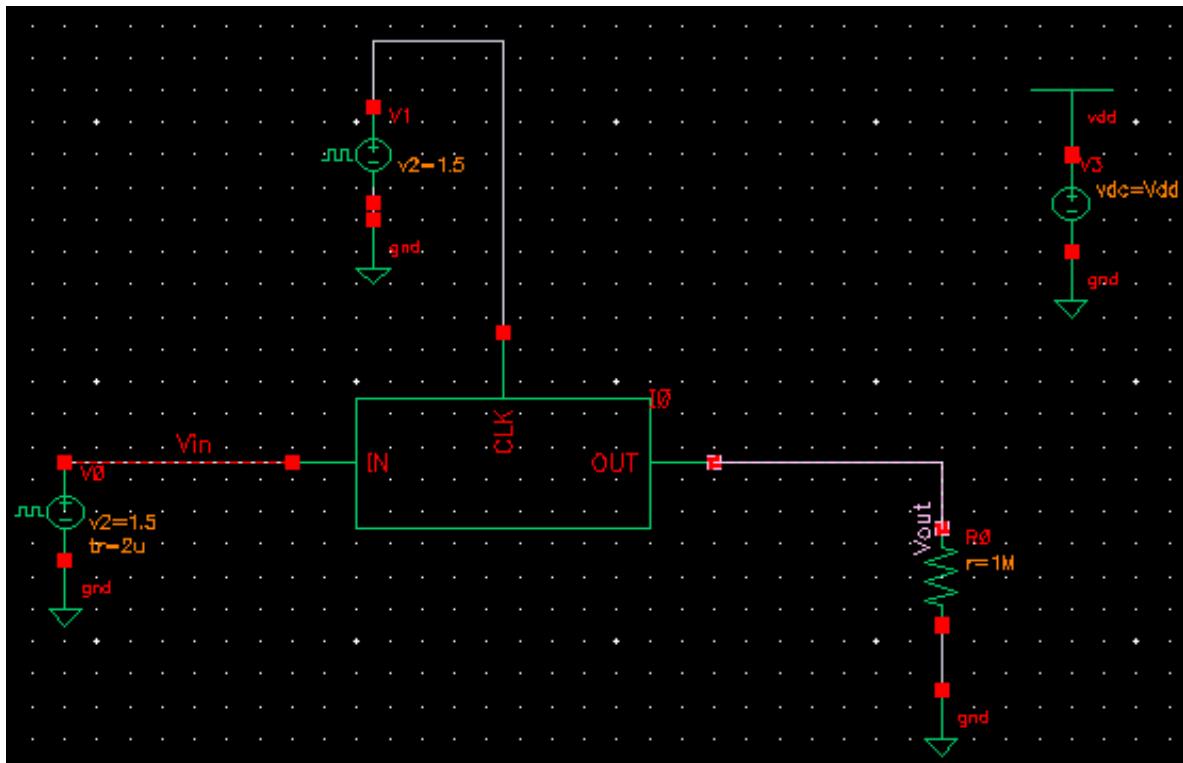
- Para o funcionamento como chave aberta em $V_{IN} = VDD/2$, após simulações variadas, o resistor de carga que mais se adequou a esse requisito foi o de 10 ohms. Dessa forma, um valor de resistência de carga menor permite o circuito funcionar como chave aberta.



- Plotando o gráfico, nota-se o comportamento de chave aberta do transistor, seu V_{OUT} apresenta variações em escalas desprezíveis, caracterizando-se da mesma forma que a curva explicitada no item a).

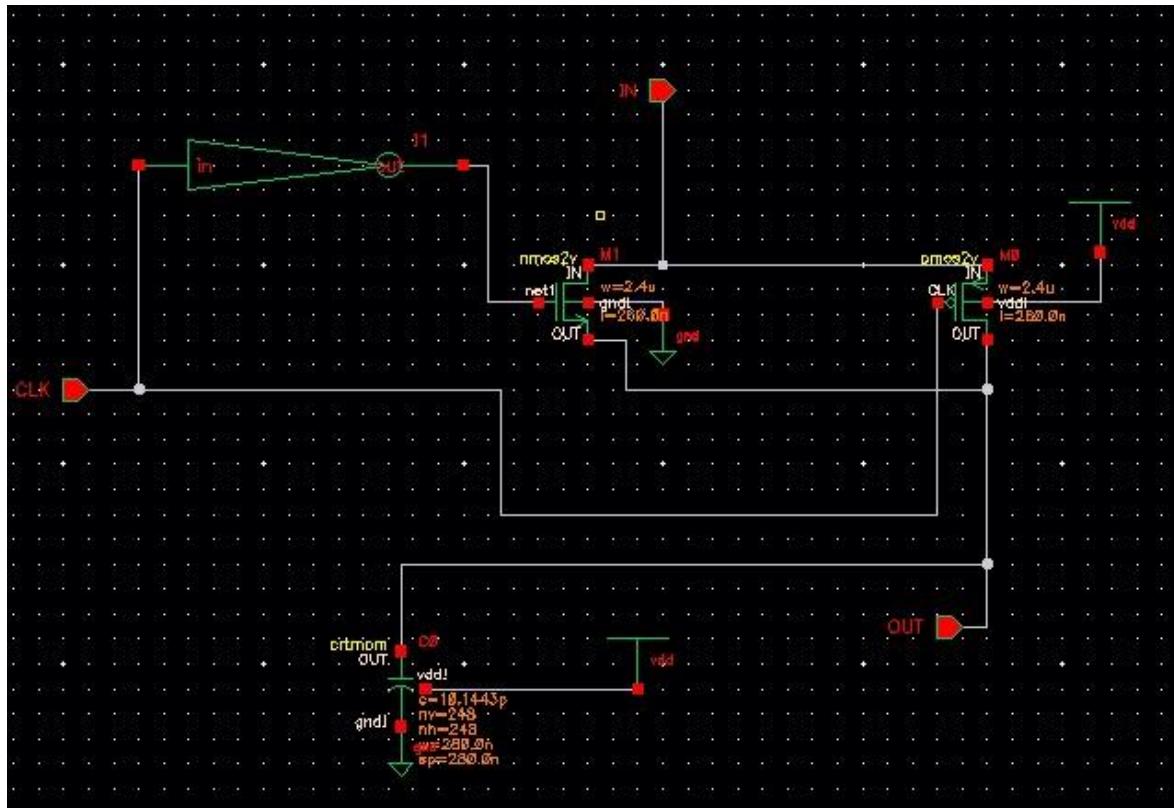
f)

- Abaixo está o esquemático usado para a simulação, foi utilizado um sinal triangular na entrada com frequência de 250 KHz, entre 0 e VDD. Já na entrada do clock está um sinal quadrado entre 0 e VDD com relógio de forma que seja coletado 50 amostras por período. Por fim, os outros parâmetros de ambas as fontes foram configurados da maneira previamente explicada no relatório.

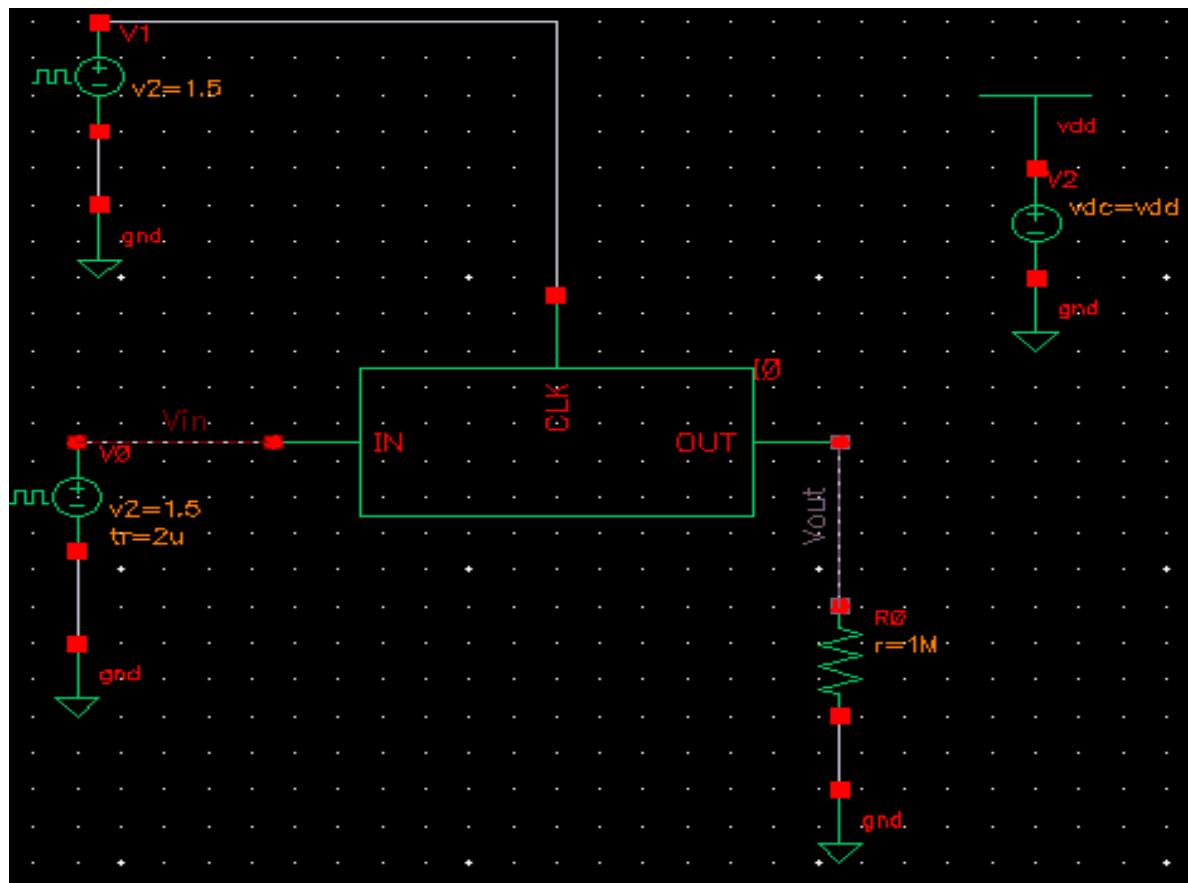


- Plotando a simulação feita a partir deste esquemático, vemos que durante a passagem do tempo, o aumento de **VIN** é linear, já **VOUT** possui a forma de pulsos quadrados limitados superiormente pelo **VIN**, visto seguem a tensão de entrada para que o conversor analógico-digital flash de 4-bits funcione corretamente.

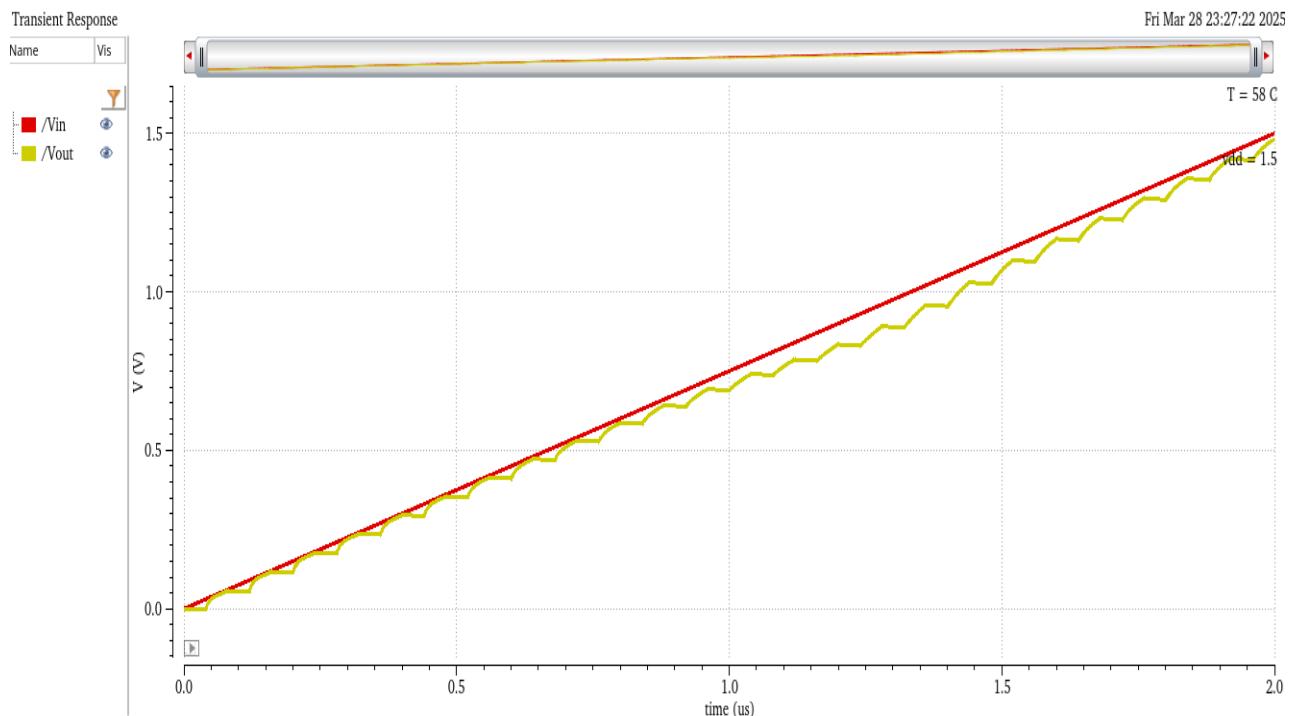
1.4) Amostragem e retenção



- O esquemático acima conta com uma chave CMOS similar a anterior, porém com a adição de um capacitor crtmon de 10 pf entre a saída e o terra. o corpo do capacitor foi conectado ao **VDD**, e foi criado um símbolo para representar este circuito. Na entrada deste circuito foi aplicado um sinal retangular de 250K Hz entre0 e **VDD**, permitindo a aquisição de 50 amostras por período de entrada, na saída foi colocada uma resistencia de carga de 1 M ohm.



- Para o circuito de simulação, foi incorporado o símbolo criado, além de um sinal triangular de 250KHz entre 0 e VDD na entrada, e um Clock que permita a aquisição de 50 amostras por período de entrada (ambas configuradas com os parâmetros demonstrados previamente), na saída foi colocada uma resistência de carga de 1 M ohm.



- O gráfico desse circuito mostra dois comportamentos que seguem a mesma lógica, porém de suas maneiras diferentes. **VIN** se comporta de forma linear crescendo constantemente durante o tempo retratado no gráfico, **VOUT**, em amarelo, varia perto da tensão de entrada se comportando de forma serrilhada, isto ocorre devido a função de **VCLK** que é uma função retangular. Assim, os diversos degraus de **VOUT** seguem a tensão de entrada apenas com um pequeno atraso, devido ao circuito reter um valor até a próxima amostragem determinada pelo clock. Para concluir, esse esquemático representa o melhor circuito de renteção em comparação aos outros, pois utiliza a chave CMOS e o capacitor de modo que a saída acompanhe a entrada, da maneira mais próxima possível permitida pela forma discreta.