

# Relatório – Projeto ADC (Parte III)

Disciplina: TE332 – Laboratório de Eletrônica Analógica II

Professor: Bernardo Leite

Alunos: Henrique Meurer Zardo e Lucas Tavares Rockembach

Período: 2025-1

## 3.1) Referências de tensão

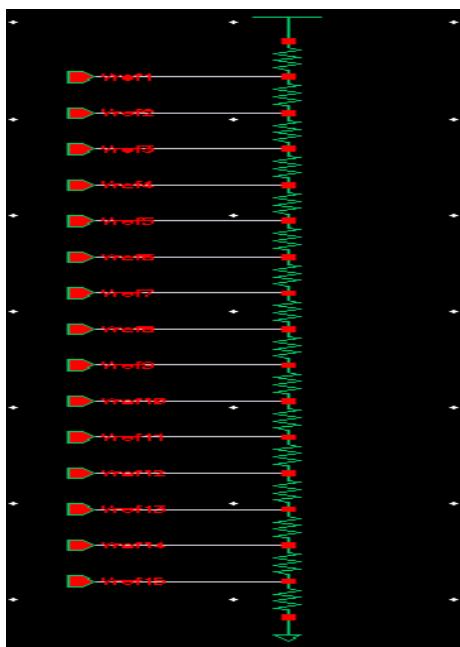
### a) Projeto de rede resistiva

Foi concebido um circuito com resistores rnhpoly em série, capaz de produzir 15 níveis de tensão contínua uniformemente espaçados entre 0 e **VDD**. Essas tensões, nomeadas de VRef1 a VRef15, compreendem o intervalo entre os limites inferior e superior. O projeto foi ajustado para que a potência dissipada permaneça próxima de 300  $\mu\text{W}$ . Dessa forma, ao considerar a equação matemática:

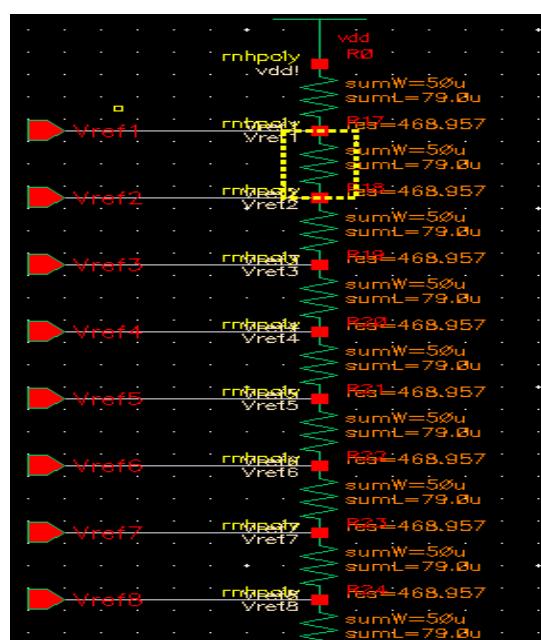
$$P = \frac{V_{DD}^2}{16R}$$

Calculou-se o valor da resistência individual:  $R = 468,75 \Omega$ ; que foi arredondado para  $468,957 \Omega$ ; de forma que a largura dos resistores possa ser dimensionada em  $50 \mu\text{m}$  e o comprimento em  $79 \mu\text{m}$  (valores permitidos pela tecnologia). Desse modo, assim foram desenvolvidos o esquemático e o símbolo:

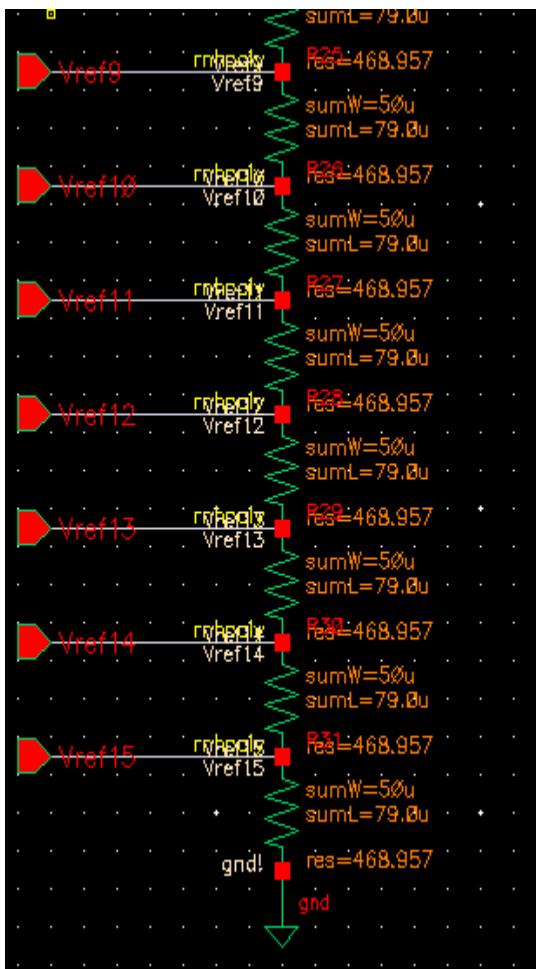
•Imagen 1: esquemático zoomed-out:



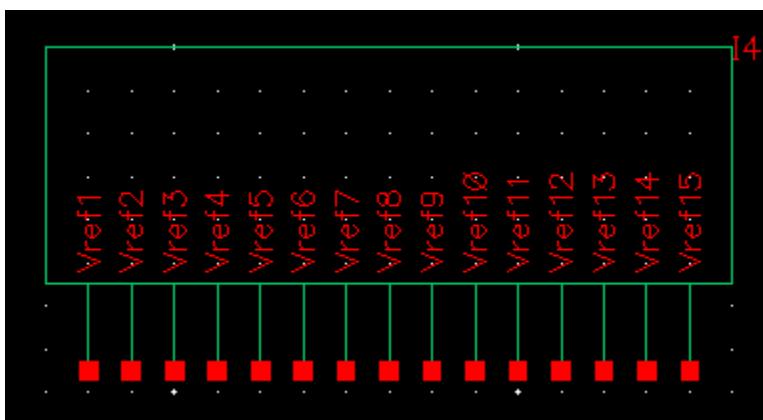
•Imagen 2: esquemático zoomed-in pt.1:



•Imagen 3: esquemático zoomed-in pt.2:

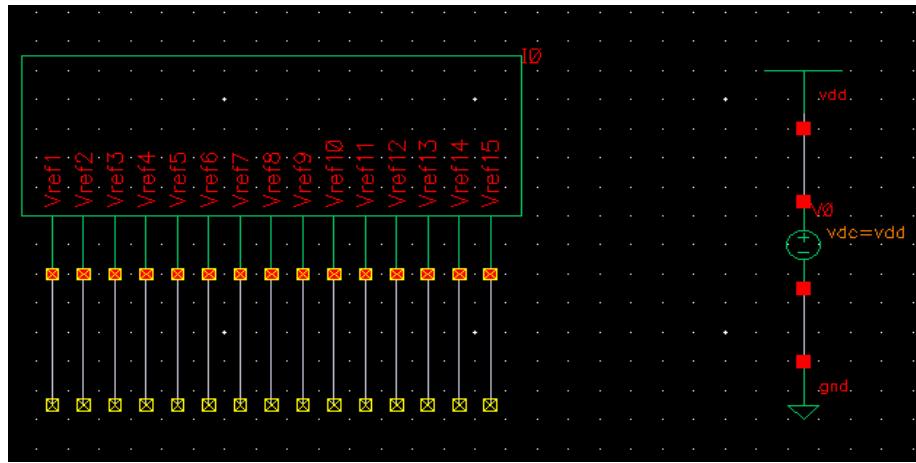


•Imagen 4: símbolo criado:



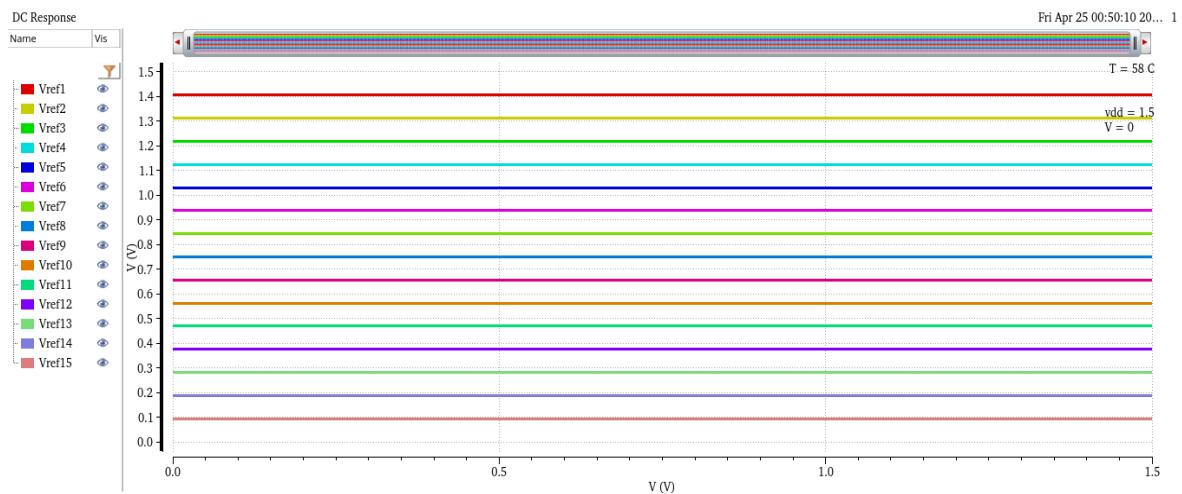
### b) Simulações de tensões e corrente

Primeiramente, para permitir a aquisição dos valores desejados, foi criado esse esquemático de teste simples:

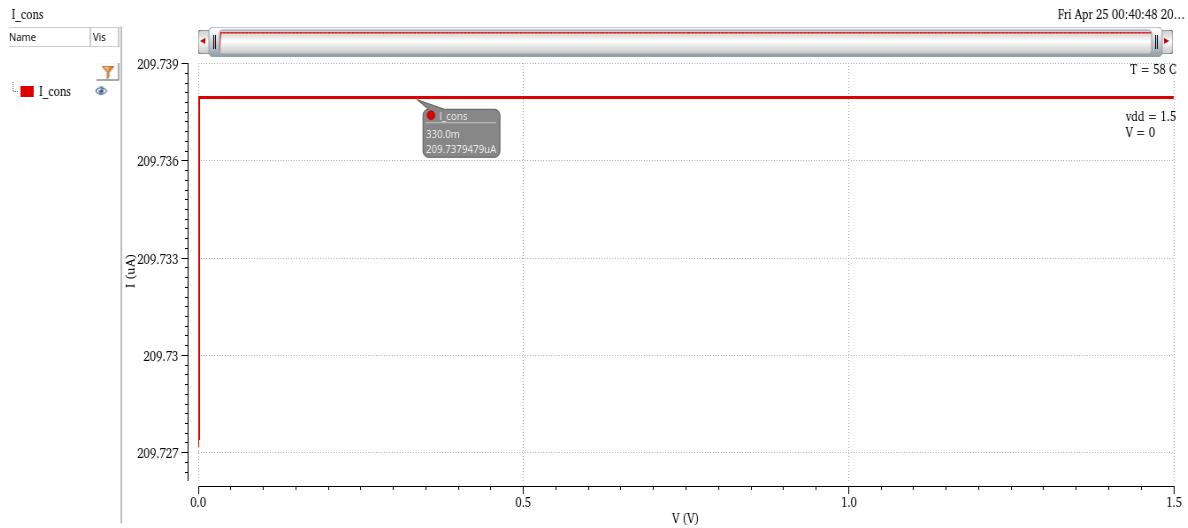


- OBS: O cadence marcou os fios soltos como warning, porém eles servem apenas para medir as tensões utilizando output-> select on design.

As simulações realizadas permitiram validar os valores de tensão de referência gerados e a corrente consumida pelo circuito. A seguir, encontram-se os gráficos e resultados obtidos:



- Torna-se notável o fato de que a tensão **VDD** recebe um decréscimo progressivo na faixa de 100mV para cada referência levada em consideração.



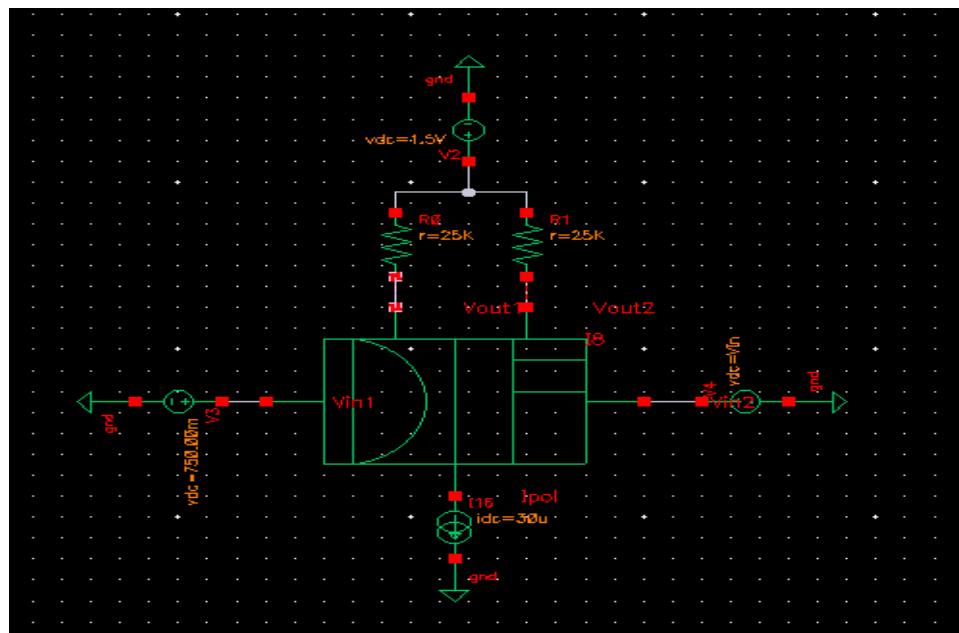
- Portanto, pelo gráfico acima, conclui-se que a corrente consumida pelo circuito é 209,7379479  $\mu$ A; ou seja, em torno de 210  $\mu$ A.

### 3.2) Par diferencial NMOS

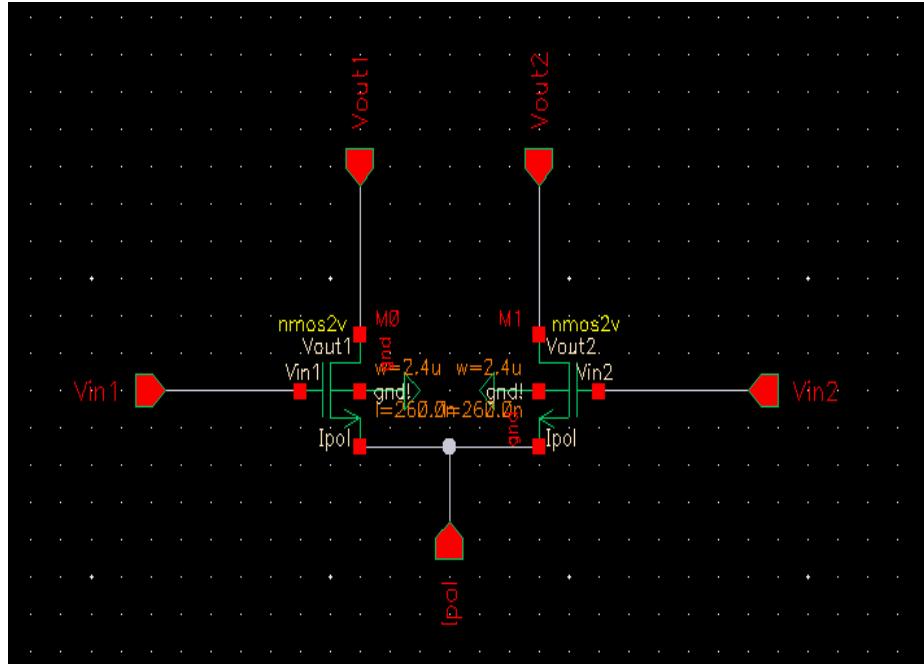
a) Esquemático e gráfico da saída diferencial

Foi desenvolvido o esquemático de um par diferencial NMOS com transistores de largura  $W = 2,4\ \mu\text{m}$ . A simulação foi conduzida com corrente de polarização de  $30\ \mu\text{A}$  e resistores de carga ideais de  $25\ \text{k}\Omega$ . Uma das entradas recebeu tensão constante de  $VDD/2$ , enquanto a outra variou de 0 a  $VDD$ . O gráfico gerado mostra a saída diferencial em função da entrada variável.

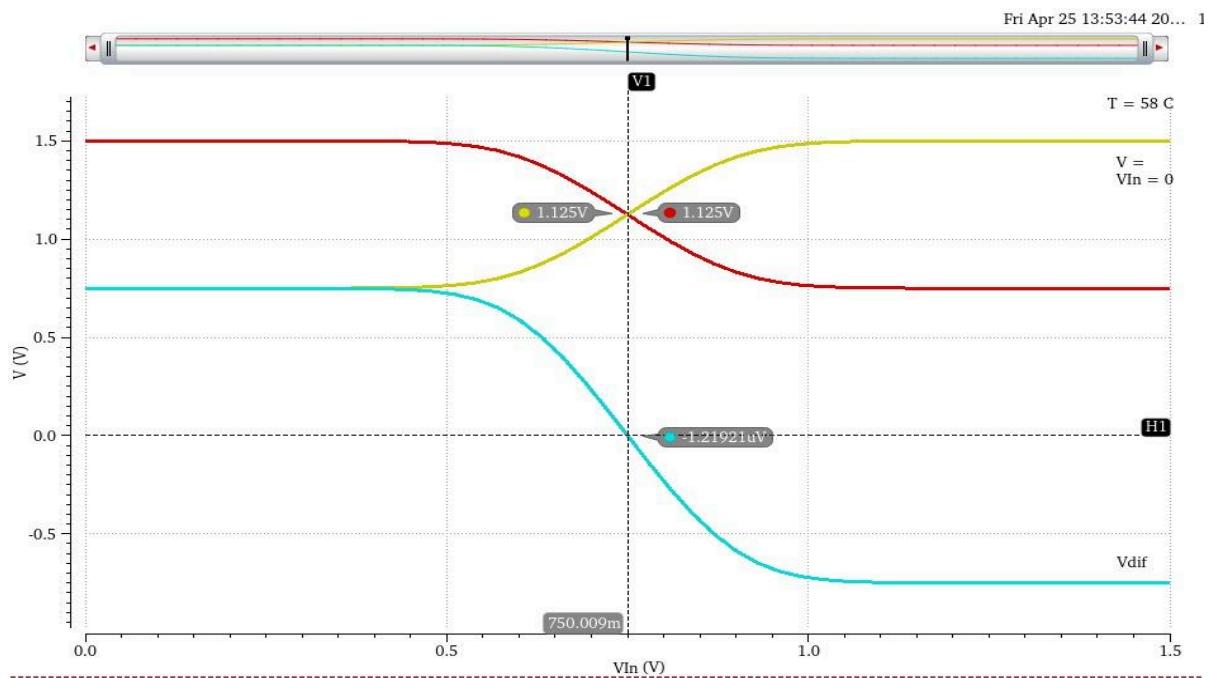
**•Imagen 1:** esquemático do circuito completo:



•Imagen 2: esquemático do circuito utilizado MOSFET's NMOS para fazer o símbolo:



•Imagen 3: gráfico da saída diferencial em função da entrada variável:

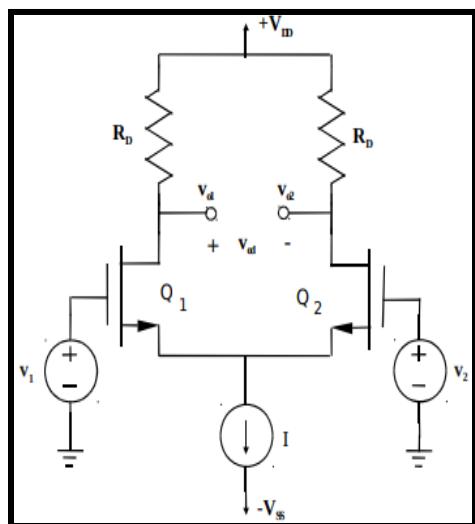


• Legenda: **Vout+** e **Vout-**, **Vdif**.

### b) Interpretação dos resultados

Com base na interpretação dos gráficos acima, primeiramente percebe-se que para  $V_{in}=0V$ ,  $V_{out+}$  e  $V_{dif}$  assumem seus máximos valores e  $V_{out-}$ , o seu mínimo. Então, as tensões de saída **positiva** e **negativa** se interceptam e se igualam em  $V_{in} = VDD/2$ , por consequência, nessa mesma região o módulo de  $V_{dif}$  é minimizado (chegando muito próximo de ser 0, considerando que ainda há uma pequena margem de erro). Por fim, para  $V_{in}=VDD$ ,  $V_{out+}$  e  $V_{dif}$  assumem seus mínimos valores, enquanto  $V_{out-}$  se encontra maximizada.

De forma aprofundada, amplificadores diferenciais possuem ganho de tensão no modo diferencial igual a  $-gmro$ . Dessa forma, a tensão diferencial de saída é o inverso da tensão de entrada, quando o circuito opera na região linear. Ademais, observa-se no gráfico que, inicialmente, à medida que a tensão de entrada aumenta, a tensão diferencial de saída permanece inicialmente constante. Isso ocorre pois  $V_{in}$  ainda não ultrapassou a tensão de limiar, que é aproximadamente 400 mV. Até esse ponto, o transistor de entrada positiva está na região de corte, e o transistor de entrada negativa, na de saturação. Então, a partir do momento em que a tensão de entrada supera o limiar, a tensão diferencial começa a decrescer, cruzando o zero quando  $V_{out+}$  e  $V_{out-}$  se igualam. Nesse período de transição, ambos os transistores operam na região de triodo. Por fim, quando a tensão  $V_{in}$  atinge aproximadamente 1 V, o transistor da entrada positiva entra em saturação, fazendo com que a tensão diferencial se estabilize. Então, nesse estágio, o transistor da entrada negativa entra em corte, pois sua tensão  $V_{gs}$  se reduz.

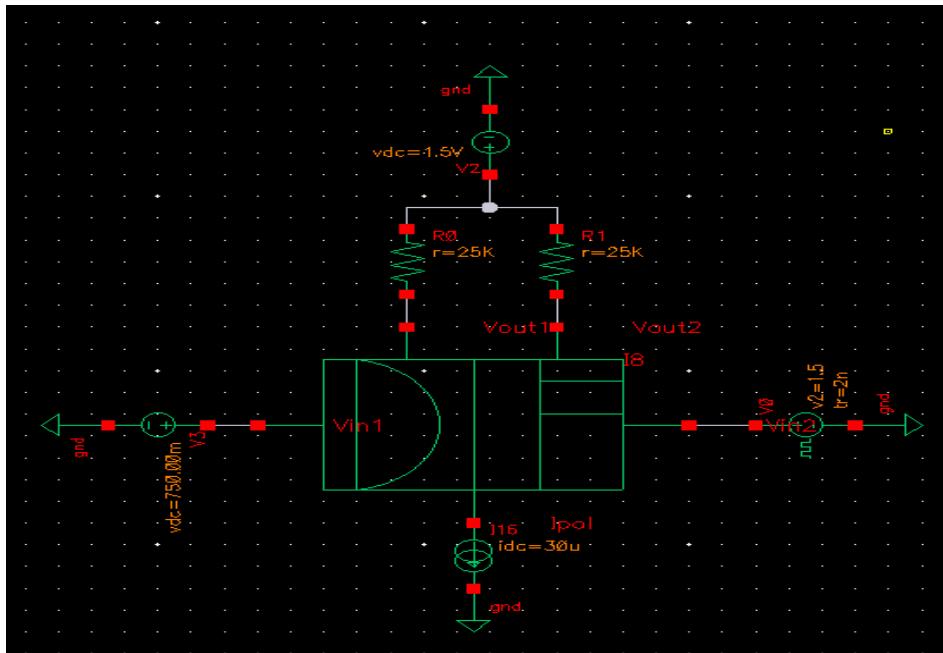


•**OBS:** À esquerda está representado um par diferencial com MOSFET's, ilustrando a relação entre as tensões positivas e negativas.

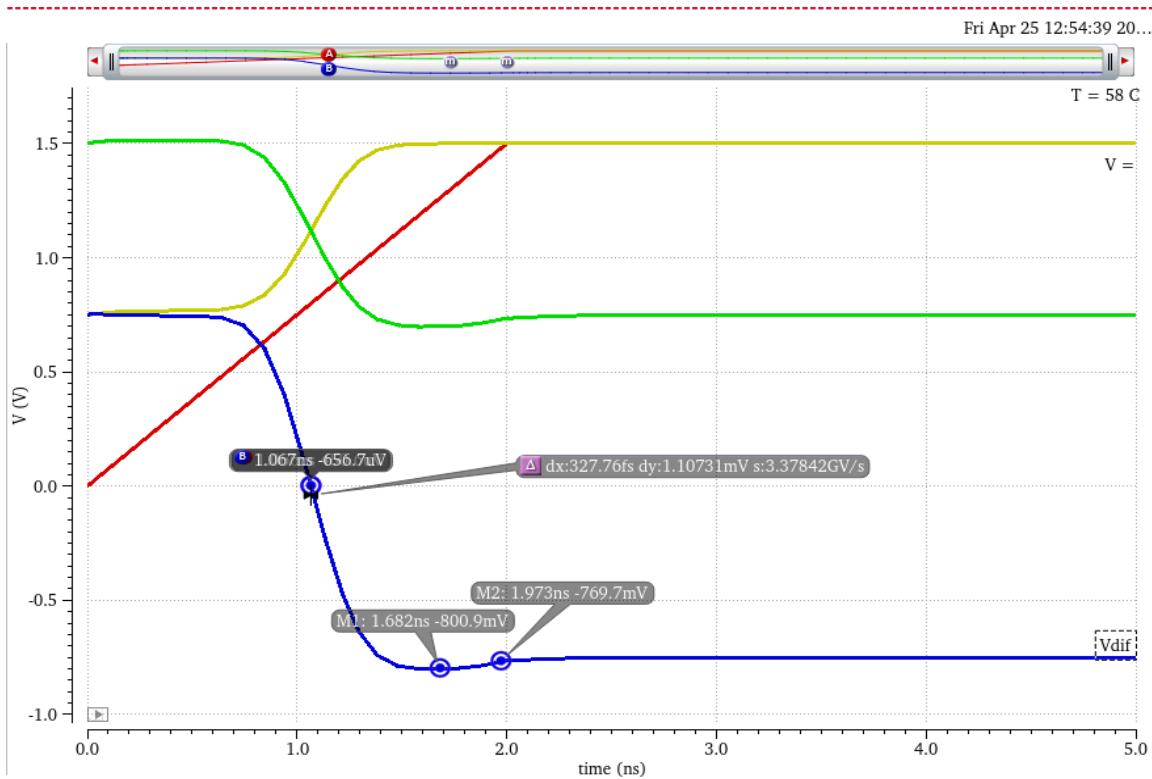
### c) Resposta dinâmica do par diferencial

Foi aplicada uma tensão contínua de  $VDD/2$  a uma entrada, e um pulso de 0 a  $VDD$  com tempo de subida de 2 ns na outra. As curvas da entrada e da saída diferencial foram registradas durante 5 ns após o início da transição. Foram extraídos os valores extremos da saída, o tempo para estabilização (variação menor que 5%) e o slew rate ao redor de 0 V.

•Imagen 1: esquemático do circuito completo:

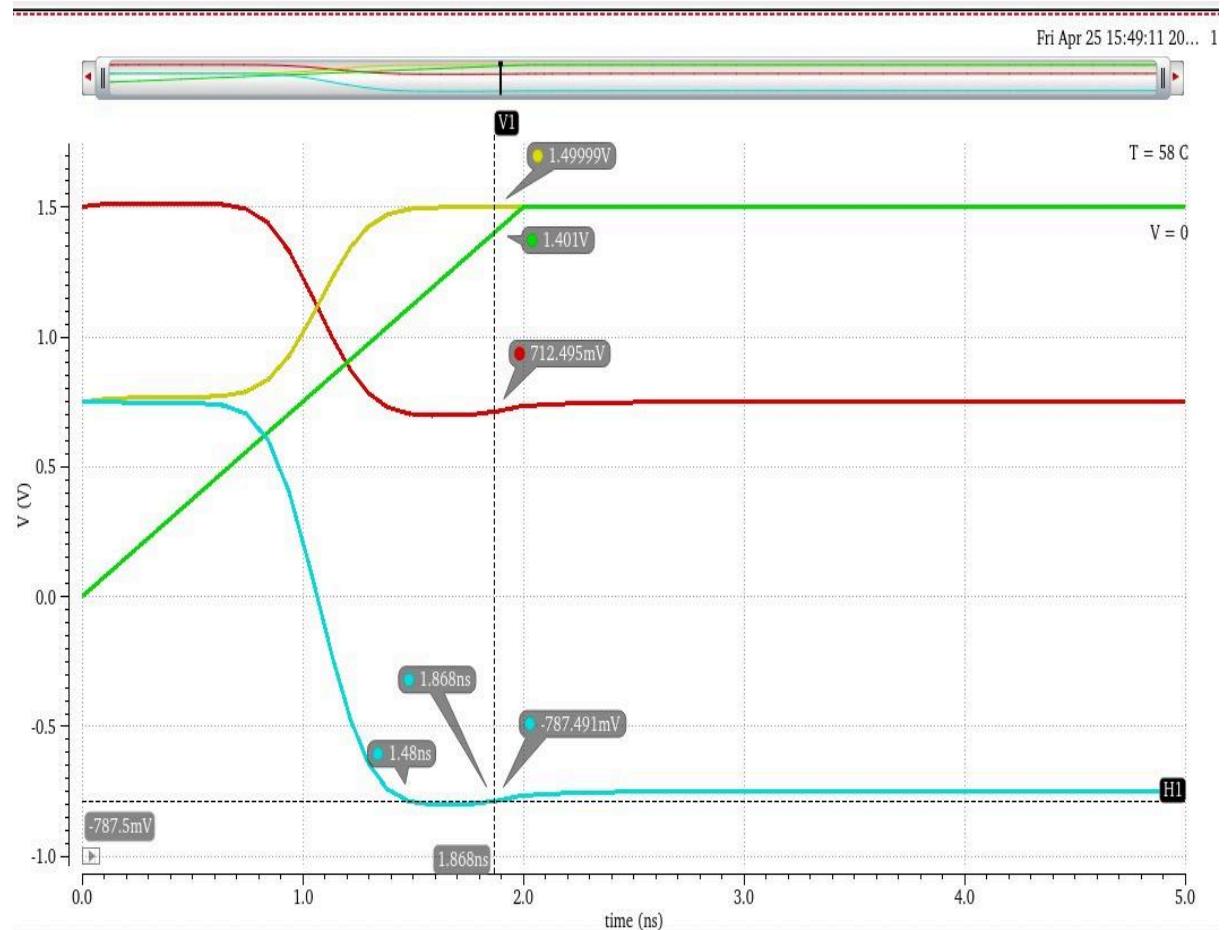


•Imagen 2: gráfico 1 com as curvas traçadas:



• Legenda:  $V_{out+}$ ,  $V_{out-}$ ,  $V_2$  (pulso conectado à direita no esquemático),  $V_{dif}$ .

- Imagen 3: gráfico 2 com as curvas traçadas:



- Legenda:  $V_{out+}$ ,  $V_{out-}$ ,  $V_2$  (pulso conectado à direita no esquemático),  $V_{dif}$ .

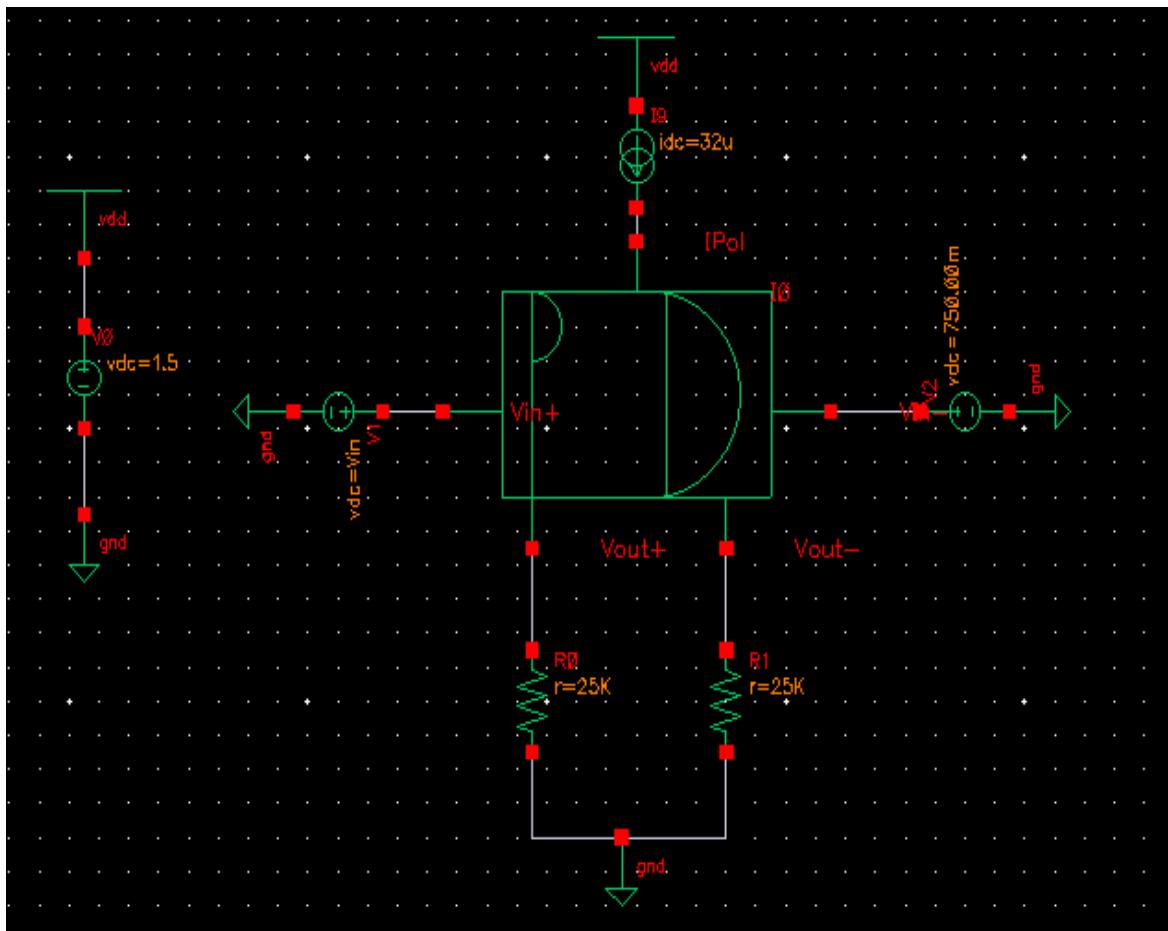
- Nota-se que o valor **mínimo local** que a saída diferencial assume é -800,9mV; já o **máximo local** é -769,7 mV (gráfico 1). Além disso, o **tempo necessário até a saída ter uma variação de menos de 5%** em torno do seu valor final é: 1,868 ns (gráfico 2). E, por fim, ao considerar a taxa de variação, achou-se um **slew rate** de 3,37842 GV/s; ou 3,38 GV/s (gráfico 1).

### 3.3) Par diferencial PMOS

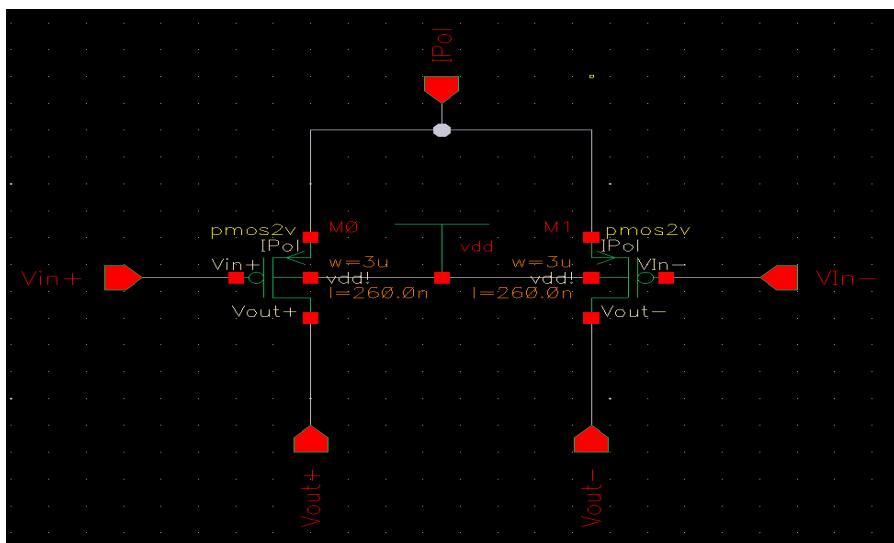
#### a) Esquemático e gráfico da saída diferencial

Foi implementado o esquemático de um par diferencial PMOS com largura de  $W = 3 \mu\text{m}$  nos transistores. A corrente de polarização foi definida em  $32 \mu\text{A}$ , com resistores de carga de  $25 \text{k}\Omega$ . A entrada de referência permaneceu em  $VDD/2$ , e a outra foi variada entre 0 e  $VDD$ . O gráfico resultante mostra o comportamento da saída diferencial em função da entrada.

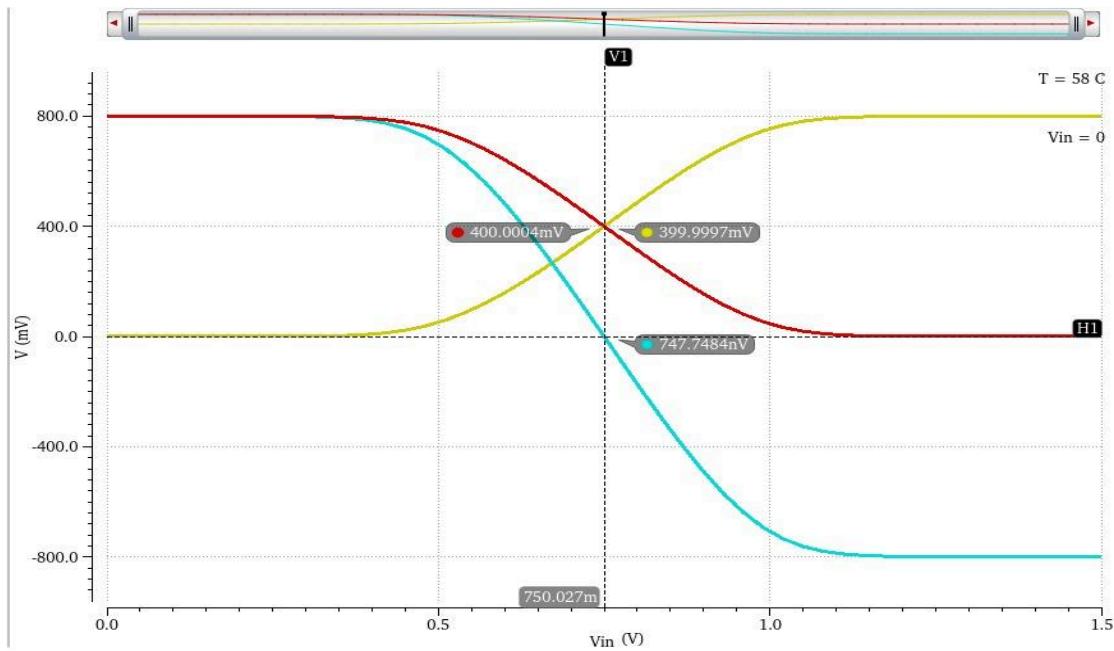
•Imagen 1: esquemático do circuito completo:



•Imagen 2: esquemático do circuito utilizando MOSFET's PMOS para fazer o símbolo:



•Imagen 3: gráfico obtido:



- Legenda:  $V_{out+}$ ,  $V_{out-}$ ,  $V_{dif}$ .

#### b) Interpretação dos resultados

Baseando-se na interpretação do gráfico, primeiramente, percebe-se que para  $V_{in}=0V$ ,  $V_{out+}$  e  $V_{dif}$  assumem seus máximos valores e  $V_{out-}$ , o seu mínimo. Após isso, em  $V_{in}=VDD/2$ , as tensões de saída **positiva** e **negativa**, apresentam curvas se interceptando, e valores muito próximos de serem congruentes (mesmo não sendo totalmente iguais, pois ainda há uma pequena variação de 700nV) , por isso, nessa mesma região o módulo de  $V_{dif}$  é minimizado (demasiadamente perto de 0, mesmo ainda havendo uma pequena diferença, também em torno de 700nV). Por fim, para  $V_{in}=VDD$ ,  $V_{out+}$  e  $V_{dif}$  assumem seus mínimos valores, enquanto  $V_{out-}$  se encontra maximizada.

#### •Conclusão:

O desenvolvimento do projeto de conversor analógico-digital flash de 4 bits permitiu aplicar de forma integrada conceitos de referência de tensão, par diferencial e análise dinâmica de circuitos CMOS. A implementação da rede de resistores resultou em 15 tensões de referência estáveis e distribuídas uniformemente, com consumo de potência dentro da faixa estipulada. Os pares diferenciais, tanto NMOS quanto PMOS, apresentaram comportamento coerente com a teoria, com simulações confirmando lineares em regimes pequenos sinais e rápidas respostas transitórias. A documentação técnica foi elaborada com atenção às exigências formais do curso, incluindo dimensionamento físico, simulações completas, esquemáticos legíveis e análise crítica dos dados. Dessa forma, o relatório demonstra domínio das ferramentas de projeto e simulação, alinhando rigor analítico e clareza na apresentação dos resultados.