

Alunos: Henrique Meurer Zardo e Lucas Tavares Rockembach

Período: 2025-1

4.1) Comparador NMOS

a) Esquemáticos, simulação e interpretação

Esquemático e símbolo:

Foi desenvolvido o esquemático do comparador NMOS conforme especificado, utilizando espelhos de corrente simples com transistores de largura $W=2,4 \mu\text{m}$. O esquemático de teste aplica $V_{ref}=V_{dd}/2$ e uma corrente de polarização $I_{bias}=30 \mu\text{A}$, gerada por um espelho de corrente conectado a V_{dd} via resistor.

- Circuito utilizado para criar o símbolo do comparador NMOS:

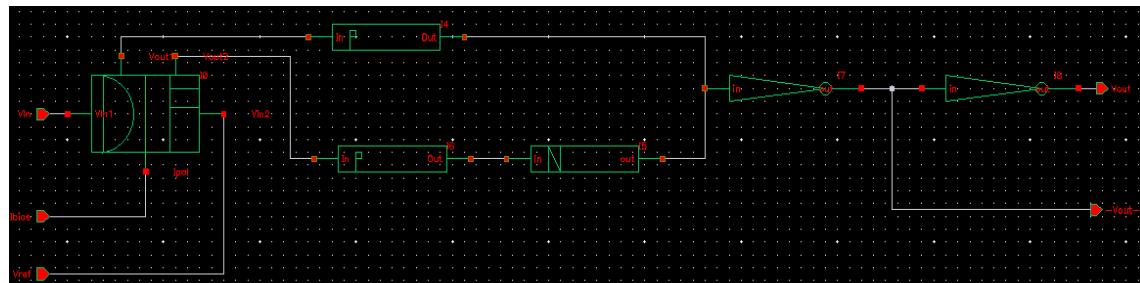


Figura 1: circuito do comparador PMOS. Símbolo na extremidade esquerda (par diferencial NMOS), símbolo com P (espelho de corrente PMOS), símbolo com N (espelho de corrente NMOS), símbolo porta NOT (inversor).

- Esquemático utilizado para simulação:

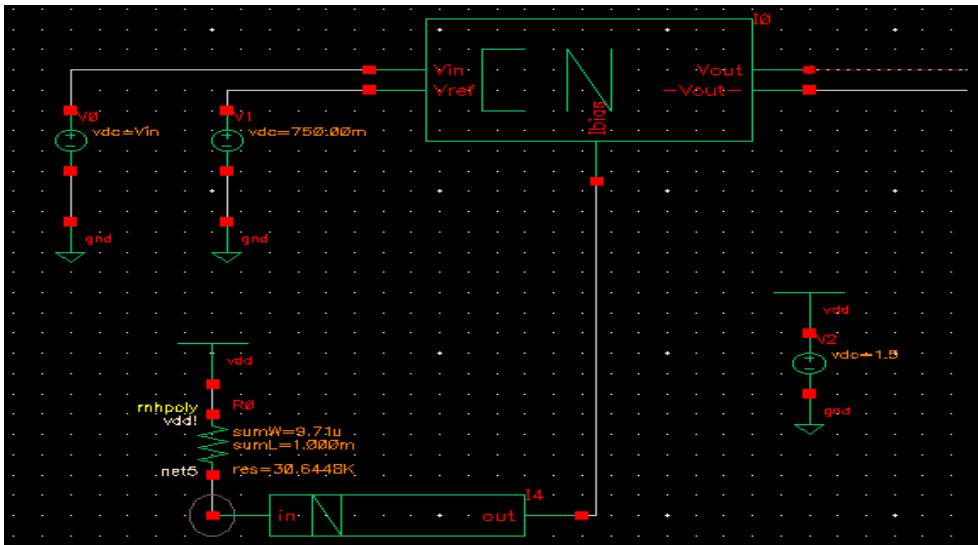


Figura 2: esquemático de teste com símbolo CN (comparador NMOS).

- Dessa forma, foi gerada uma resistência de 30,6448 KΩ ao utilizar rnhpoly com $W = 9,71 \mu\text{m}$ e $L = 1\text{mm}$, permitindo que a corrente de polarização atinja 30 μA , como é perceptível no gráfico abaixo:

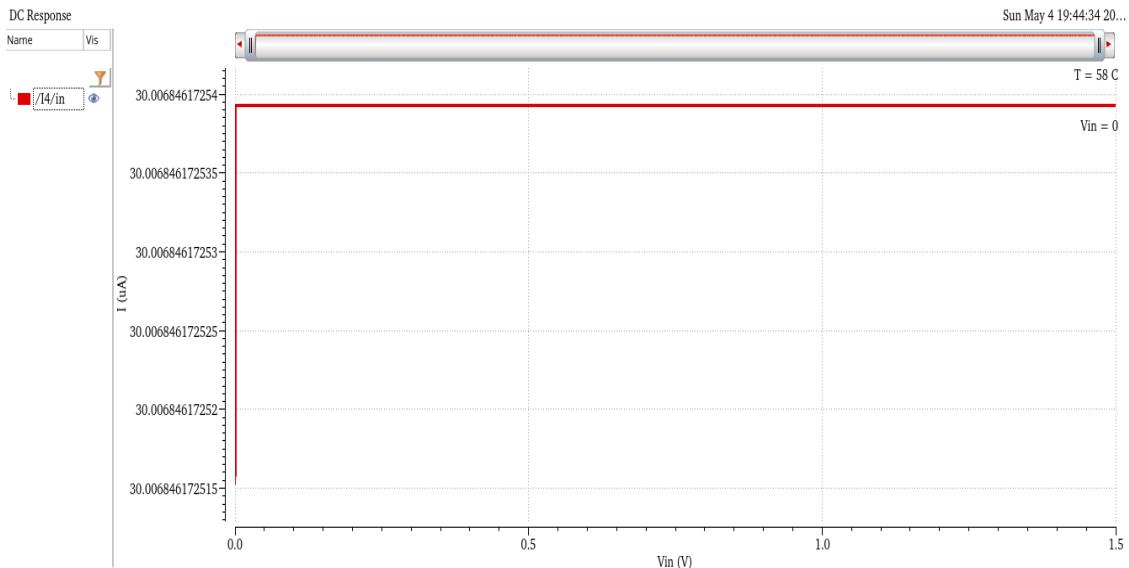
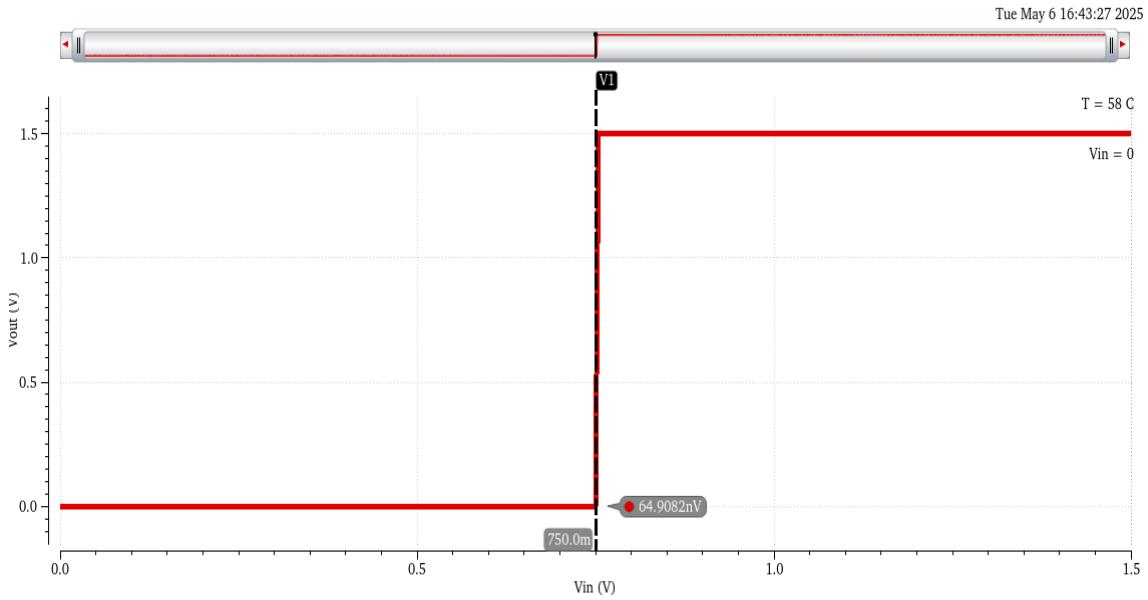


Figura 3: /I4/in = Ibias; esse ponto foi selecionado pois quando a saída foi selecionada o valor da corrente apareceu igual em módulo, porém com sinal negativo, então optou-se pela direção em que a corrente é positiva, conforme instruído em relatórios anteriores.

Resultado da simulação:

- Conforme proposto, foi traçada a curva de Vout em função de Vin (limites de 0 a Vdd) com Vref = Vdd/2 e Ibias = 30 μA . O resultado pode ser visualizado no gráfico abaixo:



[Figura 4:](#) gráfico Vout por Vin.

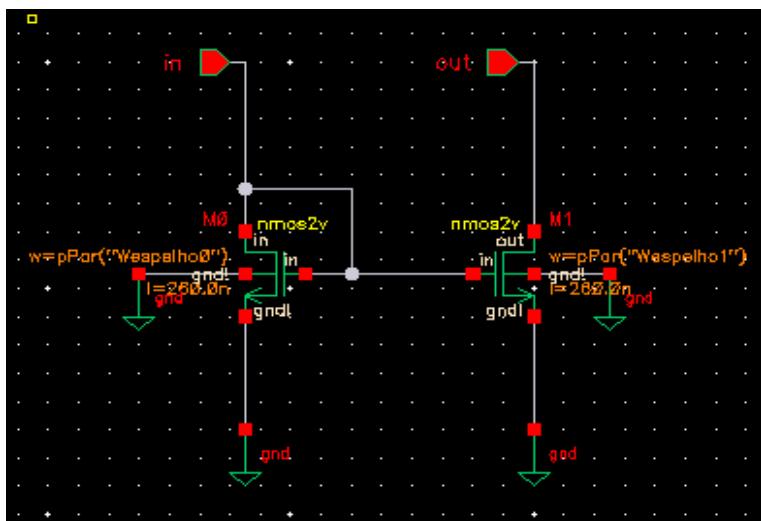
Interpretação:

- Dessa forma, ao observar o gráfico, nota-se que, utilizando $V_{ref} = V_{dd}/2$ como tensão de referência, o comparador se comporta conforme o esperado. Quando $V_{in} < V_{dd}/2$, o transistor de entrada permanece em corte, resultando em uma saída **Vout** nula. Já para $V_{in} > V_{dd}/2$, a corrente começa a circular pelo ramo ativo, e a saída atinge **1,5 V**; indicando a comutação do comparador e validando o funcionamento do circuito conforme projetado.

b) Redimensionamento e simulação

Redimensionamento:

- Primeiramente, foi utilizada a sintaxe pPar("") no espelho de corrente NMOS:



[Figura 5:](#) esquemático espelho NMOS.

- Então, as dimensões achadas por tentativa e erro que mais se adequaram foram $W_0 = W_1 = 890$ nm:

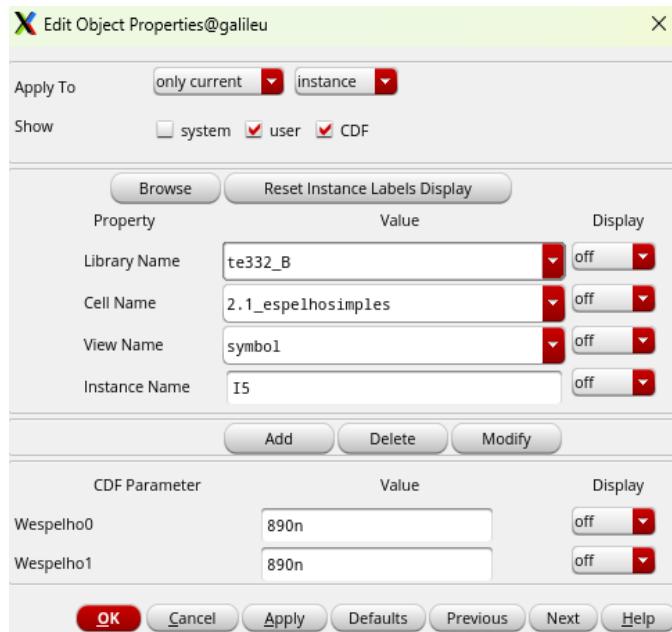


Figura 6: dimensões do espelho interno NMOS.

- Porém, as larguras dos espelhos PMOS e do espelho da corrente de polarização foram mantidas, como é possível ver nas duas figuras abaixo:

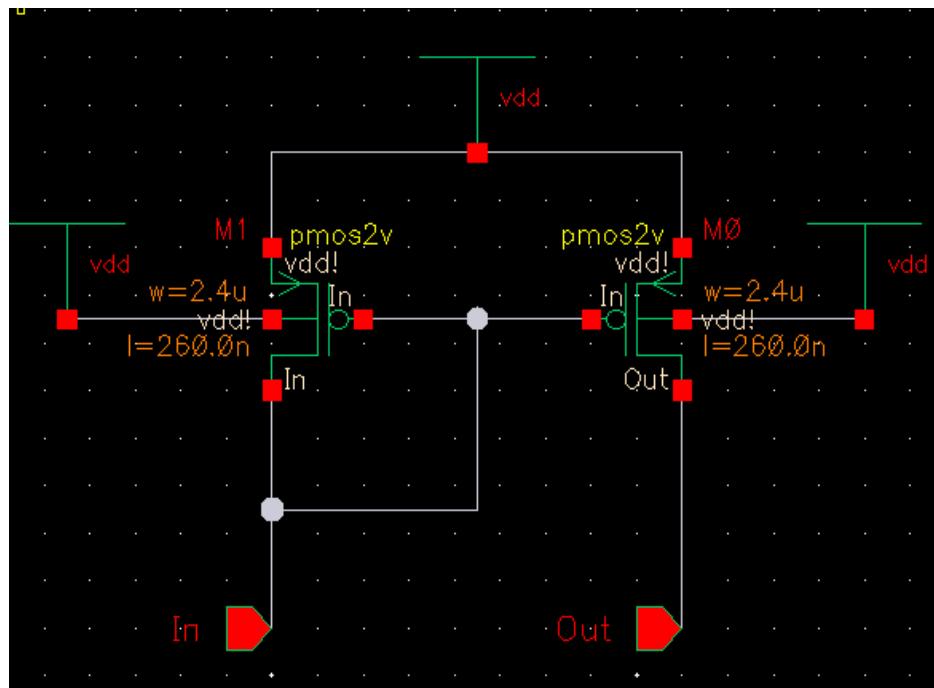


Figura 7: esquemático do espelho PMOS.

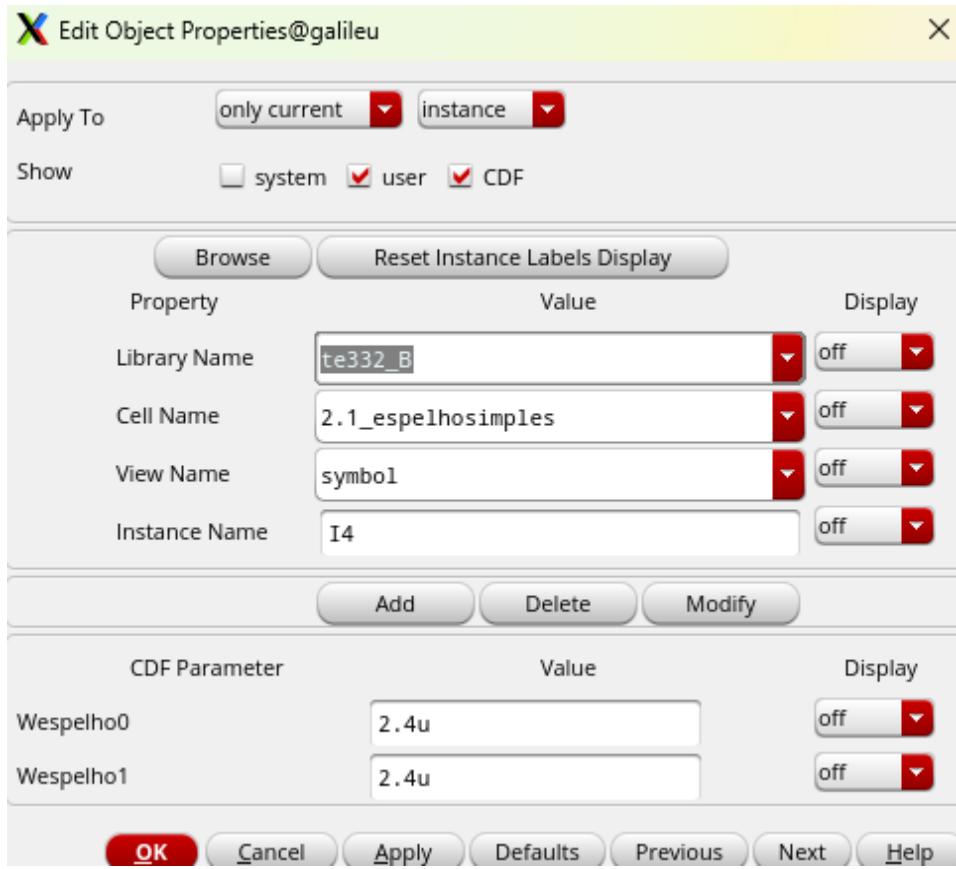


Figura 8: dimensões do espelho NMOS da corrente de polarização.

Simulação:

- Para simular os esquemáticos do símbolo e do circuito de teste ficaram iguais aos anteriores, pois só as dimensões foram alteradas nas propriedades:

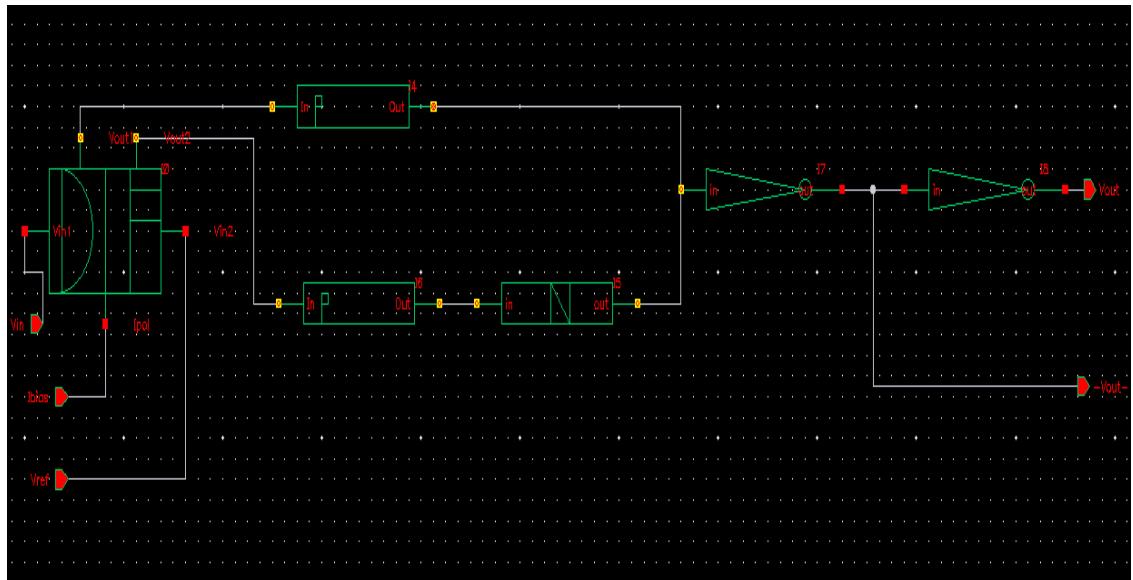


Figura 9: circuito utilizado para fazer o símbolo do comparador.

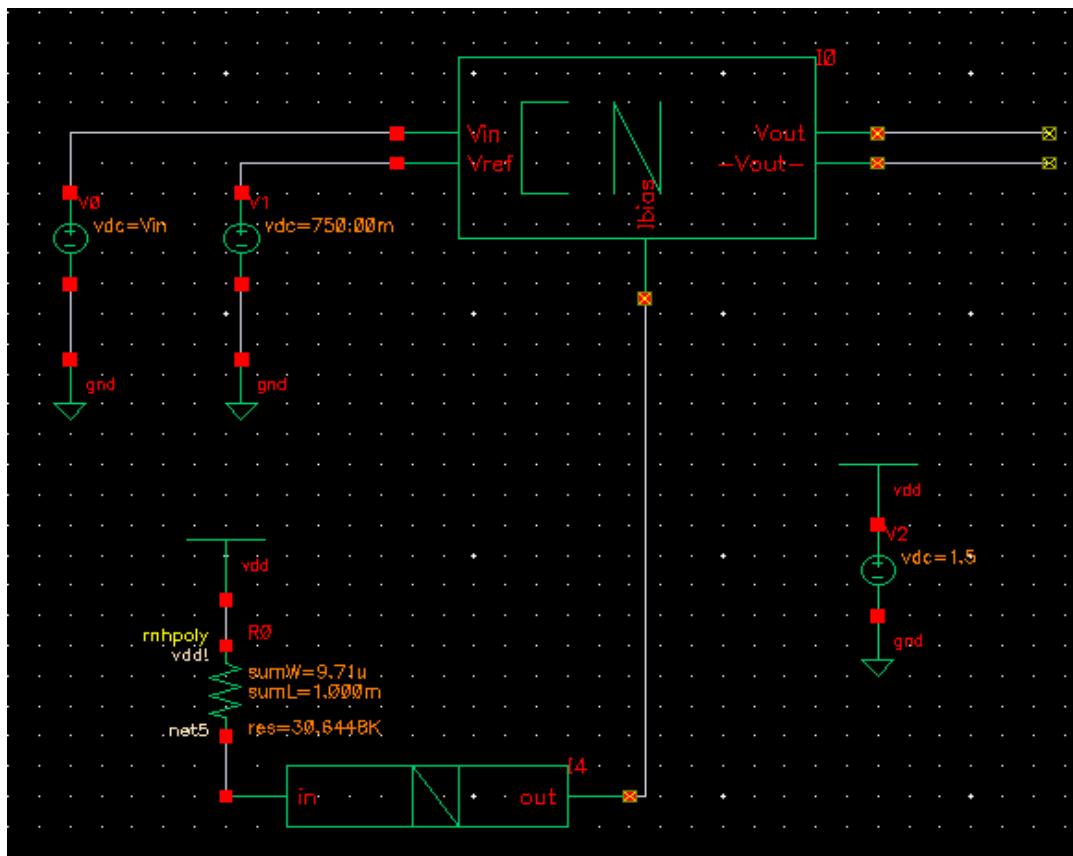


Figura 10: circuito de teste.

- Dessa forma, assim ficou o gráfico da tensão de saída V_{out} em função da tensão de entrada V_{in} de 0 a V_{dd} com passos de 1 mV e com o valor da tensão de saída destacado para quando a entrada vale $V_{dd}/2$:

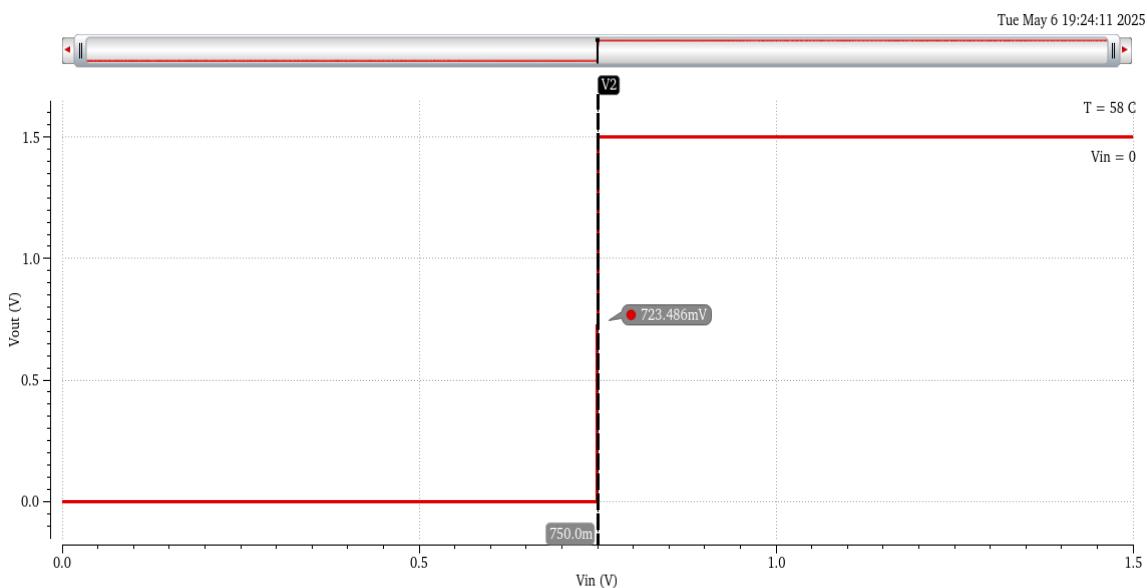


Figura 11: gráfico V_{out} por V_{in} .

4.2) Comparador PMOS

a) Esquemáticos, simulação e interpretação

Esquemático e símbolo:

Foi desenvolvido o esquemático do comparador PMOS conforme especificado, utilizando espelhos de corrente simples com transistores de largura $W=2,4\text{ }\mu\text{m}$. O esquemático de teste aplica $V_{ref}=V_{dd}/2$ e uma corrente de polarização $I_{bias}=30\text{ }\mu\text{A}$, gerada por um espelho de corrente conectado a V_{dd} via resistor.

- Circuito utilizado para criar o símbolo do comparador PMOS:

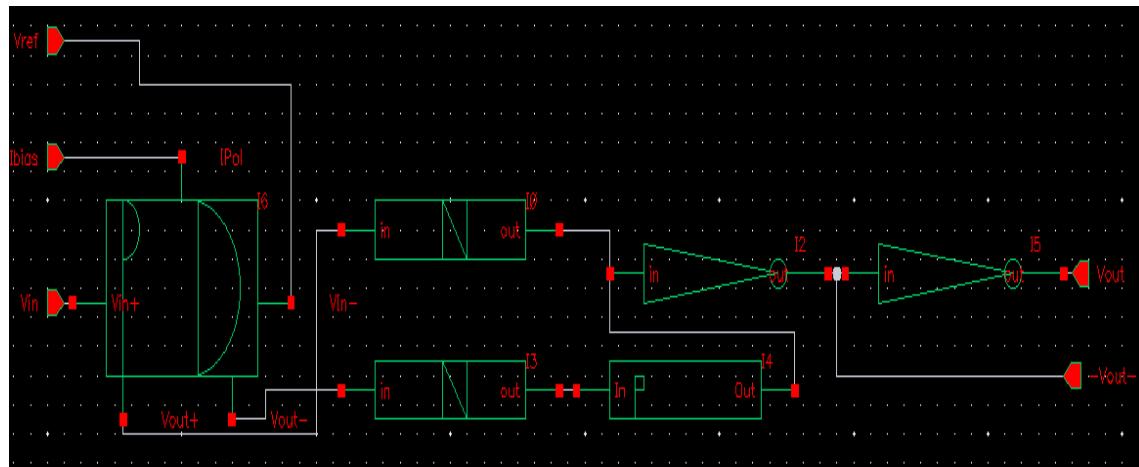


Figura 12: circuito comparador PMOS. Símbolo na extremidade esquerda (par diferencial PMOS), símbolo com P (espelho de corrente PMOS), símbolo com N (espelho de corrente NMOS), símbolo porta NOT (inversor).

- Esquemático utilizado para simulação:

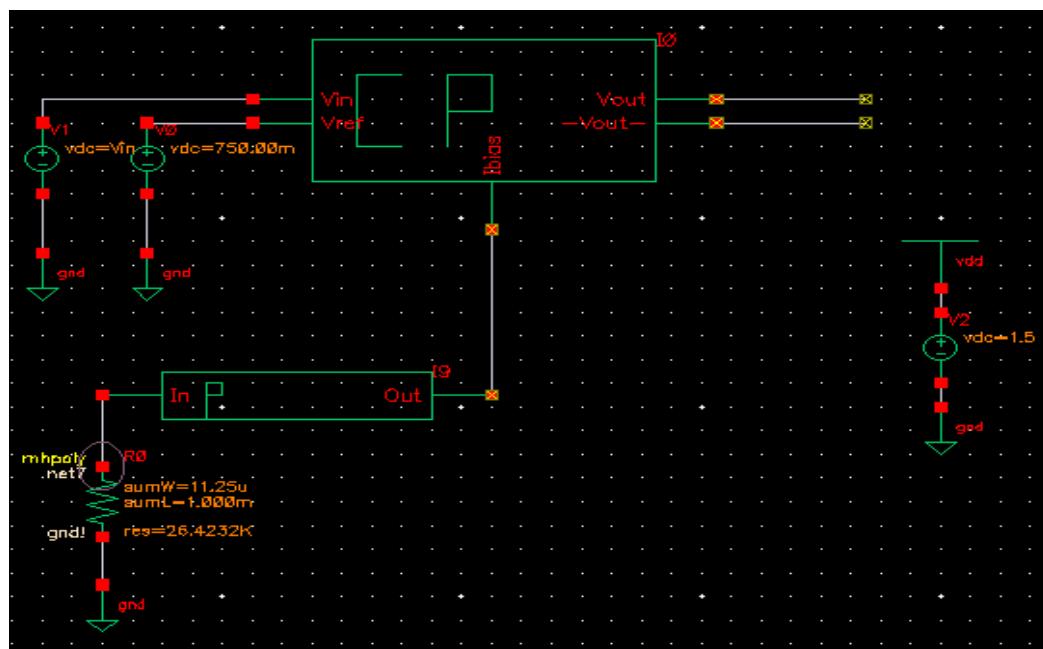
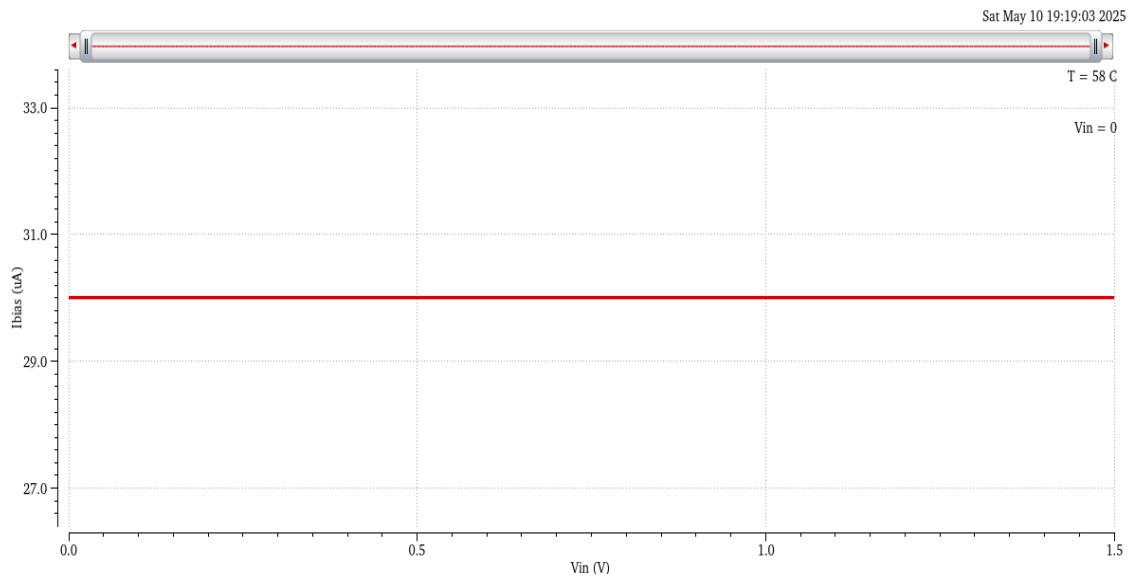


Figura 13: circuito de teste.

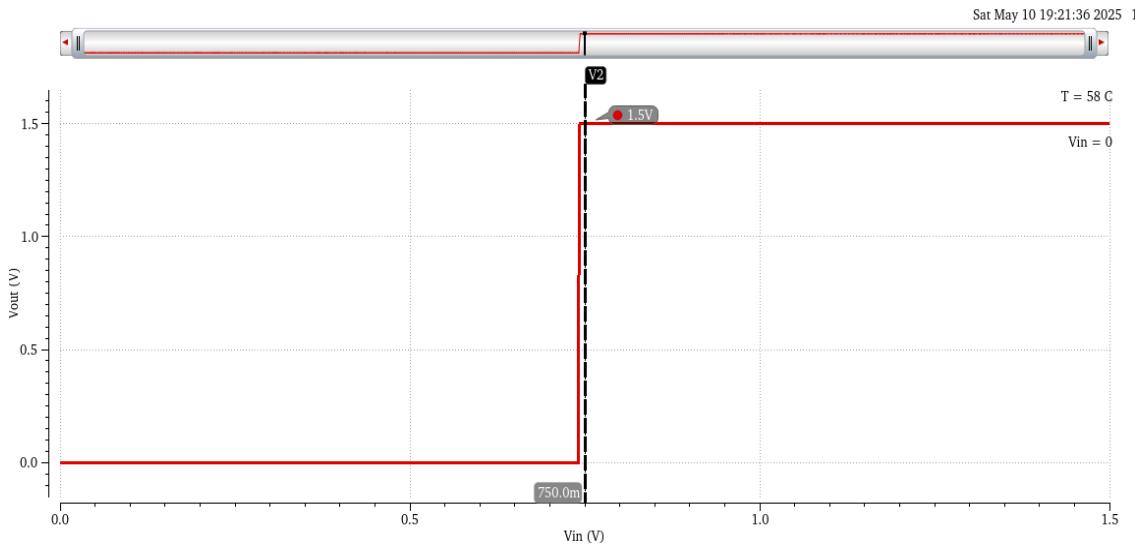
- Dessa forma, foi gerada uma resistência de $26,4232\text{ K}\Omega$ ao utilizar rnhpoly com $W = 11,25\text{ }\mu\text{m}$ e $L = 1\text{ mm}$, permitindo que a corrente de polarização atinja $30\text{ }\mu\text{A}$, como é perceptível no gráfico abaixo:



[Figura 14:](#) gráfico da corrente de polarização.

Resultado da simulação:

- Conforme proposto, foi traçada a curva de V_{out} em função de V_{in} (limites de 0 a V_{dd}) com $V_{ref} = V_{dd}/2$ e $I_{bias} = 30\text{ }\mu\text{A}$. O resultado pode ser visualizado no gráfico abaixo:



[Figura 15:](#) gráfico V_{out} por V_{in} .

Interpretação:

- Dessa forma, ao observar o gráfico, nota-se de maneira semelhante ao 4.1 que, utilizando $V_{ref} = V_{dd}/2$ como tensão de referência, o comparador se comporta

conforme o esperado. Quando **V_{in}** é consideravelmente menor que **V_{dd}/2**, o transistor de entrada permanece em corte, resultando em uma saída **V_{out}** nula. Já para **V_i consideravelmente maior que V_{dd}/2**, a corrente começa a circular pelo ramo ativo, e a saída atinge **1,5 V**; indicando a comutação do comparador e validando o funcionamento do circuito conforme projetado. Vale ressaltar, porém, uma diferença específica dessa simulação, que é a de que o valor crítico para a mudança de comportamento do comparador é levemente menor que **V_{dd}/2**, o que será ajustado e melhorado na letra b).

b) Redimensionamento e simulação

Esquemáticos e propriedades:

- Para o redimensionamento, foi utilizada a sintaxe **pPar("")** no espelho de corrente PMOS:

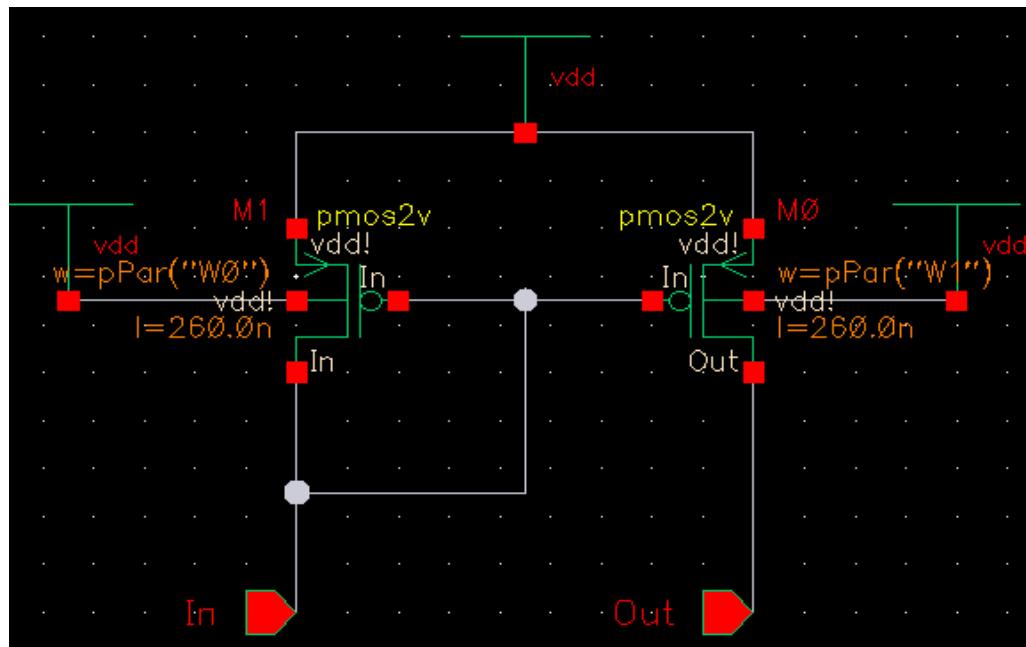


Figura 16: circuito do espelho PMOS com sintaxe para redimensionamento.

- Então, as dimensões que mais se adequaram, após tentativa e erro, foram **W0 = W1 = 439,5 nm**:

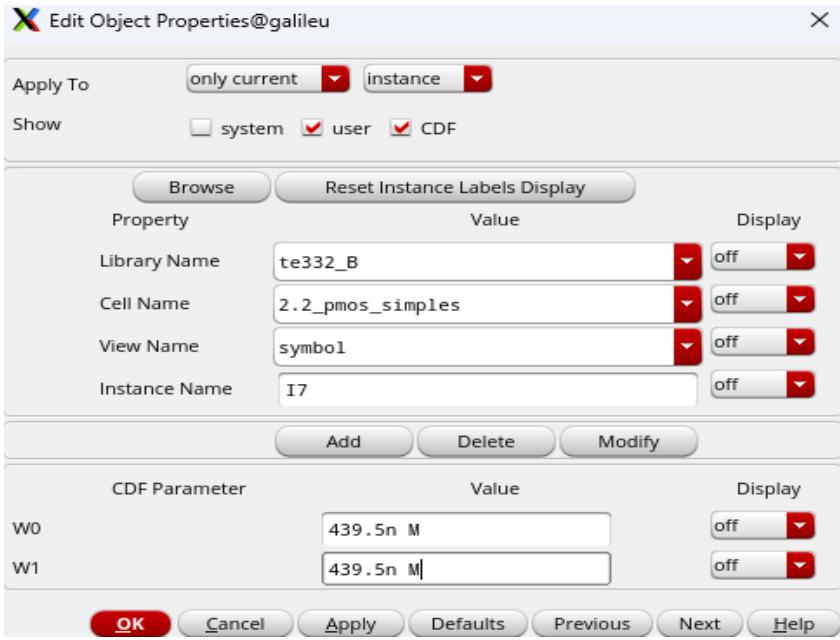


Figura 17: dimensões do espelho PMOS interno pós-redimensionamento.

- Entretanto, as larguras dos espelhos NMOS e do espelho da corrente de polarização foram mantidas, como é possível ver nas duas figuras abaixo:

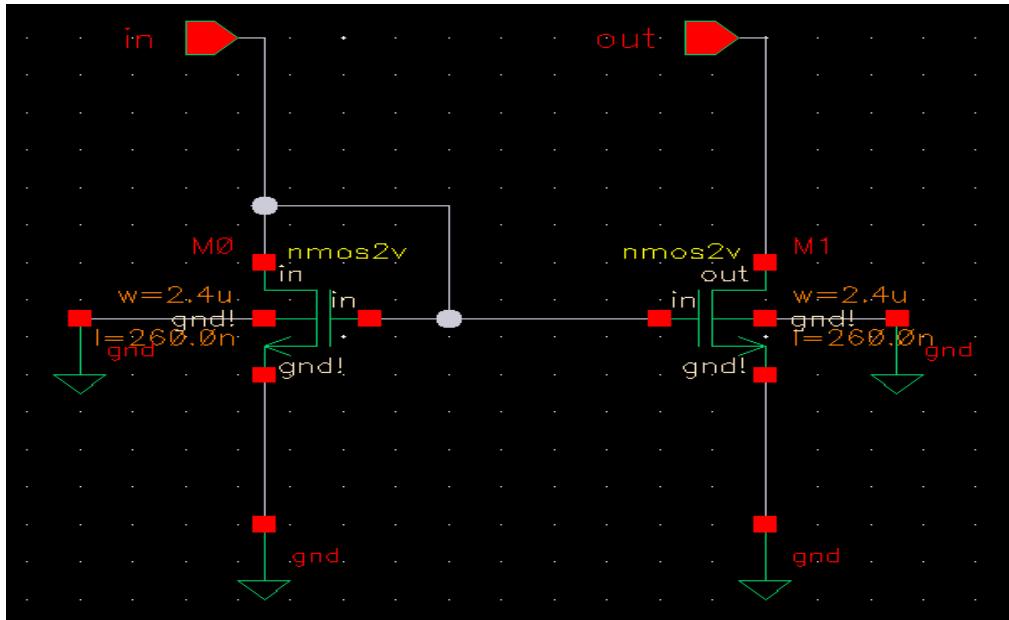


Figura 18: esquemático do espelho NMOS com largura fixa.

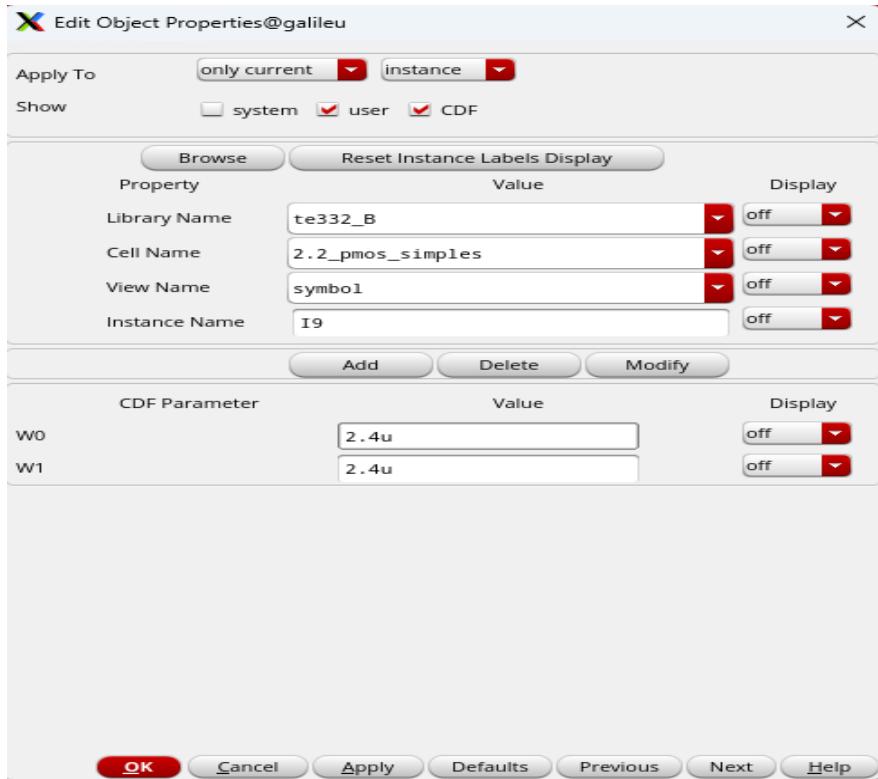


Figura 19: dimensões fixas do espelho PMOS da corrente de polarização.

Simulação:

- Para realizar a simulação, os esquemáticos do símbolo e do circuito de teste ficaram iguais aos anteriores, pois só as dimensões foram alteradas nas propriedades:

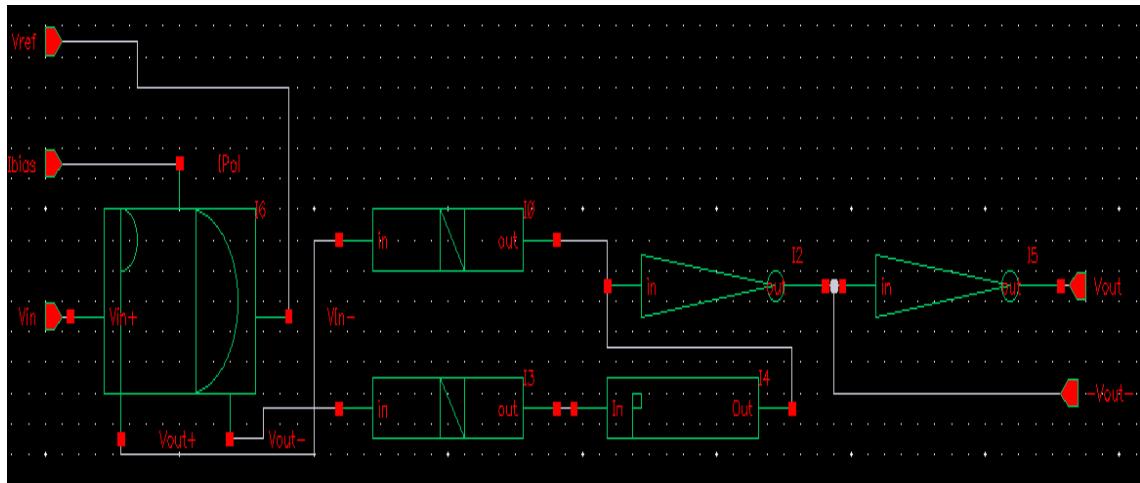


Figura 20: circuito utilizado para fazer o símbolo do comparador.

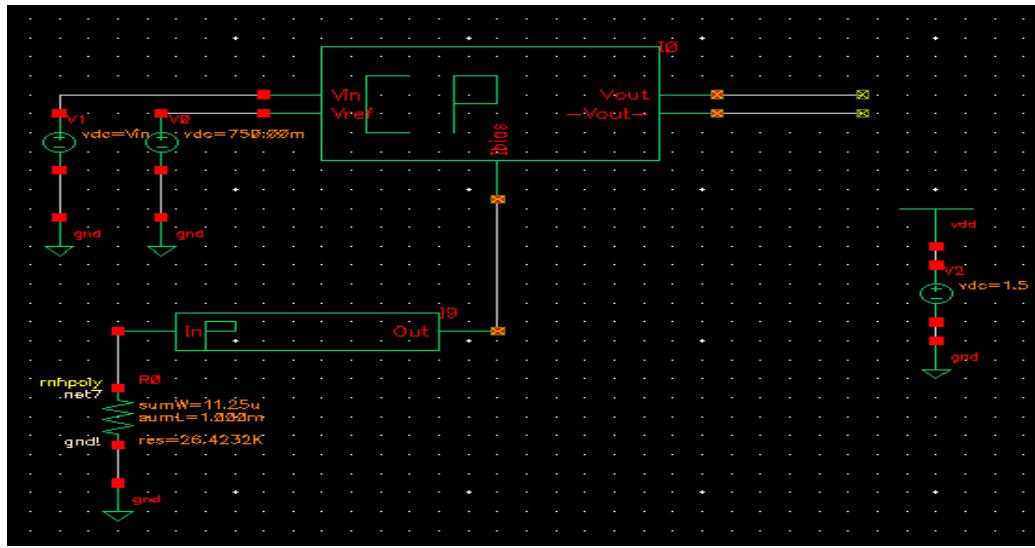


Figura 21: circuito de teste.

- Assim, segue-se o gráfico da tensão de saída V_{out} em função da tensão de entrada V_{in} de 0 a V_{dd} com passos de 1 mV e com o valor da tensão de saída destacado para quando a entrada vale $V_{dd}/2$:

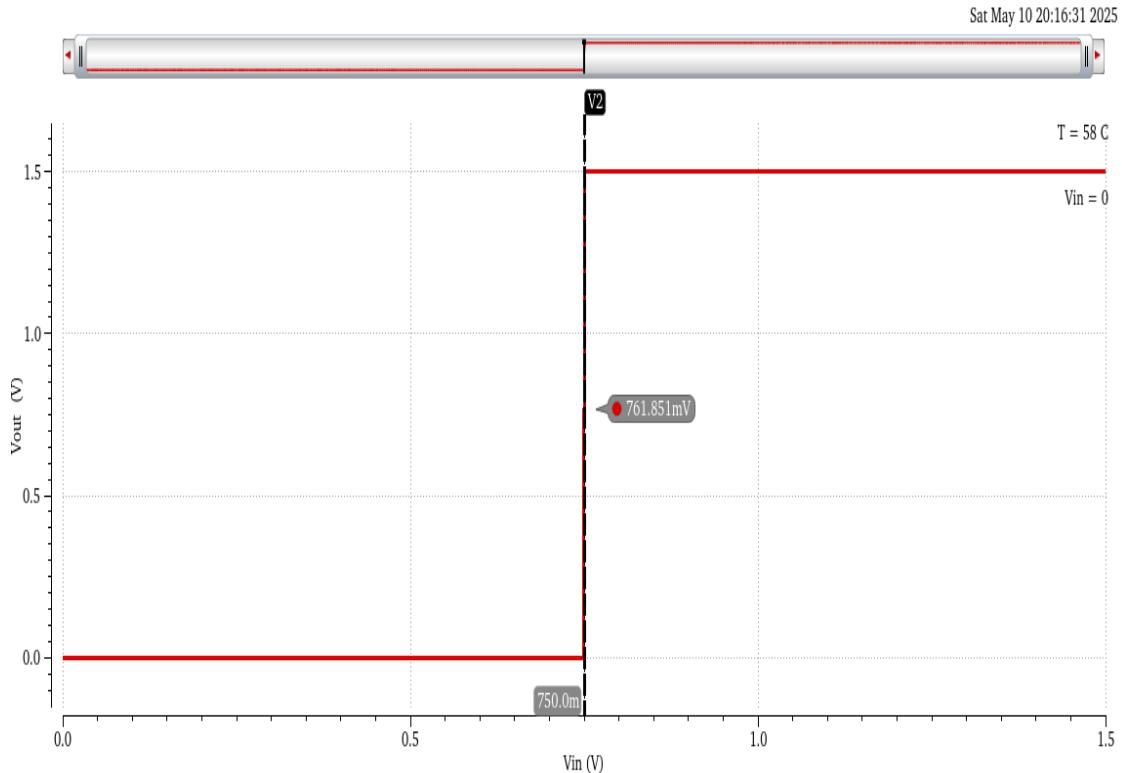


Figura 22: gráfico V_{in} por V_{out} .

- Portanto, agora é possível perceber que o valor crítico está exatamente em $V_{dd}/2$, e que, para $V_{in} = V_{dd}/2$; V_{out} também se encontra suficientemente próximo de $V_{dd}/2$.

4.3) Bloco Comparador e Referências de Corrente

a) Esquemáticos, simulações e comparação

Comparador NMOS:

- Na imagem abaixo está representado o esquemático utilizado para o comparador NMOS redimensionado, aplicando na entrada um sinal triangular de 250 kHz entre 0 e Vdd, e polarizando com o espelho e resistor, conforme feito no item 4.1:

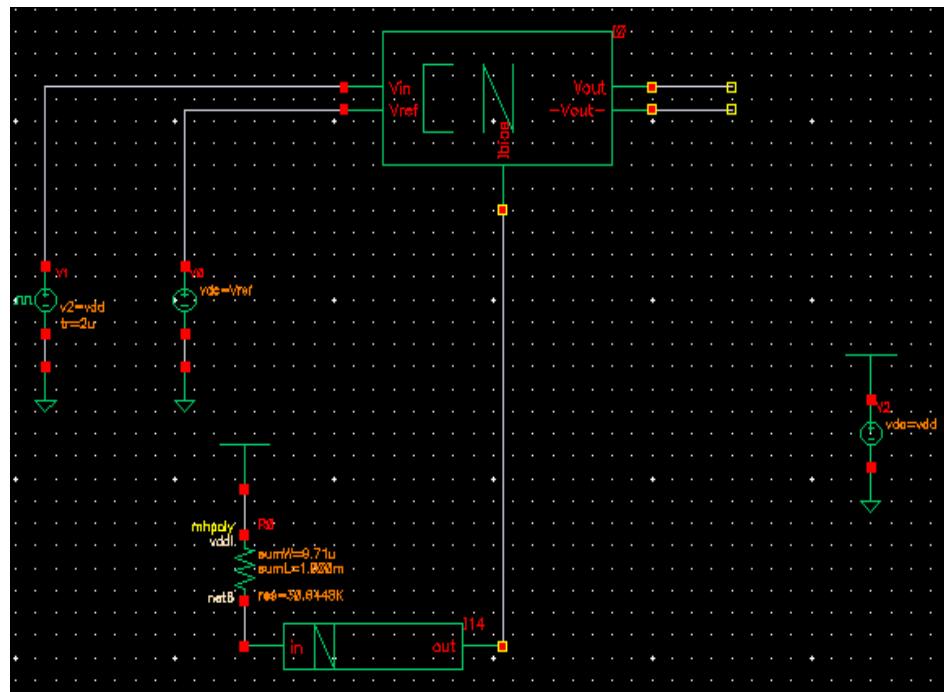


Figura 23: esquemático para simulação com o comparador NMOS.

- Conforme comentado previamente, segue a janela de propriedades da fonte de pulso triangular:

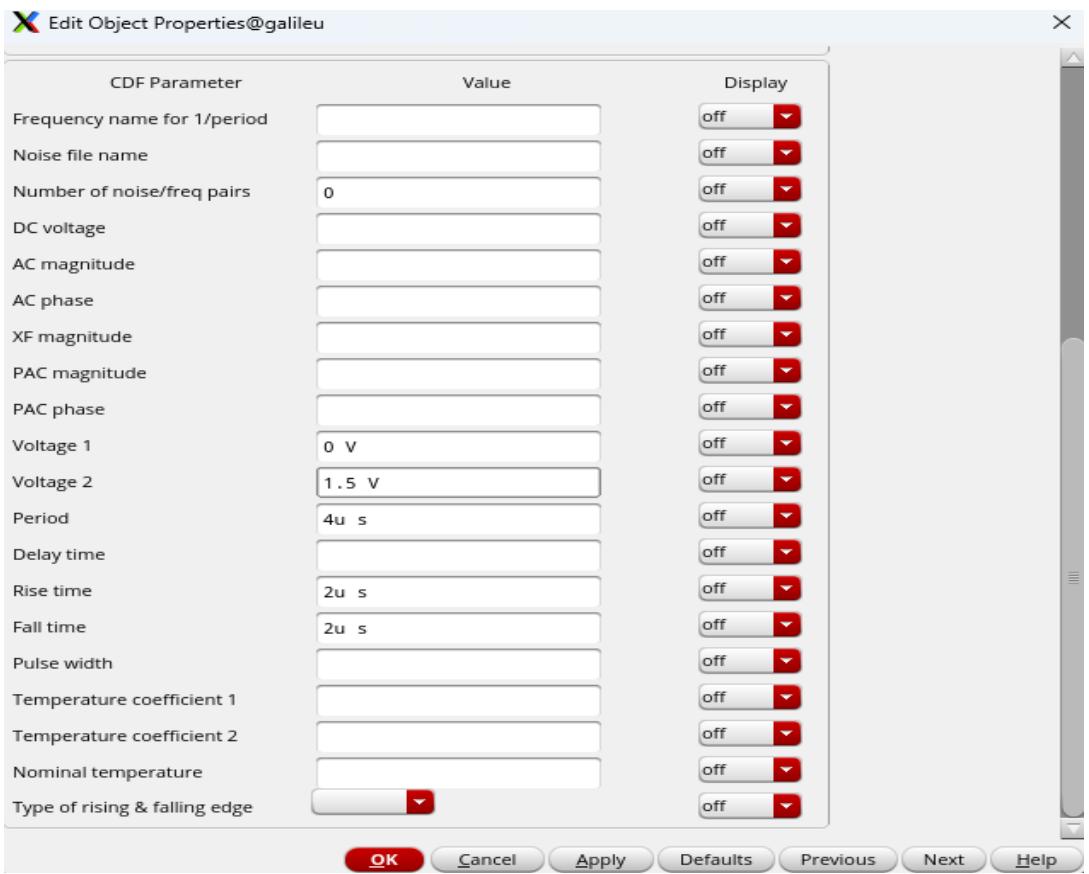


Figura 24: propriedades da fonte de pulso triangular.

- Desse modo, assim ficou a simulação do comparador NMOS redimensionado, para cada valor de tensão de referência definida no item 3.1:

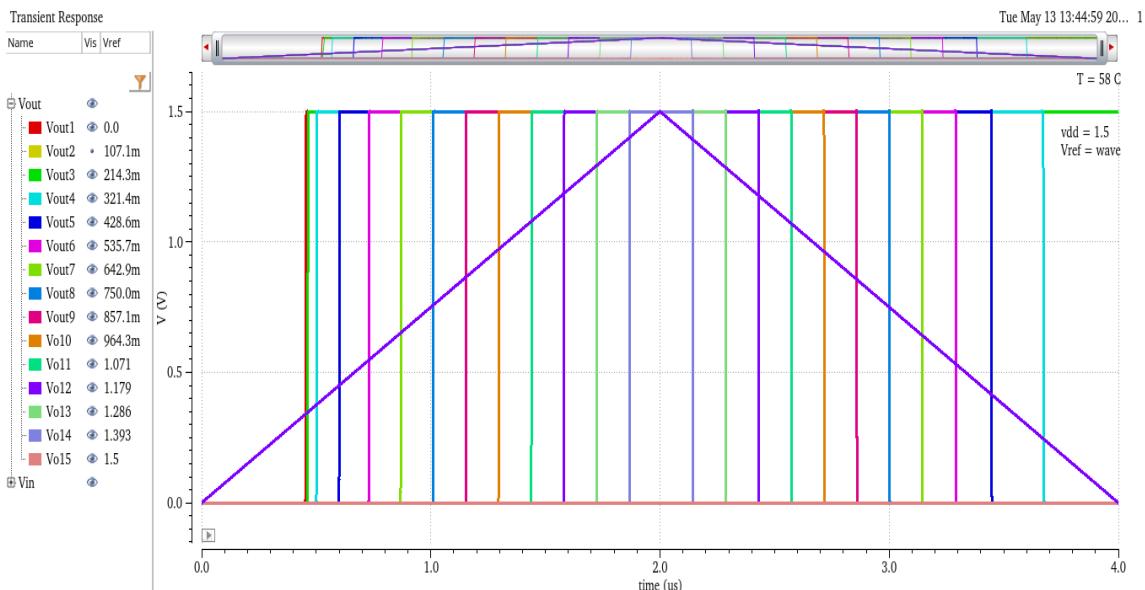


Figura 25: gráfico da simulação transitória de Vout (diversas formas retangulares, de acordo com as tensões de referência) e Vin (forma triangular).

- De acordo com a figura, infere-se que o comparador NMOS é mais adequado para tensões de referência altas, e mais impreciso para baixas. Nos níveis de tensão iniciais, é demonstrada sua inconsistência ao operar nessa região, fazendo com que seu uso em tais aplicações não seja recomendável. Em contrapartida, seu melhor funcionamento está em **Vref = 750 mV**, a tensão em que ele fora previamente projetado. Dessa forma, as situações abordadas são justificadas pela corrente fornecida pelo espelho NMOS, que é minimizada quando **Vref** também é.

Comparador PMOS:

- Na imagem abaixo está representado o esquemático utilizado para o comparador PMOS redimensionado, aplicando na entrada um sinal triangular de 250 kHz entre 0 e Vdd, e polarizando com o espelho e resistor, conforme feito no item 4.2:

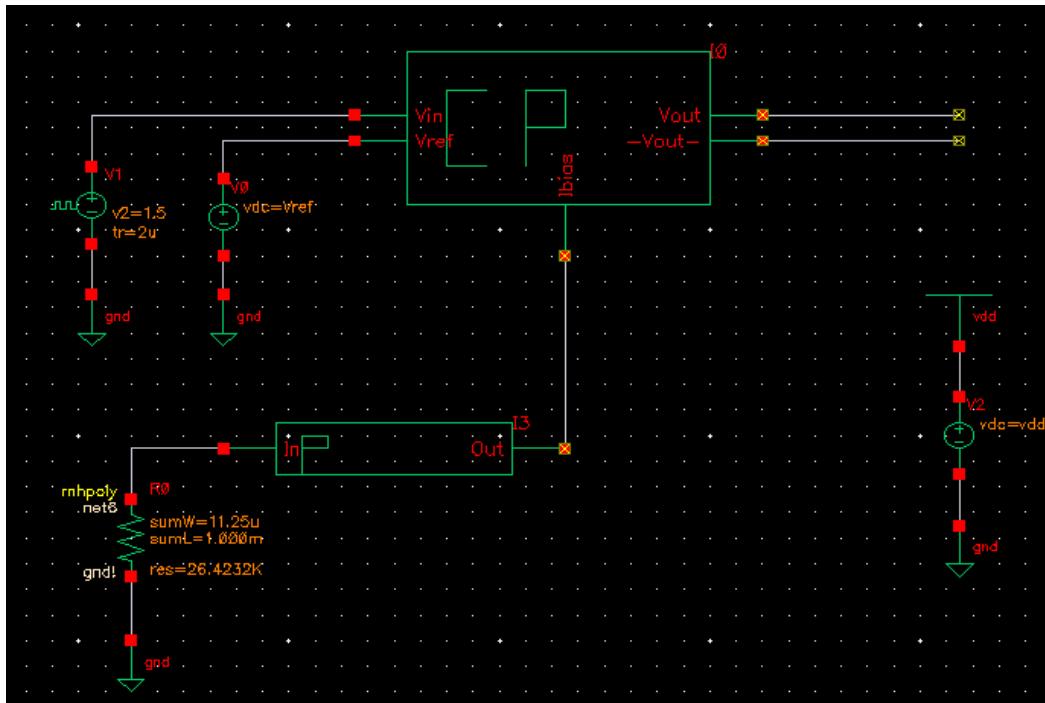


Figura 26: esquemático para simulação com o comparador PMOS.

- De acordo com explicação prévia, segue a janela de propriedades da fonte de pulso triangular:

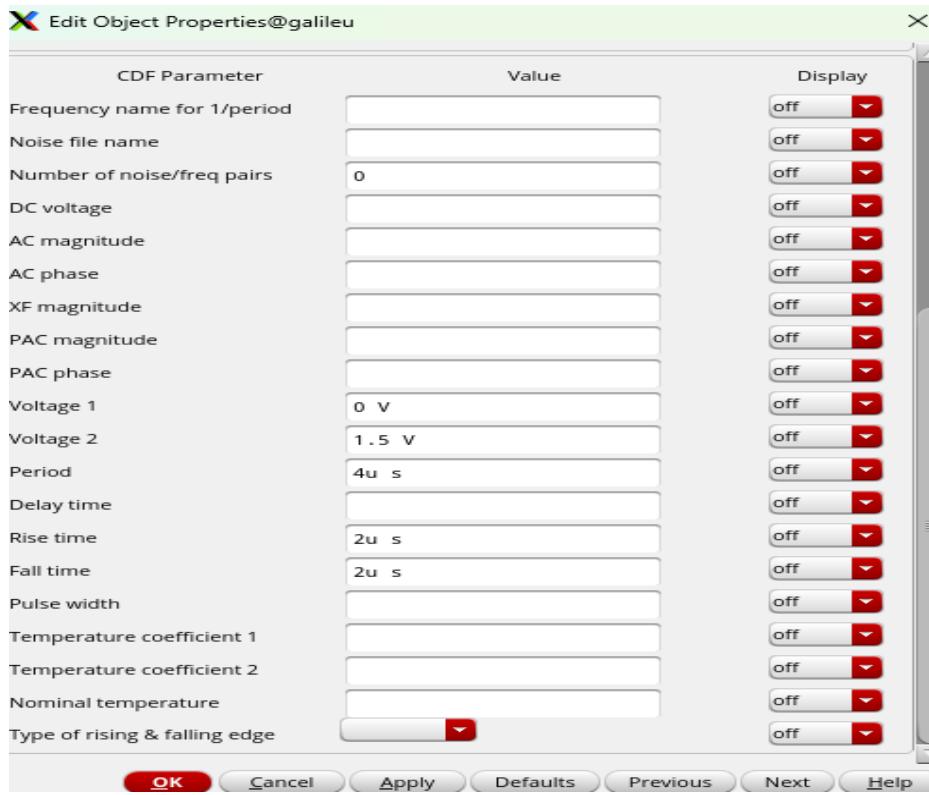


Figura 27: propriedades da fonte de pulso triangular.

- Desse modo, assim ficou a simulação do comparador PMOS redimensionado, para cada valor de tensão de referência definida no item 3.2:

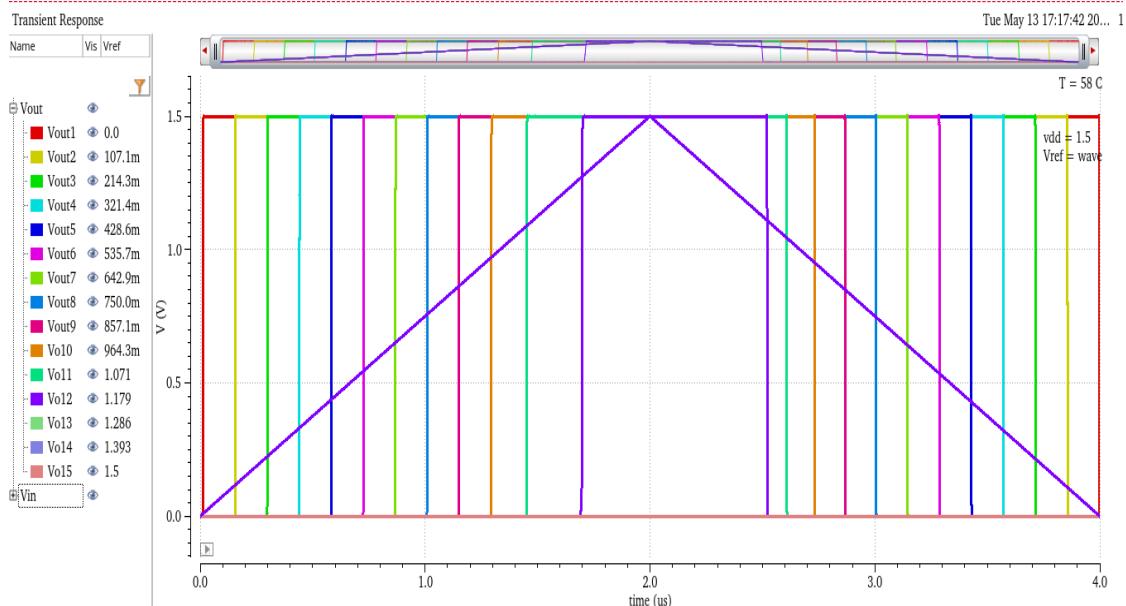


Figura 28: gráfico da simulação transitória de Vout (diversas formas retangulares, de acordo com as tensões de referência) e Vin (forma triangular).

Comparação entre os dois:

• Diferentemente do comparador NMOS, a simulação transiente do comparador PMOS revela um desempenho satisfatório apenas para valores baixos da tensão de referência. Porém, à medida que ela aumenta, o circuito perde precisão e a comparação deixa de ocorrer de forma correta. O ponto de operação ideal ocorre quando **Vref = 750 mV**; valor para o qual o comparador foi ajustado. Esse comportamento está diretamente relacionado à corrente de polarização: quando a tensão de referência é baixa, a corrente se aproxima de 30 μ A, como esperado no cenário previsto em 4.2. No entanto, quando ela é elevada, a corrente gerada pelo espelho de corrente se reduz significativamente, comprometendo a operação do comparador. Portanto, de acordo com as análises de ambos os gráficos, determina-se que o comparador PMOS é mais adequado para os 7 primeiros níveis de referência, enquanto o NMOS é para os 8 últimos.

b) Esquemático e símbolo

Esquemático:

- Foi criado o esquemático interno do símbolo do comparador global contendo as 7 células do CPMOS e as 8 do CNMOS (de acordo com o item a)), apresentando as entradas **Vin**, **Vref(1-15)** e **Ibias(1-15)**, e saídas **T(1-15)** e **-T(1-15)**:

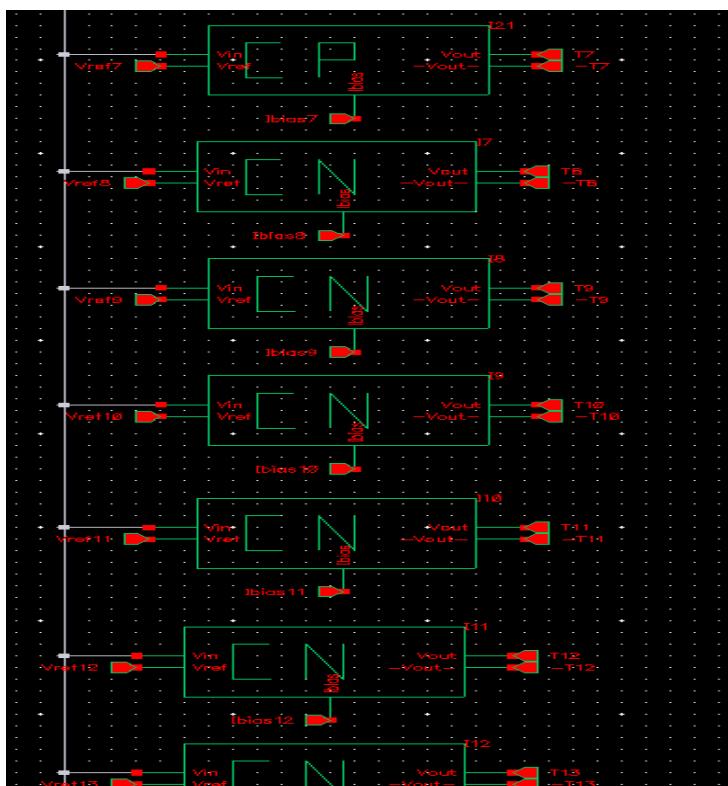


Figura 29-1: esquemático comparador global (1/3; zoomed in).

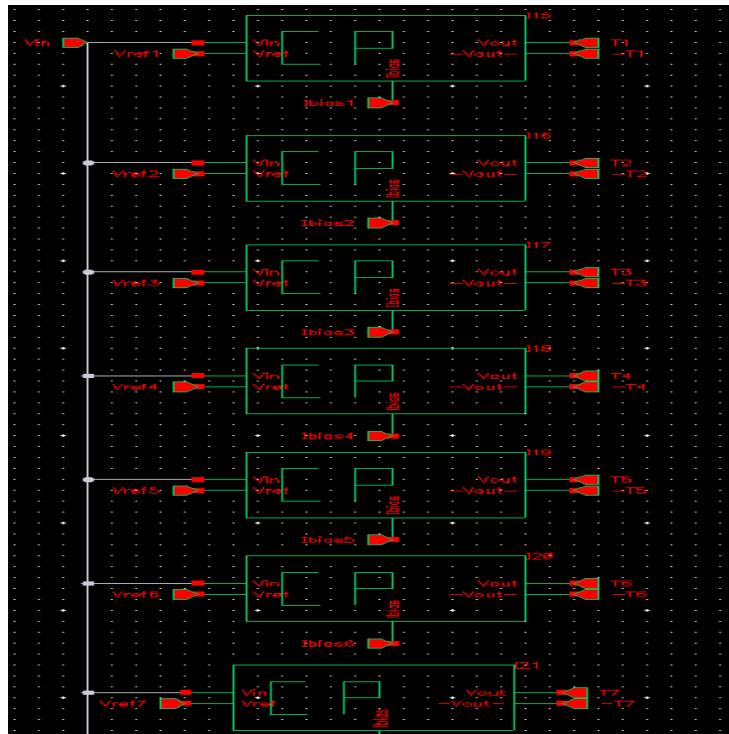


Figura 29-2: esquemático comparador global (2/3; zoomed-in).

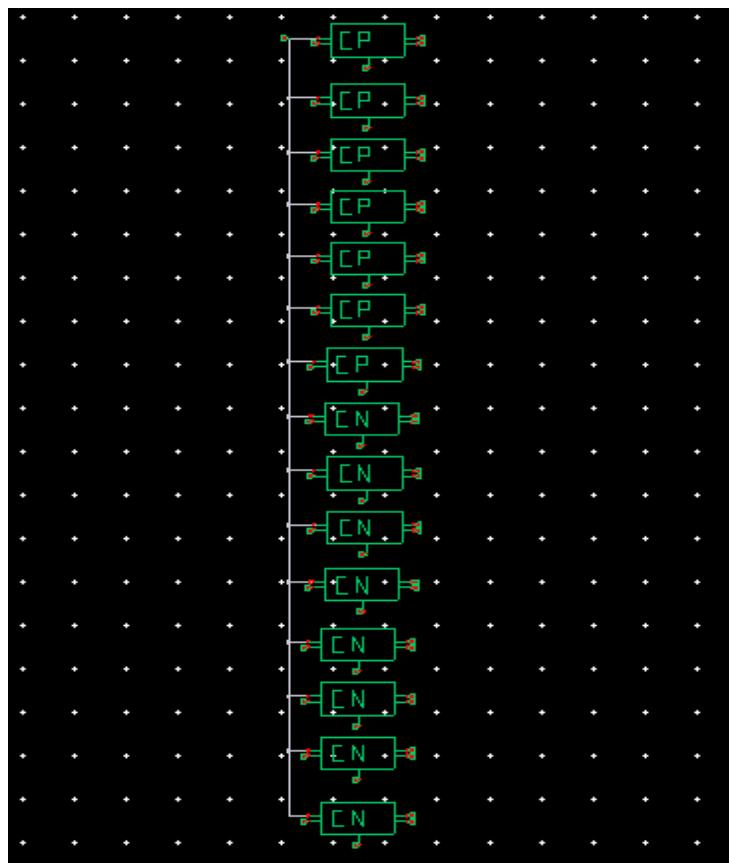


Figura 29-3: esquemático comparador global (3/3; zoomed-out).

Símbolo:

- Desse modo, assim ficou o símbolo por completo do comparador global:



Figura 30: símbolo do comparador global.

c) Esquemático, símbolo e simulação

Esquemático:

- Foi confeccionado o circuito interno do símbolo do bloco de referências de corrente, de forma a gerar uma corrente de entrada de $30 \mu\text{A}$ usando um resistor rnhpoly conectado a Vdd (como no exercício 2.3), e também as correntes de polarização de cada um dos comparadores do circuito:

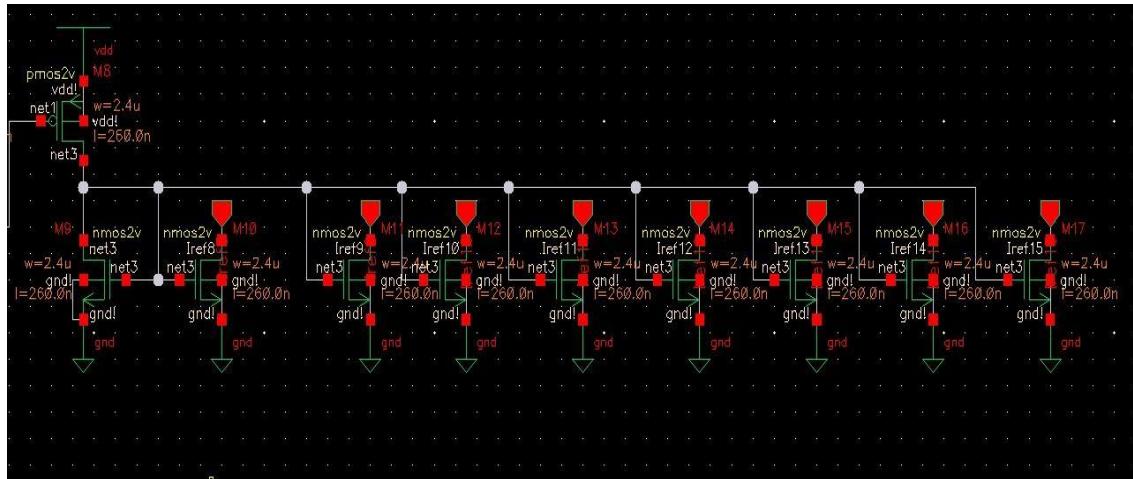


Figura 31-1: esquemático do bloco de referências de corrente (1/3; zoomed-in).

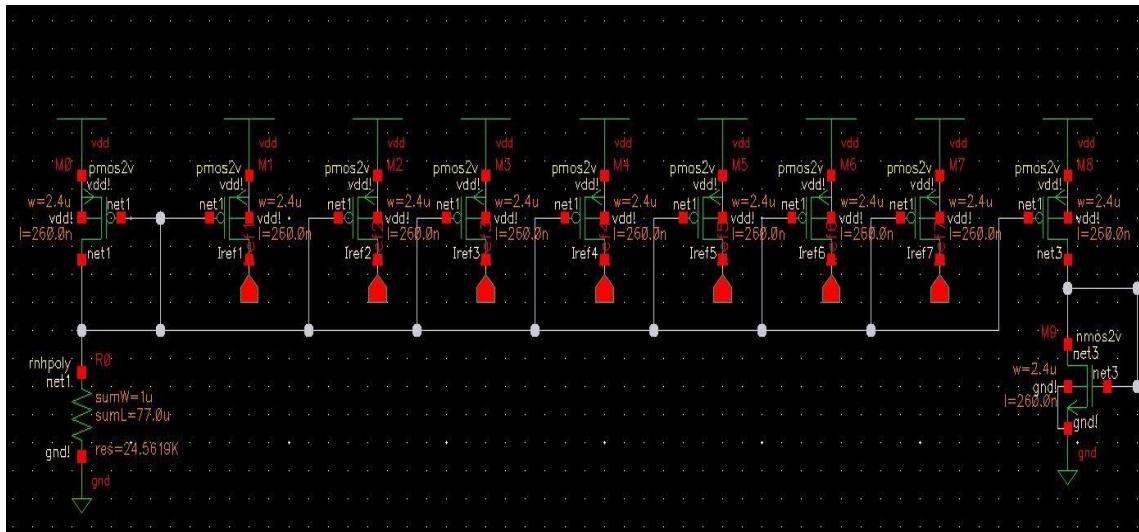


Figura 31-2: esquemático do bloco de referências de corrente (2/3; zoomed-in).

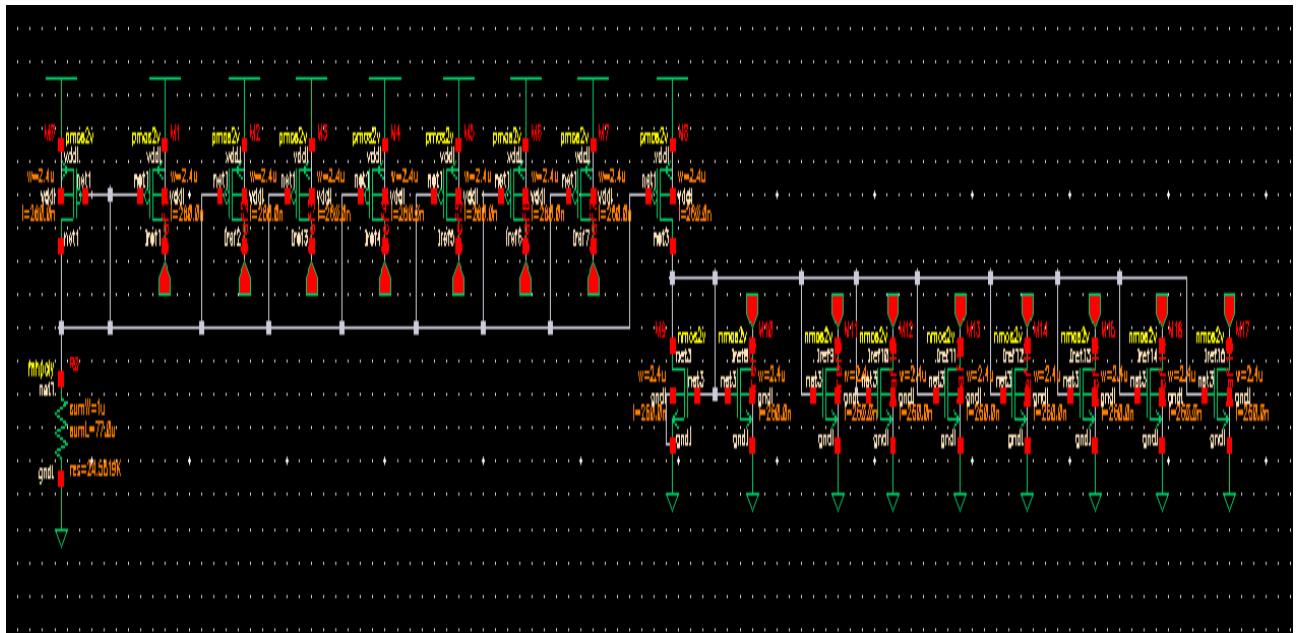


Figura 31-3: esquemático do bloco de referências de corrente (3/3; zoomed-out).

Símbolo:

- Além disso, seu símbolo com os pinos das referências de corrente ficou desta maneira:



Figura 32: símbolo do bloco de referências de corrente.

Simulação:

- Por fim, foi realizada uma simulação do bloco variando a tensão de entrada de 0 a Vdd:

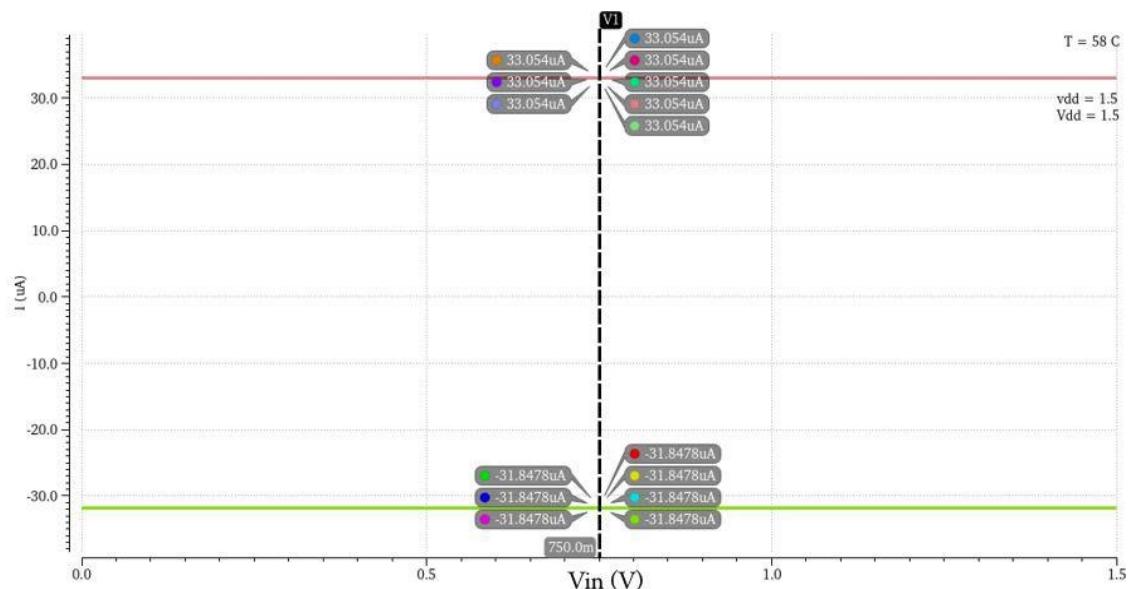


Figura 33: gráfico da simulação das correntes em função de Vin .

- Nota-se que quando a tensão de entrada atinge $Vdd/2$ a corrente dos transistores fica próxima de $30 \mu A$, o que é condizente com as dimensões, que são congruentes às da **etapa 2** do projeto do ADC.

d) Esquemático e simulação

Esquemático:

- Foi projetado o circuito de teste do bloco comparador juntamente com as referências de tensão e de corrente, aplicando uma fonte de tensão contínua à entrada:

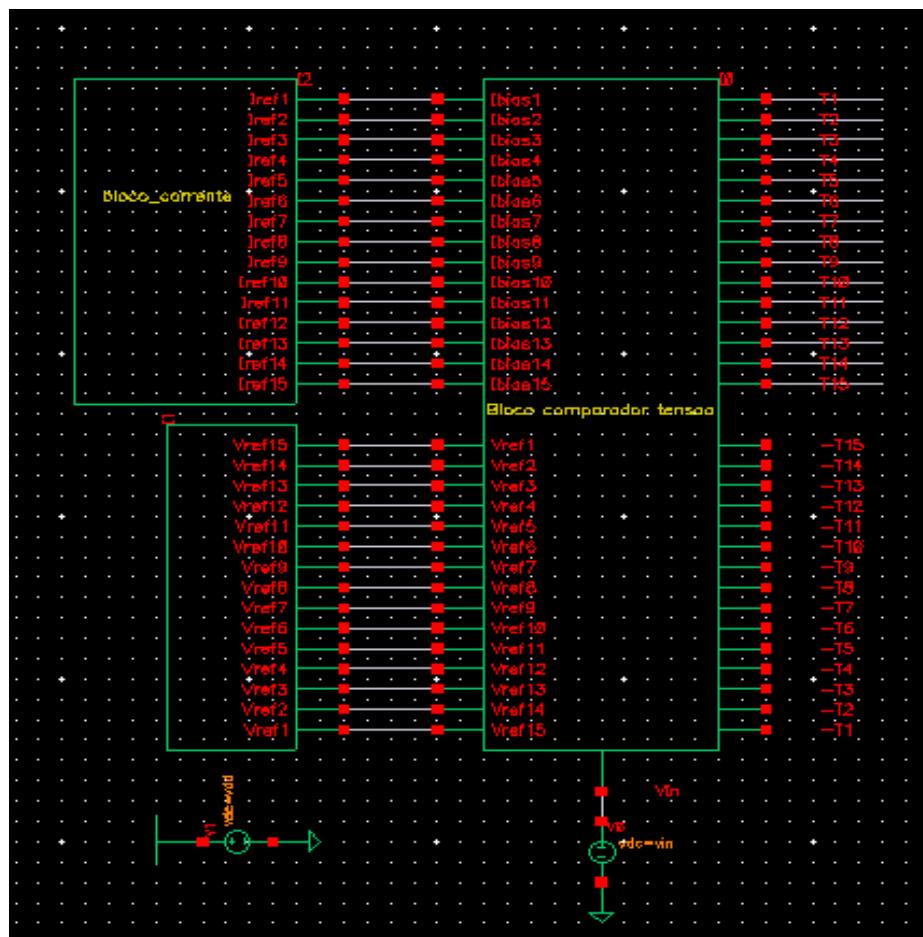


Figura 34: esquemático de teste do bloco comparador.

Simulação:

- Em seguida, foi traçado o gráfico das tensões de saída **T(1-15)** em função da tensão de entrada para valores contínuos de entrada entre 0 e Vdd em passos de 1 mV:

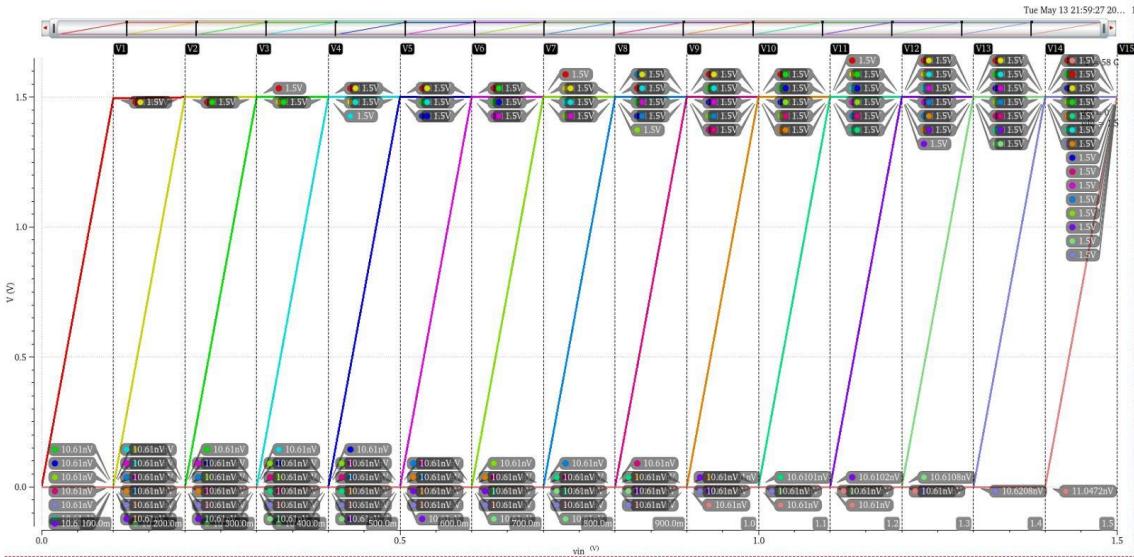


Figura 35: gráfico das tensões de saída por V_{in} (cada cor diferente é uma tensão de saída diferente 1-15).

- Por inspeção do gráfico, o bloco comparador é capaz de operar eficientemente em toda a faixa determinada pelas tensões de referência, desde os valores mais baixos até os mais altos. Isso se deve à escolha estratégica dos comparadores: para os níveis inferiores, foram empregados comparadores PMOS, que apresentam melhor desempenho nessa região; já para os níveis superiores, utilizaram-se comparadores NMOS, mais indicados para tensões de referência elevadas.

e) Esquemático e simulação

Esquemático:

- Foi projetado o circuito de teste do bloco comparador juntamente com as referências de tensão e de corrente, aplicando uma fonte de tensão triangular de 250 kHz entre 0 a Vdd na entrada:

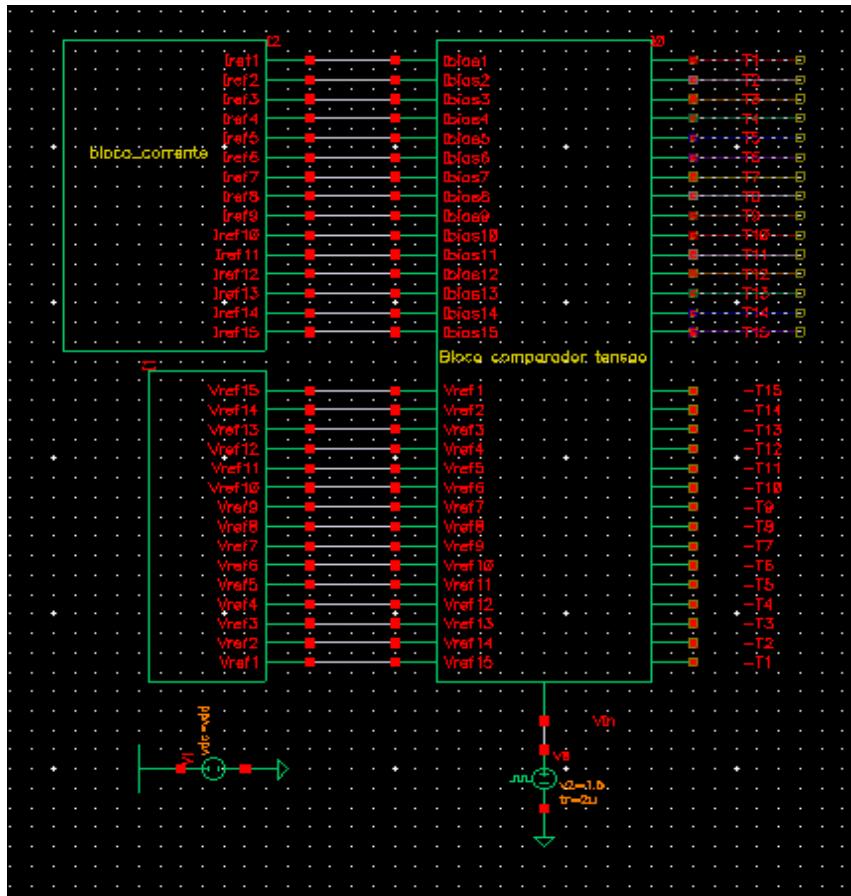


Figura 36: esquemático de teste do bloco comparador.

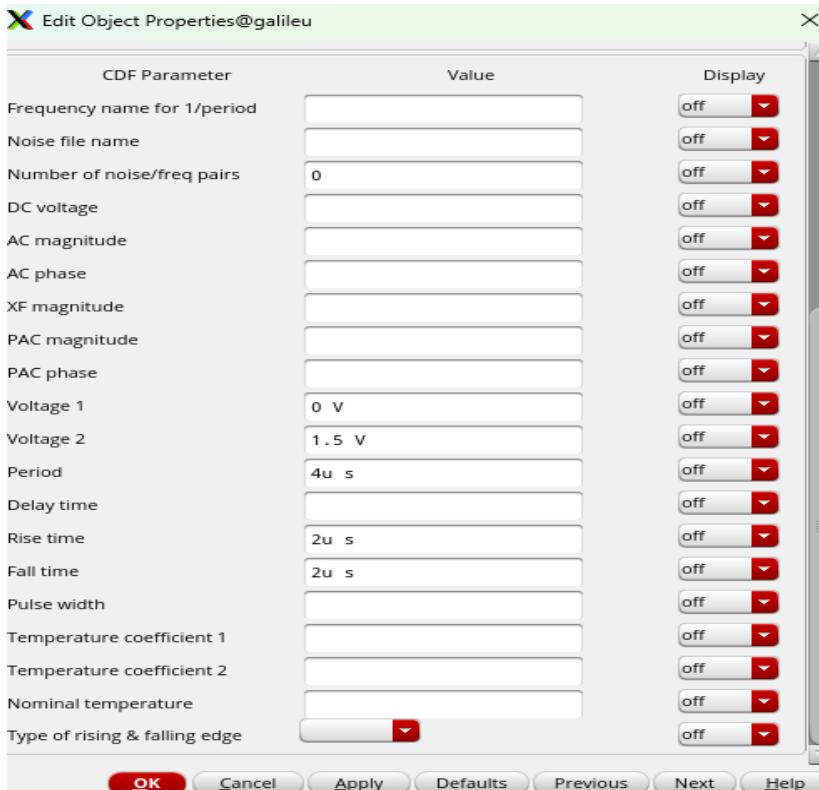


Figura 37: propriedades da fonte de pulso triangular.

Simulação:

- Então, foi traçado o gráfico das tensões de saída **T(1-15)** por meio período da entrada:

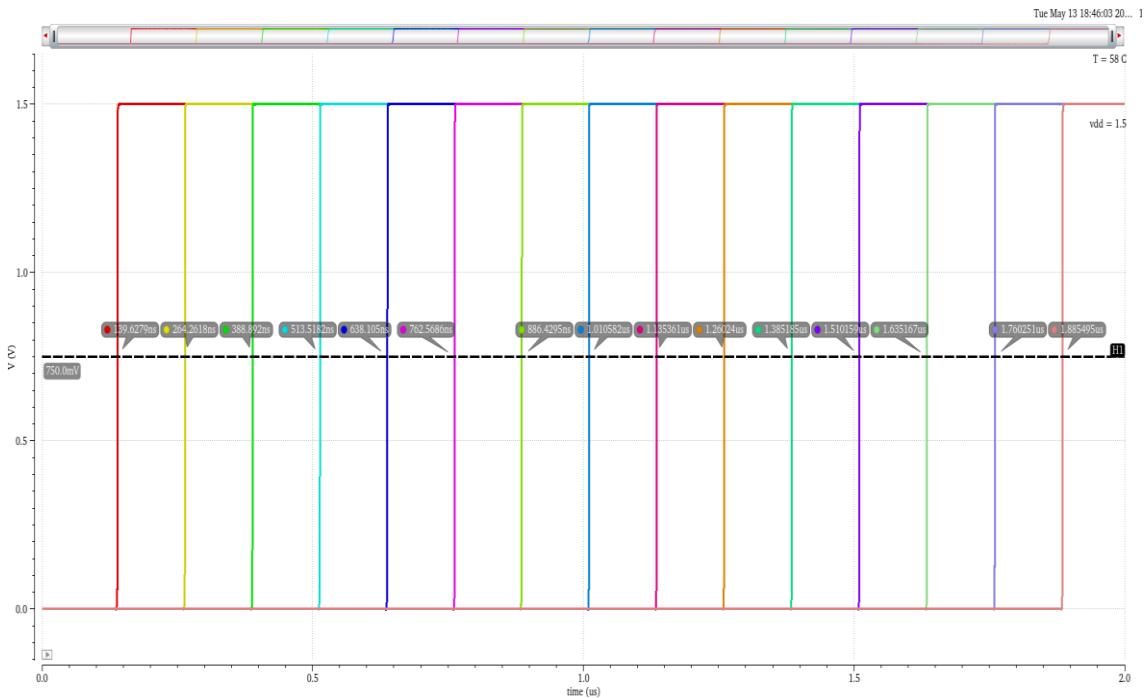


Figura 38: gráfico da simulação das tensões de saída para meio período da entrada (cada cor diferente é uma tensão de saída diferente de 1-15).

- Observando os pontos destacados de **V_{in}**, é possível identificar os valores de entrada correspondentes às transições de nível lógico em **V_{out}**. Tal fenômeno ocorre, como esperado, em torno dos valores definidos pelo bloco de referências de tensão. Desse modo, confirmando o funcionamento do circuito, já que a comutação da saída acontece justamente quando **V_{in}** se iguala a cada **V_{out}**, como é ilustrado pelo gráfico.

Conclusão:

- O desenvolvimento do projeto de comparadores NMOS, PMOS e do bloco ADC flash foi realizado de maneira completa e rigorosa, abrangendo desde a criação dos esquemáticos até a análise detalhada das simulações transientes e em regime permanente. As escolhas arquiteturais, como a combinação de comparadores PMOS para níveis baixos de referência e NMOS para níveis altos,

foram validadas experimentalmente, garantindo cobertura funcional em toda a faixa de entrada. As correntes de polarização foram mantidas próximas de 30 µA, assegurando coerência entre os blocos e estabilidade no funcionamento dos comparadores. A estruturação do relatório seguiu as exigências metodológicas do curso, com registros organizados, imagens identificadas, e interpretações técnicas alinhadas aos resultados obtidos. Dessa forma, o circuito proposto atende plenamente aos requisitos de desempenho, operação e documentação exigidos para esta etapa do projeto.