

# 计算机设计与实践

## 单周期CPU设计(EX、MEM、WB)

2023·夏

哈工大



HITSZ 实验与创新实践教育中心  
Education Center of Experiments and Innovations, HIT

# 实验目的

- ◆ 通过模块化设计方式，加深对CPU结构和工作原理的理解
- ◆ 掌握根据数据通路表和控制信号取值表来实现*执行*、*访存*和*写回*

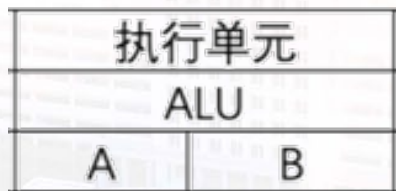
单元的方法

- ◆ 熟练掌握使用Verilog HDL实现CPU的功能部件



# 实验内容

- ◆ 使用Verilog HDL实现单周期CPU的执行单元:
  - ◆ 根据数据通路表和控制信号取值表，确定执行单元的接口
  - ◆ 实现所需的功能部件（如ALU, etc.）



- ◆ 根据数据通路表，连接各个部件，形成执行单元



# 实验内容

- ◆ 使用Verilog HDL实现单周期CPU的访存单元：
  - ◆ 根据数据通路表和控制信号取值表，确定访存单元的接口
  - ◆ 实现所需的功能部件（如DRAM， etc.）



- ◆ 根据数据通路表，连接各个部件，形成访存单元
- ◆ 使用Verilog HDL实现单周期CPU的写回逻辑



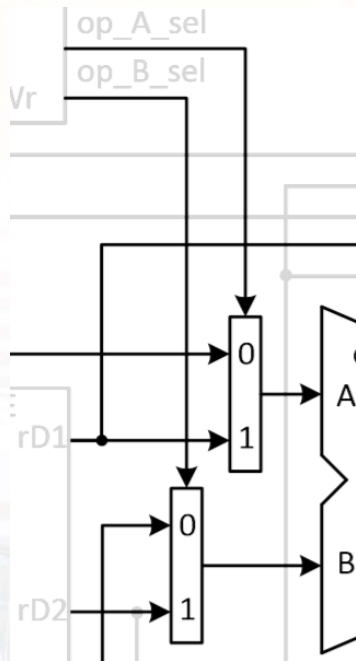
# 执行单元实现 – 关键点

## ◆ 选择运算数据

- ◆ **要点：** 根据控制器的操作数选择信号，选择不同的源操作数：

```
input [31:0] rd_dat1_i; // (rs1)
input [31:0] rd_dat2_i; // (rs2)
input [31:0] npc_i;     // Next PC
input [31:0] imm_i;     // 扩展后的立即数
```

```
assign op_A = op_A_sel ? npc_i : rd_dat1_i;
assign op_B = op_B_sel ? imm_i : rd_dat2_i;
```



# 执行单元实现 – 关键点

- ◆ 选择运算数据
- ◆ 完成算术、逻辑、移位运算
  - ◆ **要点：**调用设计好的ALU模块；用控制器的op信号选择运算功能
- ◆ 完成比较运算的PC值计算
  - ◆ **要点：**B型、J型指令的立即数在符号扩展后，需要加上PC的值
- ◆ 运算结果输出（含比较后赋值）
  - ◆ **要点：**根据控制器的ALUCtrl等控制信号，输出相应的运算结果
- ◆ 基本思路：先实现所需部件，再根据数据通路表连接起来



# 构建功能部件 – ALU

## ◆ ALU的功能:

### ◆ 算术运算 (add、sub)

✓ 加法器、补码逻辑

### ◆ 逻辑运算 (and、or、etc)

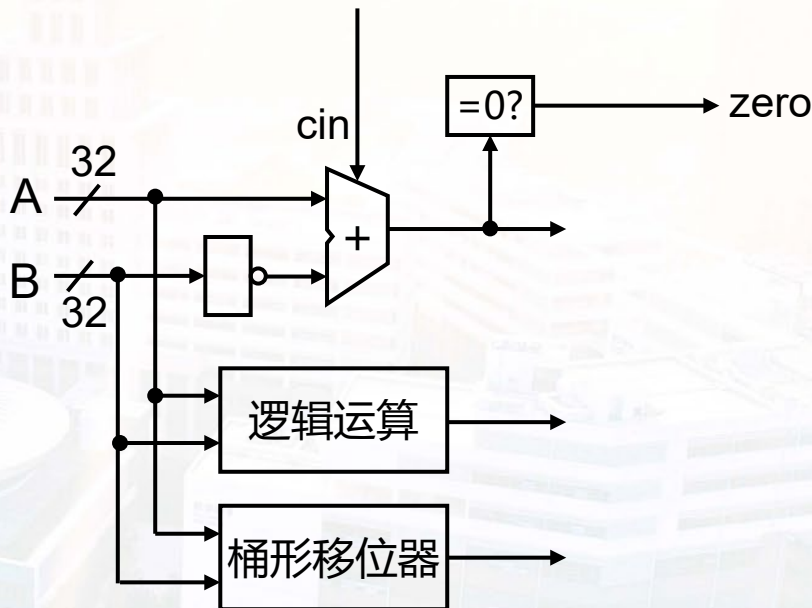
✓ 按位操作

### ◆ 移位运算 (sll、srl、etc)

✓ 桶形移位器

### ◆ 比较运算 (slt、sltu、etc)

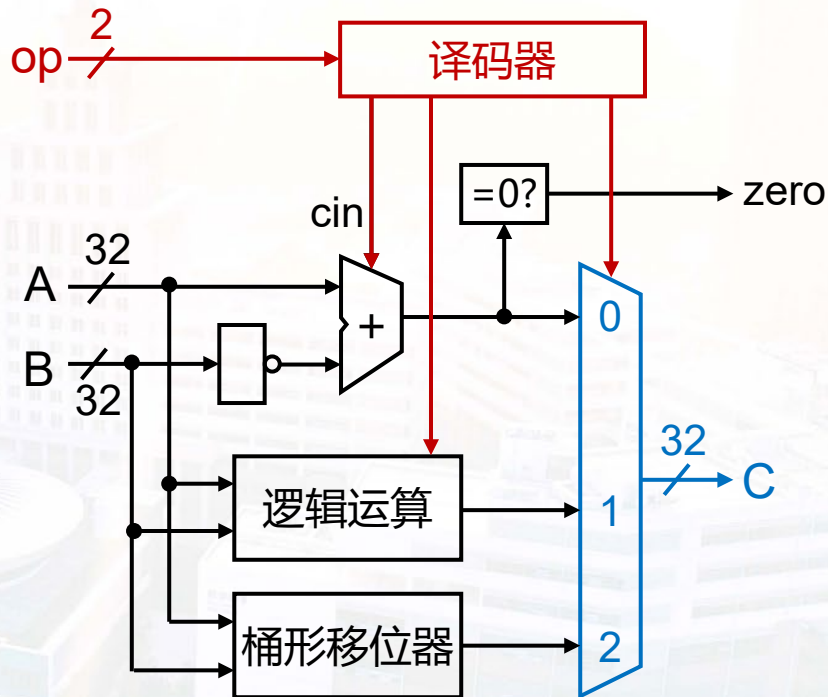
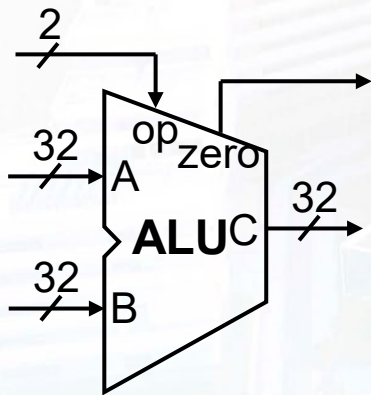
✓ 复用sub, 判断标志位





# 构建功能部件 – ALU

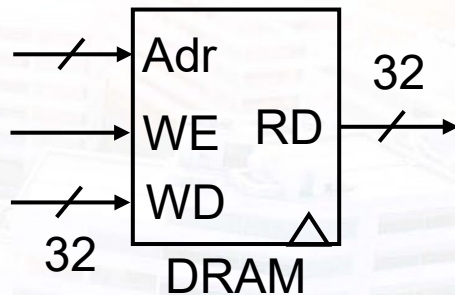
- ◆ 集成各项功能：
  - ◆ 多路选择器选择ALU输出
  - ◆ 译码器选择具体运算





# 构建功能部件 – DRAM

- ◆ DRAM是一个按地址访问的存储器，可读可写
  - ◆ 读操作：输入地址，输出数据
  - ◆ 写操作：输入地址、数据，受写使能信号WE控制
- ◆ DRAM的读写逻辑：
  - ◆  $WE=0$ :  $RD \leftarrow DRAM[Adr]$
  - ◆  $WE=1$ :  $DRAM[Adr] \leftarrow WD$



# 实验步骤

---

- ① 根据数据通路表，确定执行、访存单元**包含哪些部件**
- ② 根据数据通路表，确定各功能部件的**接口**和需要实现的**功能**
- ③ 在模板工程上，使用Verilog HDL实现各功能部件
- ④ 根据数据通路表，将各功能**部件连接**起来
- ⑤ **封装**成模块，得到执行单元和访存单元
- ⑥ 根据数据通路表，连接相应的信号，实现写回逻辑



# 课堂检查

- ◆ 将自己设计的ALU和执行单元画出来，包括：
  - ◆ 执行单元与其他单元 (取指、译码, etc.) 的交互信号
  - ◆ ALU内部子模块及模块之间的连接

所画的图要和数据通路表对应！





HITSZ 实验与创新实践教育中心  
Education Center of Experiments and Innovations, HITSZ