

# 实验 5 报告

学号：2017K8009922027

姓名：张磊

箱子号：39

## 一、实验任务（10%）

任务：在实验 4 的 CPU 代码基础上，加入适当的数据前递通路来减少阻塞，运行 func\_lab4，要求成功通过仿真和上板验证，并且仿真运行时间较 lab4 的结果有下降；

## 二、实验设计（40%）

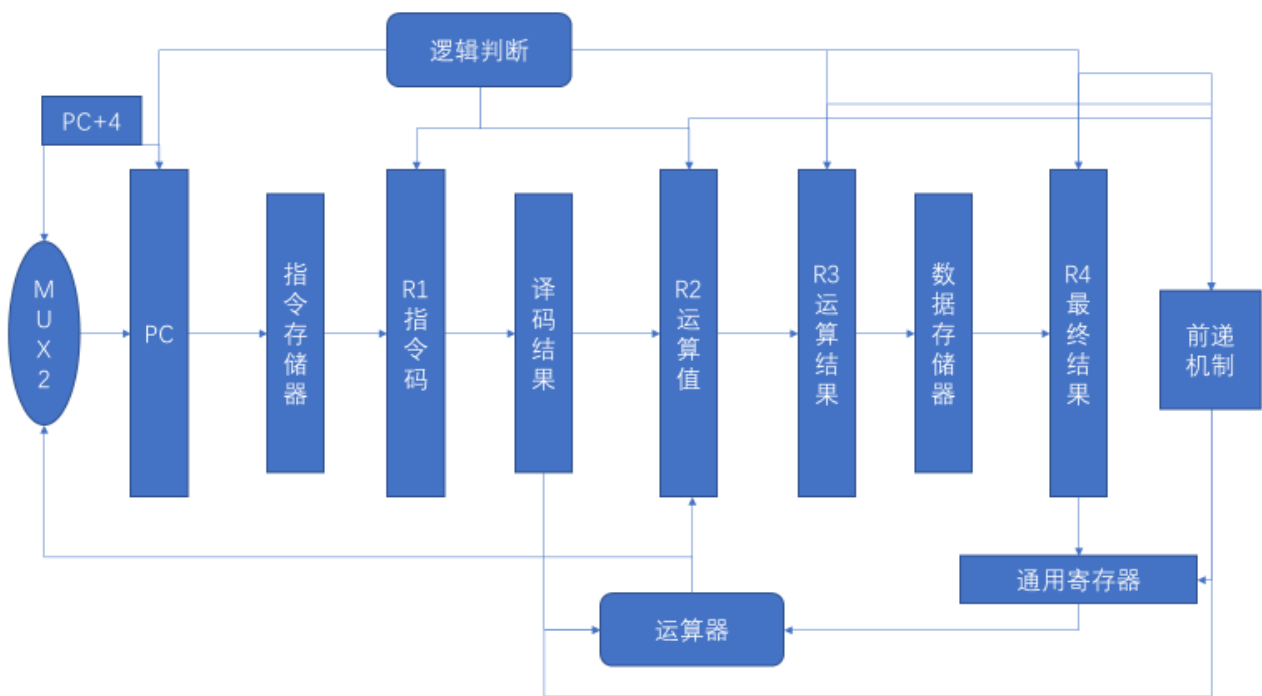
### （一）总体设计思路

1. 保留 lab4 实验设计中的从 ES，MS，WS 阶段返回到 DS 阶段的寄存器号数据通路，继续用于 lab5 中比较流水线数据相关造成的冲突；
2. 在 1 的基础上，再次添加从 ES，MS，WS 阶段返回 DS 阶段的寄存器写数据，如果发生数据相关，则直接用返回 DS 阶段的数据替换 DS 阶段的寄存器读数据；
3. 在 2 的基础上，通过区分不同的指令来判断当前流水级是否需要阻塞，在当前实验中，特殊的指令只有一种情况：

LW 指令之后紧跟需要读取 LW 加载数据的指令

对于这一类型的指令，通过在 ES 级添加返回 DS 级的指令有效信号来区分，若当前位于 ES 阶段的指令为 LW 指令，且位于 DS 阶段的指令需要读取 LW 加载的寄存器，则阻塞当前的 DS 级的指令，这时的流水线减少了阻塞，还加快了数据的传输；

### （二）设计图



### 三、实验过程（50%）

#### （一）实验流水账

1. 2019 年 9 月 27 日 13:30-14:40 完成了流水线前递实验；

#### （二）重要模块 1 设计：写寄存器号返回模块；

这里仅以 WS 阶段为例（ES，MS 阶段相同）；

```

module wb_stage(
    input                clk          ,
    input                reset        ,
    //allowin
    output               ws_allowin   ,
    //from ms
    input               ms_to_ws_valid,
    input  [`MS_TO_WS_BUS_WD -1:0] ms_to_ws_bus ,
    //to rf: for write back
    output  [`WS_TO_RF_BUS_WD -1:0] ws_to_rf_bus ,
    //trace debug interface
    output [31:0] debug_wb_pc      ,
    output [ 3:0] debug_wb_rf_wen ,
    output [ 4:0] debug_wb_rf_wnum,
    output [31:0] debug_wb_rf_wdata,

    //pipeline block
    output [4:0] reg_dest_ws,
    output [31:0] ws_value
);

```

## 1、工作原理

先判断当前流水级信号是否有效（ws\_valid），若无效，直接返回 5'b0，否则根据该条指令是否需要写寄存器（ws\_gr\_we，若 ws\_gr\_we == 1 则说明需要写寄存器，返回 ws\_dest），否则返回 5'b0；

Ws\_value 即为需要传回 DS 阶段的写寄存器数据，也就是 rf\_wdata；

## 2、功能描述

将 ES，MS，WS 阶段的写寄存器号以及寄存器写数据返回 ID 阶段；

## （三）重要模块 2 设计：ID 阶段判断是否阻塞模块

阻塞方法最关键的一步就在于 ID 阶段的 ready\_go 信号；

### 1、工作原理

对 ready\_go 信号进行修改：

```

assign ds_ready_go = !(es_lw_valid && ( (rs == reg_dest_es || rs == reg_dest_ms || rs == reg_dest_ws) ||
    (rt == reg_dest_es || rt == reg_dest_ms || rt == reg_dest_ws) ));

```

### 2、功能描述

在当前实验中，ds\_ready\_go 需要置为 0 的只有一种情况：LW 指令之后紧跟需要读取 LW 加载数据的指令；

对于这一类型的指令，我们用 es\_lw\_valid 信号来表示处于 ES 阶段的 lw 指令是否有效且 DS 阶段的指令是否需要读 LW 指令的数据；

## 四、实验总结（可选）

- 
1. 本次实验设计相较于 lab4 的时候增加前递数据的通路，将阻塞概率降到了最低，且加快了寄存器写数据的传递，因此大大加快了流水线的工作效率；

国科大B62009H计算机体系结构研讨课17-18秋季