

Lab01: FPGA 基础实验

Targeting on Digilent Anvyl

Lab 01: FPGA 基础实验

实验简介

本实验旨在使读者学会用 **FPGA** 进行简单的输入输出控制。

实验目标

在完成本实验后，您将学会：

- 掌握 Xilinx 逻辑设计工具 ISE 的设计流程
 - 掌握 UCF（用户约束文件）的用法和作用
 - 初步掌握使用 VerilogHDL 硬件描述语言进行简单的逻辑设计
 - 熟悉 Digilent Anvyl FPGA 开发板
-

实验过程

本实验旨在使读者掌握 Xilinx FPGA 的基本开发流程,通过拨码开关控制 LED 灯。在本实验中，利用 Verilog HDL 语言描述硬件逻辑,通过 ISE 工具综合实现,最后下载到 FPGA 上进行验证。

实验由以下步骤组成：

1. Verilog HDL 语言描述硬件逻辑
2. 编辑 UCF(用户约束文件)
3. 综合编译硬件设计
4. 下载验证

Verilog 描述硬件逻辑

Step 1

➡ 打开 ISE 工具进行数字逻辑设计。

➤ 打开 ISE 工具，新建工程(注：本实验使用 ISE 13.4)，注意路径中不能有中文和空格。

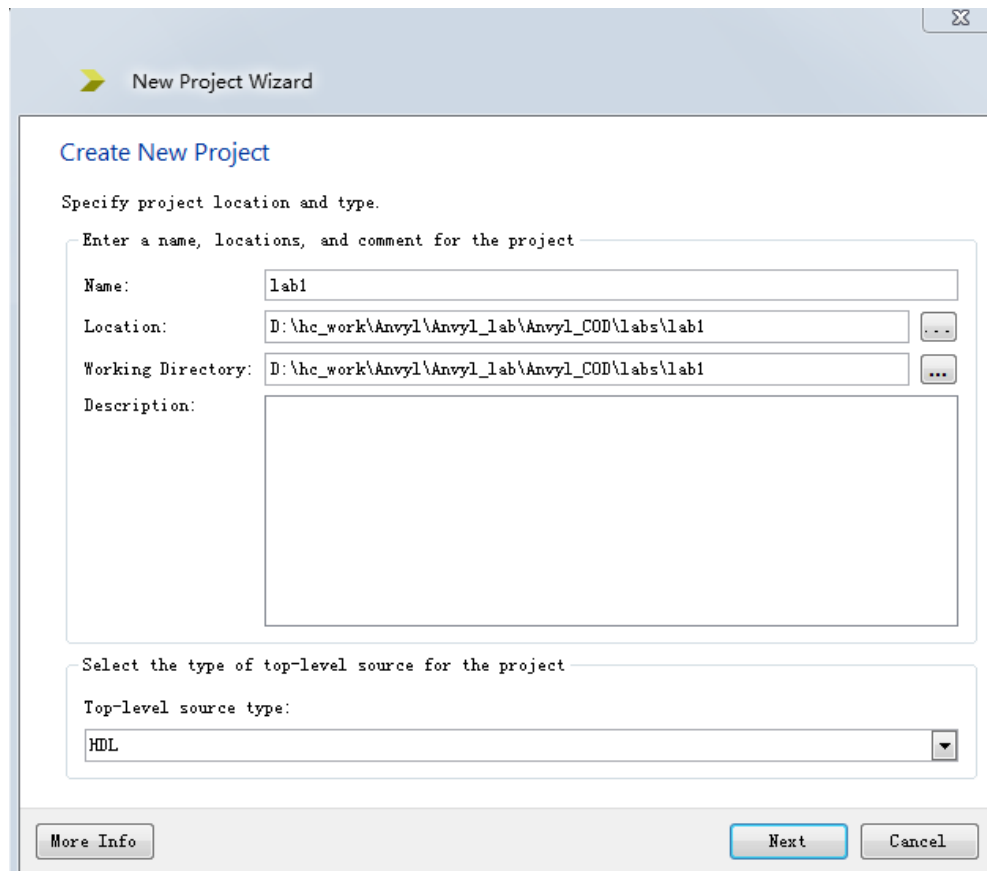


图 1. 创建新工程

➤ 选择 FPGA 型号、综合和仿真工具、推荐描述语言等配置

Family: Spartan6

Device: XC6SLX45

Package: CSG484

Speed: -3

Preferred Language: Verilog

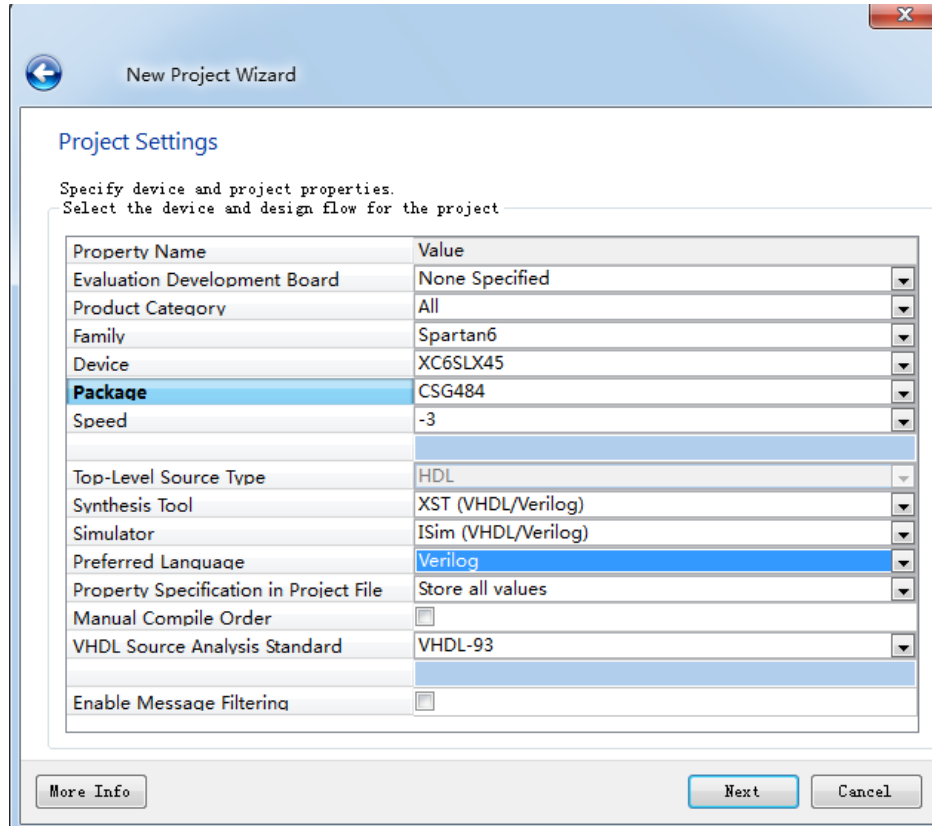


图 2. 新工程设置

➤ 新建 Verilog 模块文件

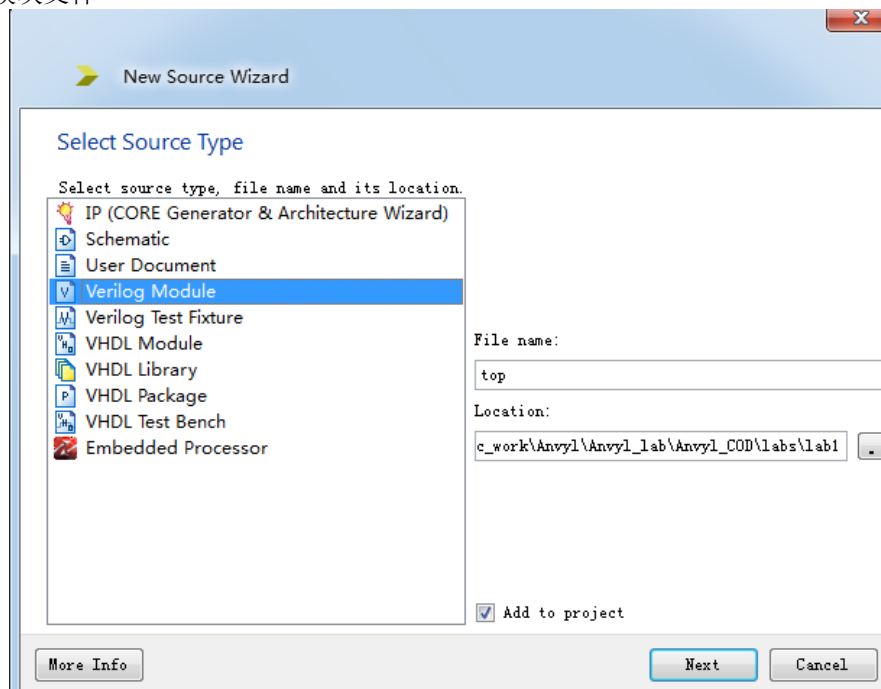


图 3.新建 Verilog 模块

- 定义 Verilog 模块的 I/O 端口 8 个 switch 作为输入，8 个 LED 作为输出。

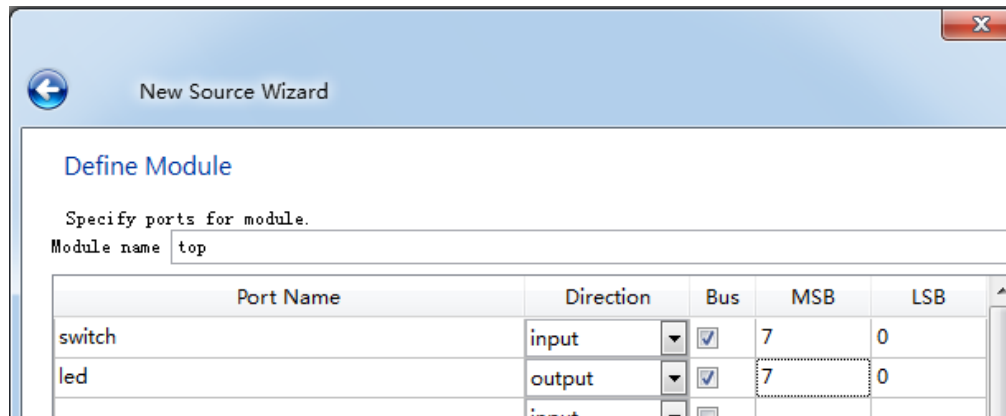


图 4.设置模块的 I/O 端口

- 编写 Verilog 代码，8 个 switch 输入端口赋值给 led 输出端口

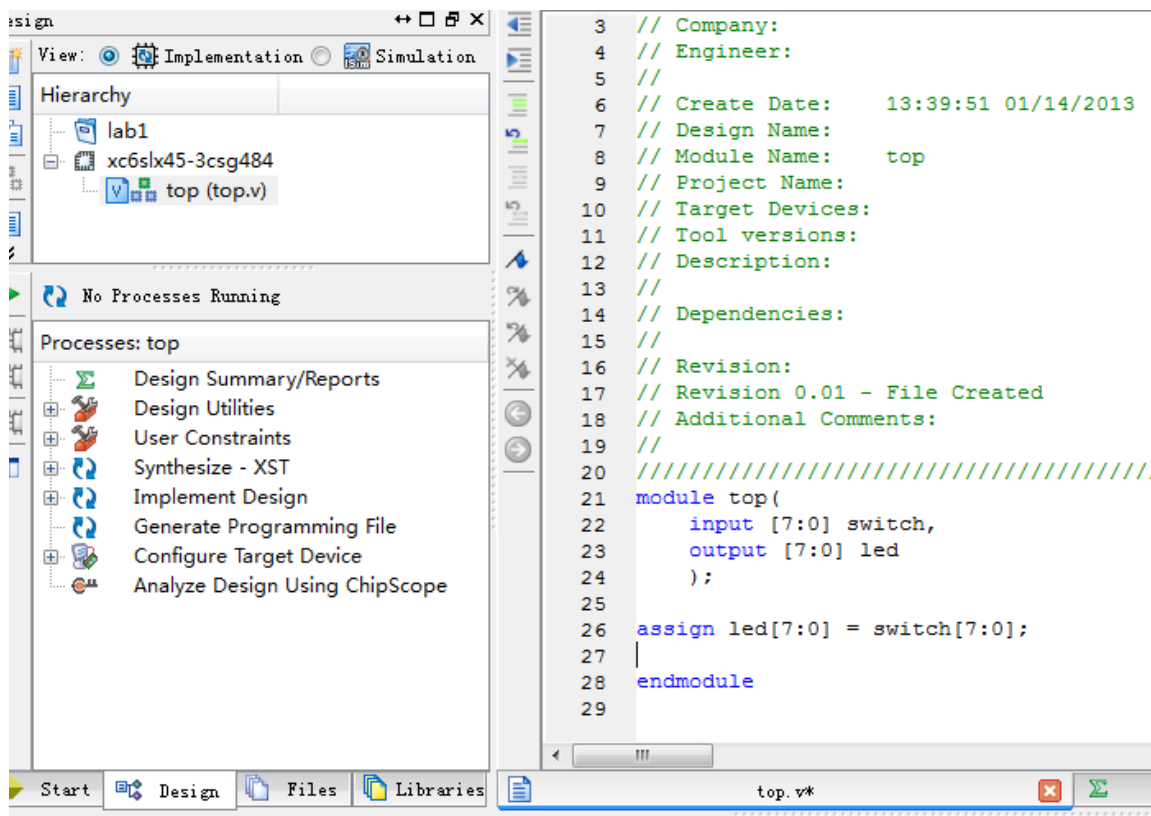


图 5.编写 Verilog 代码

- 添加 Testbench 仿真文件进行行为级仿真，由于本次实验设计简单，所以该步骤省略。

编辑 UCF 文件

Step 2



UCF 文件是用户约束文件的简称，通过编辑 UCF 文件可以对 FPGA 设计进行约束。内容可以涉及到时钟约束、群约束、逻辑管脚约束以及物理属性约束。

- 新建用户约束文件

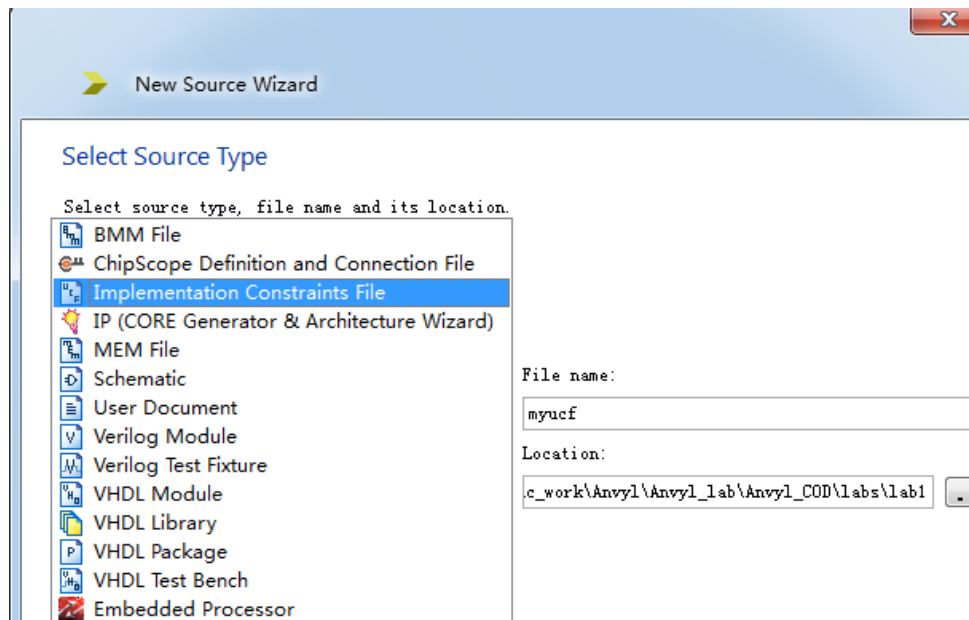


图 6.新建用户约束文件

- 定义 led 和 switch 的逻辑管脚和物理属性约束

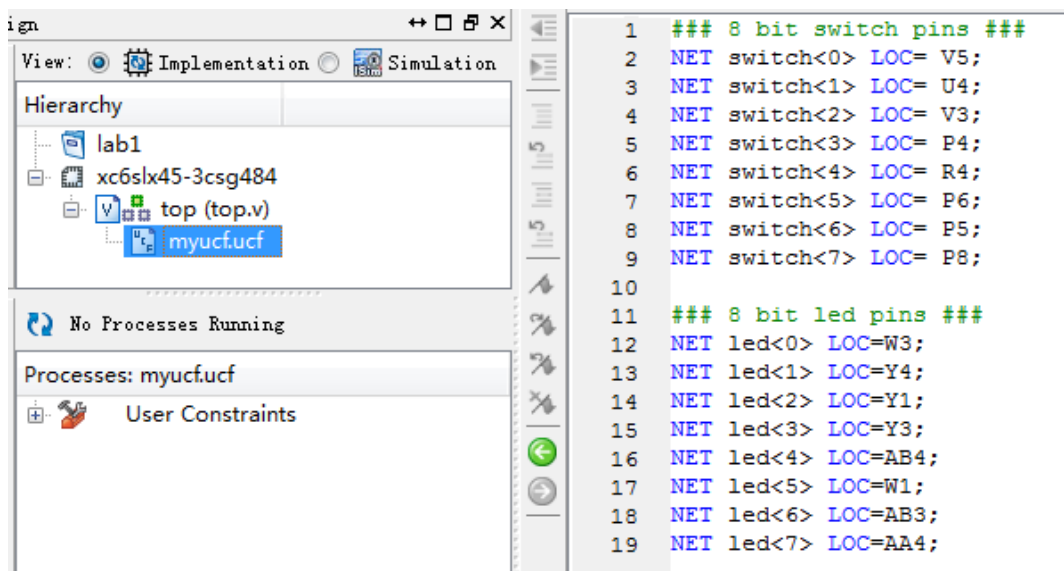


图 7.编辑 UCF 文件

综合编译硬件设计

Step 3



HDL 模块和 UCF 文件已经编辑完成，接下来就是调用 ISE 工具生成 FPGA 配置文件，该过程包含了如下两大步骤：

第一步：综合(Synthesize)，将 HDL 语言、原理图等设计输入翻译成由与、或、非门和 RAM、触发器等基本逻辑单元的逻辑连接（网表），并根据目标和要求（约束条件）优化所生成的逻辑连接，生成 EDF 文件。

第二步：实现（Implement）。将综合输出的逻辑网表翻译成所选器件的底层模块与硬件原语，将设计映射到器件结构上，进行布局布线，达到在选定器件上实现设计的目的。实现又分为 3 个步骤：翻译（Translate）逻辑网表，映射（Map）到器件单元与布局布线（Place & Route）。

翻译：将综合输出的逻辑网表翻译为 Xilinx 特定器件的底层结构和硬件原语

映射：将设计映射到具体型号的器件上（LUT、FF、Carry 等）。

布局布线：调用 Xilinx 布局布线器，根据用户约束和物理约束，对设计模块进行实际的布局，并根据设计连接，对布局后的模块进行布线，产生 FPGA/CPLD 配置文件。

- 在 Hierarchy 栏中选择 top.v 顶层文件，在 Process 栏中双击 Generate Programming File，生成 FPGA 配置文件，该操作包含了上述提到的综合和实现过程。

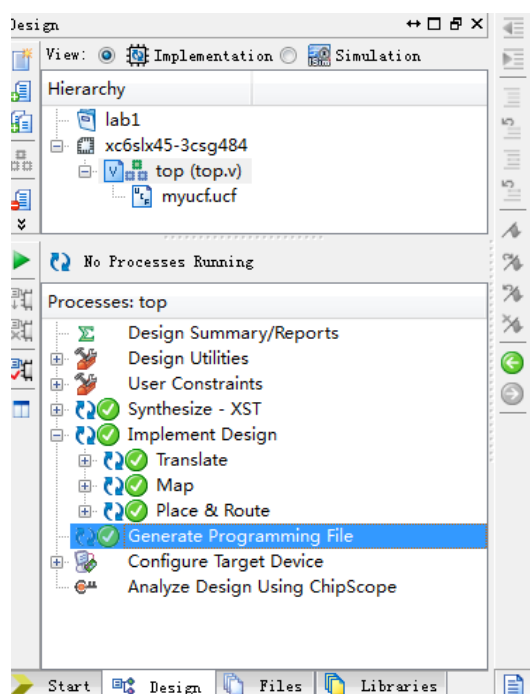


图 8. 生成 FPGA 配置文件

下载验证

Step 4



生成的 FPGA 配置文件位于 ISE 工程目录下面，即 top.bit 文件，使用 Digilent Adept 调试下载工具，通过 USB 进行下载验证。

- Anvyl（燧石）开发板与 5V 直流电源连接
- PC 机通过 USB 下载线与 USB PROG 端口连接，打开 Anvyl 电源，电源指示灯亮起
- 打开 Digilent Adept 工具，下载 top.bit 文件。

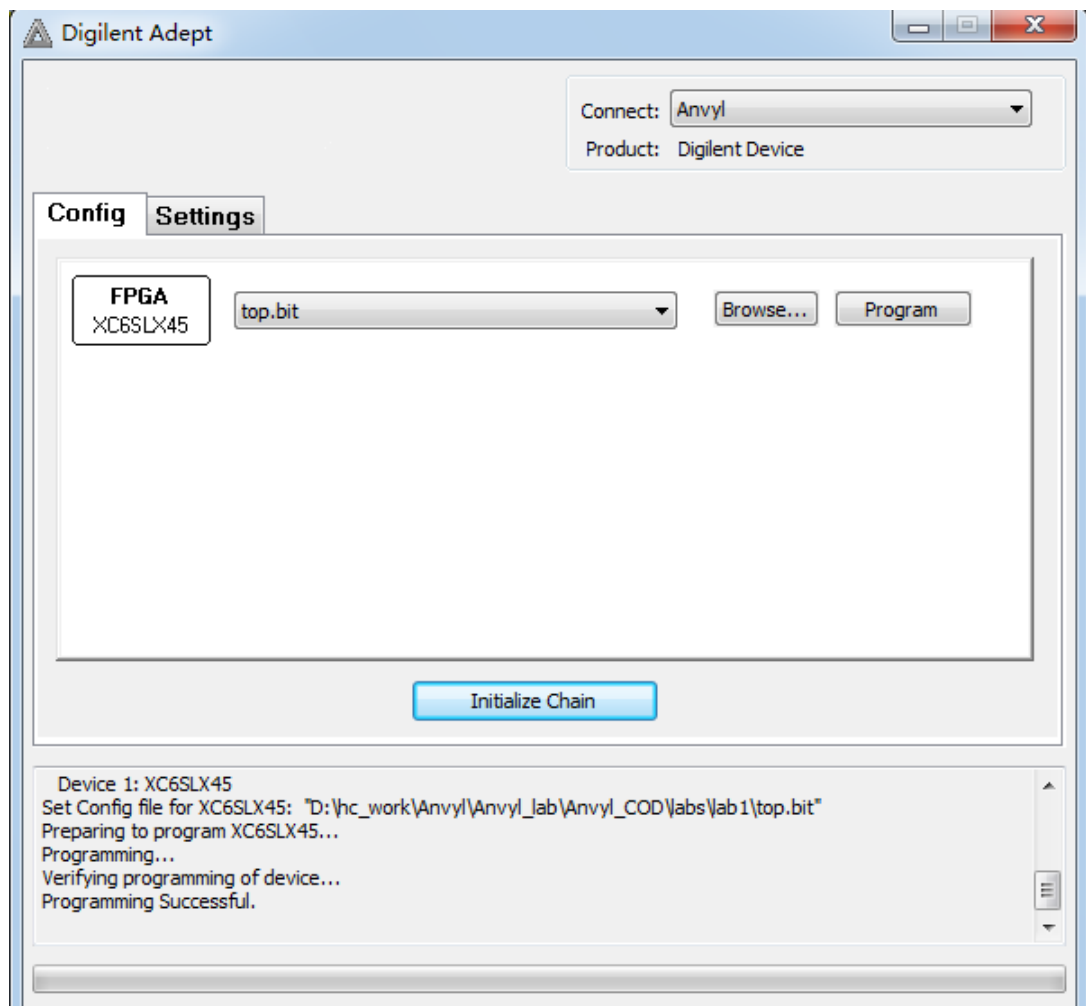


图 9. Digilent Adept 下载程序

- 观察到 Anvyl 开发板上 DONE（LD15）指示灯亮起说明下载成功。

拨动板上的 8 个 Switch 观察 8 个 led 的状态