

# HED\_I2C

## 通讯协议规范

V2.0



北京中电华大电子设计有限责任公司  
CEC Huada Electronic Design Co.,Ltd

2020 年 07 月

# 声 明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权力。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已经核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

## 变更记录

版本	修改描述	日期
V1.0	初稿	2018-02-08
V1.1	1) 增加链式传输相关定义; 2) 删除 L 帧设计; 3) 增加 RESET 帧定义; 4) 时间参数由具体值变更为具体项目指定; 5) 删除 NAD 定义。	2020-03-23
V2.0	1) 校验域术语定义由 CRC 升级为 EDC; 2) 增加 PFSMI/PFSSI 默认值配置原则 Rule3; 3) 升级版本为 V2.0。	2020-07-25

## 目 录

1	目的.....	1
2	缩略语.....	1
3	协议概述.....	2
4	物理层.....	2
5	数据链路层.....	2
5.1	Frame 帧格式.....	2
5.1.1	PIB.....	3
5.1.2	LEN.....	4
5.1.3	DATA.....	4
5.1.4	EDC（终止域）.....	4
5.2	时间参数.....	5
5.2.1	Treset.....	5
5.2.2	BGT.....	5
5.2.3	FWT.....	5
5.2.4	Tpoll.....	5
5.3	I2C 接口传输协议规则.....	6
5.3.1	通用规则.....	6
5.3.2	主机规则.....	6
5.3.3	从机规则.....	7
附录 A	协议流程示例.....	7
A.1	正常流程.....	7
A.1.1	取 ATR.....	7
A.1.2	APDU 命令交互.....	7
A.2	错误交互.....	8
A.2.1	主机发送错误.....	8
A.2.2	从机发送错误.....	8

## 1 目的

制定 Master 与 Slave 之间 SPI 通讯接口协议参考标准。

## 2 缩略语

MASTER	主机
SLAVE	从机
ACK	肯定应答(positive ACKnowledgement)
RESET	热复位(Request for Simulate Warm Reset)
RATR	请求复位信息指令(Request For ATR)
ATR	复位信息(Answer To Reset)
BPS	每秒传输比特数(Bit Per Second)
FWT	帧等待时间(Frame Waiting Time)
FWT <sub>M</sub>	主机端帧等待时间 (Frame Waiting Time of Master)
FWT <sub>S</sub>	从机端帧等待时间 (Frame Waiting Time of Slave)
PFSM	主机单帧能接收的最大协议帧长度(Max Protocol Frame Size For Master)
PFSMI	主机单帧能接收的最大协议帧长度指数(Max Protocol Frame Size For Master Integer)
PFSS	从机单帧能接收的最大协议帧长度(Max Protocol Frame Size For Master)
PFSSI	从机单帧能接收的最大协议帧长度指数(Max Protocol Frame Size For Master Integer)
HBSM	主机硬件单次能接收的最大块长度(Max Hardware Block Size For Master)
HBSMI	主机硬件单次能接收的最大块长度指数(Max Hardware Block Size For Master Integer)
HBSS	从机硬件单次能接收的最大块长度(Max Hardware Block Size For Slave)
HBSSI	从机硬件单次能接收的最大块长度指数(Max Hardware Block Size For Slave Integer)
LRC	纵向冗余校验(Longitudinal Redundancy Check)
CRC	循环冗余校验(Cyclic Redundancy Check)
PIB	协议控制字符(Protocol Indication Byte)
ACK	肯定的接收应答帧(positive acknowledge)
NAK	否定的接收应答帧(negative acknowledge)
RFU	保留(Reserved for Future Use)
WTX	请求延时(Waiting Time Extension)
IIC/I2C	内部整合电路 (Inter-Integrated Circuit)

### 3 协议概述

数据通讯由主设备（Master）发起，从设备（Slave）应答，后续章节介绍时均用 Master，Slave 代替主设备与从设备。

本协议按照 OSI 参考模型的分层设计原理，即将各层间的相互影响减到最小，主要分为 3 层设计：

- 物理层：请参考相关规范文档，本文不进行介绍；
- 数据链路层：请参考第 5 章；
- 应用层：请参考相关应用规范，本文不进行介绍。

### 4 物理层

I2C(Inter - Integrated Circuit，内部整合电路)是由Philips公司开发的一种两线式串行总线，用于MCU及其外围设备的通信。

I2C通信以主从方式工作，这种模式通常有一个主设备和一个或多个从设备。每个接到I2C总线上的器件都有唯一的地址，主机通过发送设备地址查找从机。连接到I2C总线上的设备既可以做主机，也可以做从机。主机负责初始化总线的数据传输，并产生允许数据传输的时钟脉冲信号。

I2C接口一般使用2条双向信号线：

- SDA(Serial Data Line) - 串行数据线，用于传输数据，此数据既包含地址信号，又包含真正的数据信号。
- SCL(Serial Clock) - 串行时钟线，用于传输时钟信号。

**注：**具体I2C总线特性请参考I2C总线规范，本文不进行介绍。

### 5 数据链路层

#### 5.1 Frame 帧格式

在I2C协议中，采用帧进行数据交互，协议帧由PIB、LEN、DATA、EDC五部分组成，如Table 5-1所示：

Table 5-1: 协议帧格式

PIB	LEN	DATA	EDC
1字节	2字节	LEN个字节	2字节

### 5.1.1 PIB

PIB (Protocol Control Byte) 即协议控制字节, 用于控制协议流程。数据链路层协议定义了4种数据帧: I帧, R帧, S帧, 以PIB最高两位来区分。

注: 下述所有帧结构中, RFU代表保留位, 默认为00。

#### 5.1.1.1 I 帧

PIB最高2位为00时, 协议帧为I帧。I帧的PIB编码格式如下表Table 5-2:

Table 5-2: I 帧 PIB 编码格式

B8	B7	B6	B5	B4	B3	B2	B1	说明
0	0	1	0	RFU				信息帧 (非链式)
0	0	0	0					信息帧 (链式)
0	0	1	1					ATR请求帧

注: ATR响应帧为信息帧。

#### 5.1.1.2 R 帧

PIB最高2位为10时, 协议帧为R帧。R帧用于确认收到的数据是否正确。R帧的编码格式如表5-3:

表 5-3 R帧PIB编码格式

B8	B7	B6	B5	B4	B3	B2	B1	说明
1	0	RFU					0	R帧（ACK帧），正确
1	0						1	R帧（NAK帧），错误

➤R (ACK) 帧用于确认收到对方协议帧并正确处理, 可以接收下一协议帧。

➤R (NAK) 帧用于通知对方收到的协议帧错误, 请求重发。

#### 5.1.1.3 S 帧

PIB最高2位为11时, 协议帧为S帧。S帧的编码格式如Table 5-4:

Table 5-3: S 帧 PIB 编码格式

B8	B7	B6	B5	B4	B3	B2	B1	说明
1	1	0	RFU					S帧 (延时请求帧)
1	1	1	RFU	xxxx				S帧 (RESET帧)

当为 S (延时请求帧) 时, B5~B1 为 RFU;

当为 S (RESET 帧) 时, B5 为 RFU, B4~B1 代表意义如下:

- B4~B1 用来标识 PFSMI/PFSSI,其中 PFSMI/PFSSI 与 PFSM/PFSS 的对应关系如下表:

Table 5-5: PFSMI/PFSSI 到 PFSM/PFSS 的转换

PFSMI/PFSSI	'1'	'2'	'3'	'4'	'5'	'6'	'7'	'8'	'9'	'A'	'B'	'C'	'D'	'E'	'F'
PFSM/PFSS(bytes)	16	32	64	128	256	272	384	512	1024	2048	4096	8192	16384	RFU	RFU

注 1: 当 PFSMI/PFSSI 为 '0' 时, 代表通讯不支持链式传输, 即 Master 端或者 Slave 端如果将该值配为 0, 那么后续数据帧交互时, 接收与发送数据帧均不支持链式传输, 即 PFSM/PFSS 默认值由应用层指定。

注 2: PFSM/PFSS 指代主机或者从机单帧能接收的最大协议帧长度, 包含了 PIB, LEN、DATA、EDC 四部分数据长度;

注 3: 当 PFSSI/PFSMI 值为 'E' 或 'F' 时, 等同于 PFSSI/PFSMI 值为 'D';

注 4: RESET 帧正确处理完成后, Master/Slave 在后续数据交互时, 主机或者从机单帧能接收的最大协议帧长度取 PFSS 与 PFSM 最小值, PFSS 与 PFSM 具体值请参考相应项目约定值, RESET 帧交互前, PFSM/PFSS 默认值由应用层指定。

### 5.1.2 LEN

LEN字段在不同的数据帧中代表不同的含义, 见Table 5-7:

Table 5-7: LEN 字段释义

数据帧	取值 (HEX)	说明
I帧	00-0xFFF9	LEN取值为I帧DATA域长度
R帧	00	无数据域
S帧	00	无数据域

### 5.1.3 DATA

只有I帧带有DATA域 (发送ATR请求的I帧无DATA域)

### 5.1.4 EDC (终止域)

EDC为对PIB/LEN/DATA所有字节进行CRC计算。

CRC 采用 CRC16 的算法, 计算规则请参考 ISO/IEC 13239, 多项式为  $x^{16}+x^{12}+x^5+1(0x1021)$ , 初始值0xFFFF。初始值0xFFFF。



## 5.2 时间参数

### 5.2.1 Treset

上电后主机的等待时间，主机需等待此时间后才能发送第一帧，具体时间本规范不约定，请参考相应项目约定值。

### 5.2.2 BGT

BGT(Block Guart Time)描述了当主机读取从机发送的协议帧后（I帧S帧R帧），需要等待BGT时间才能继续向从机发送协议帧，否则从机可能不会正确响应。需要注意的是，只有当主机发送协议帧时，才需要等待此BGT时间。如下图所示：

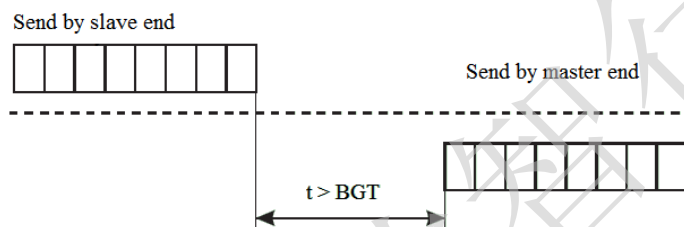


Figure 5-2: Block Guard Time

BGT具体数值本规范不约定，请参考相应项目约定值。

### 5.2.3 FWT

FWT 分为  $FWT_M$  (Frame Waiting Time of Master) 与  $FWT_S$  (Frame Waiting Time of Slave)。

$FWT_S$ : 描述了当主机发送完帧之后，从机应当在小于此时间内给予主机响应，本协议固定  $FWT_S$  为 200ms。

$FWT_M$ : 主机使用  $FWT_M$  来检测通讯错误或从机无响应的情况，本协议固定  $FWT_M$  为 700ms。

如下图所示：

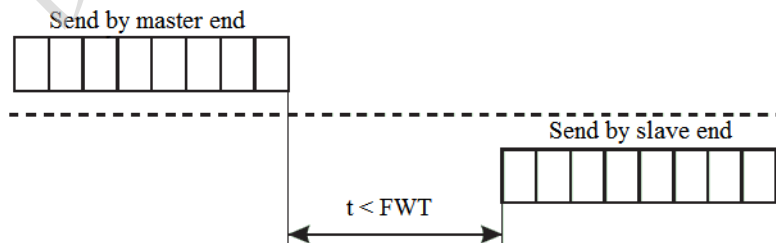


Figure 5-1: Frame Waiting Time

### 5.2.4 Tpoll

若主机采用轮询方式进行数据读取，主机发送指令后，需等待  $T_{poll}$  时间去查询从机是否返回数据， $T_{poll}$  具体数值本规范不约定，请参考相应项目约定值。

### 5.3 I2C 接口传输协议规则

#### 5.3.1 通用规则

Rule1. 主机给从机上电, 发送第一个数据帧, 第一个数据帧可以是 RESET/ATR 请求帧, 也可以是信息帧。

Rule2. S(RESET)帧须成对出现, 由主机发起, 从机回应 S(RESET)帧。RESET 帧功能: 对协议参数 (PFSSI/PFSMI) 进行协商, 同时对通讯接口进行软复位 (软复位主要指对协议数据链路进行复位)。

Rule3. 协议参数 (PFSMI/PFSSI, 定义详情请参见 5.1.1.3 节) 默认值由应用层指定。应用层配置默认值原则:

a) 固定模式 (Master 与 Slave 双方能力可以提前约定), PFSMI/PFSSI 默认值建议指定为双方约定值, 可以不进行参数协商;

b) 协商模式 (Master 与 Slave 双方能力不能提前约定), PFSMI/PFSSI 默认值建议配为能力最小值, 即 PFSMI/PFSSI 配置为 01, 后续通过 RESET 请求帧协商至更高。

Rule4. 若发送方待发送数据超过对方协议帧最大接收长度 (PFSM/PFSS) 时, 需要采用链式信息帧发送。

Rule5. 发送时, 最后一个 I 帧 (信息帧) 必须为非链式信息帧。

Rule6. 若收到链式信息帧, 接收方需响应 R(ACK) 帧。

Rule7. 若收到非链式信息帧, 接收方需要回应信息帧。

Rule8. 主机读取从机数据时, 可以采用两种方式读取, 但均分两步读取: 方式一: 先读 3 字节 (PIB+LEN+不带停止位), 继续读 LEN 所指示的字节数+CRC; 方式二: 先读 3 字节 (PIB+LEN+带停止位), 重新读取 (3+LEN+2) 字节长度的数据。但不管主机采用何种方式读取, 从机都应能响应正确。

Rule9. S(WTX) 帧只能由从机发送, 任意时刻主机发完协议帧, 再收的协议帧都有可能是 S 帧, 主机收到 S 帧后, 需要将 FWT<sub>M</sub> 重新计时, 同时继续轮询接收协议帧。

#### 5.3.2 主机规则

Rule10. 主机收到的协议帧有错误 (包括 CRC 不正确等), 通过重发 I2C 总线读命令重新接收上一帧, 主机从不发 R(NAK)。

Rule11. 主机收到 R(NAK), 应重发上一帧。

Rule12. 主机发送完 I 帧后, 如果 FWT<sub>M</sub> 时间内没有收到从机的响应帧, 主机需要超时重发当前帧。

**Rule13.** 主机连续接收三次 NAK 帧或者超时重发当前帧 1 次后，Master 端需要发送 RESET 帧尝试恢复链路，若尝试 1 次 RESET 帧后，仍通讯异常（说明协议层无法恢复），由 Master 应用层进行异常处理。

### 5.3.3 从机规则

**Rule14.** 从机收到的协议帧有错误（包括PIB不合法，CRC不正确等），应发送R(NAK)帧。

**Rule15.** 从机收完协议帧后，开始进行处理，如果处理时间需要大于FWT<sub>s</sub>时，则从机应当在小于FWT<sub>s</sub>时间内响应一个S（WTX）帧。

## 附录 A 协议流程示例

- I(ATR) 请求ATR的I帧
- I(x) I帧，x表示LEN的值
- R(ACK) 表示肯定回应的R帧
- R(NAK) 表示否定回应的R帧
- S 请求延时S帧

### A.1 正常流程

#### A.1.1 取 ATR

假设 ATR 长度为 3 个字节，取 ATR 时序如下：

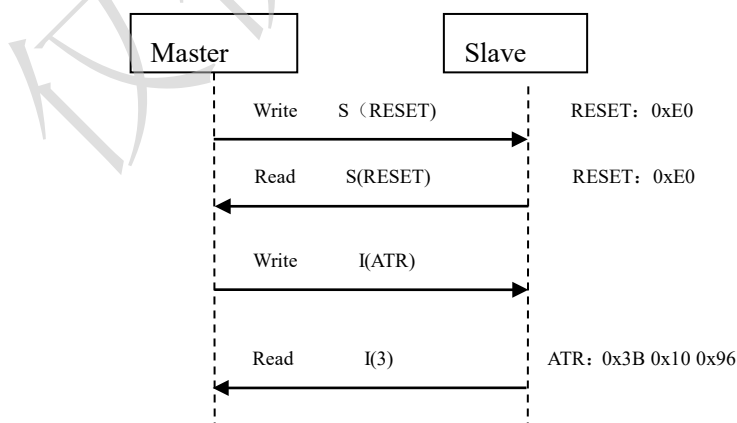


图 A-1 取 ATR

#### A.1.2 APDU 命令交互

假设 APDU 命令长度为 5 个字节，返回 2 字节响应，其时序如下：

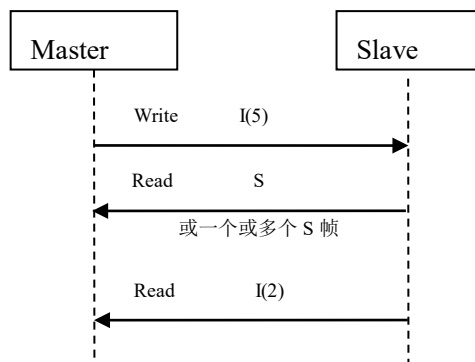


图 A-2 APDU 交互

## A.2 错误交互

### A.2.1 主机发送错误

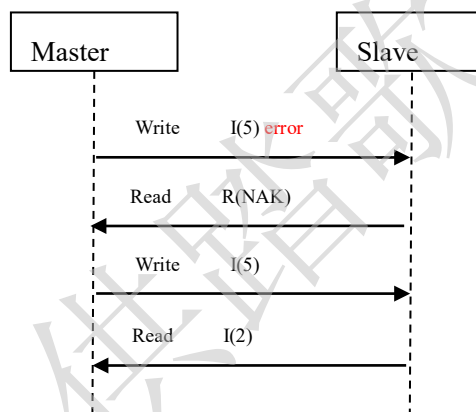


图 A-3 主机发送错误

### A2.2 从机发送错误

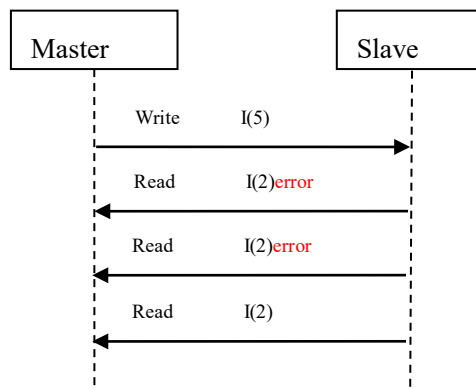


图 A-4 从机发送错误