

מעבדה במאובטח למעגלים דוח 6

CMOS Gates

שמות המציגים + TZ:

אורן ברימוק 314992447

הדו רם 214068843

תאריך הגשה:

29.05.2025

1. Please design a schematic of the following gates in CMOS topology (Fig 6.1): $\alpha = \begin{cases} 0, & \text{NAND2} \\ 1, & \text{NOR2} \end{cases}$

where the "2" means the number of inputs to the gates, i.e. 2 is the minimum. Use the β from the assignment parameters. Show proper operation (transient simulation with all 4 possible inputs).

הנתונים שלנו:

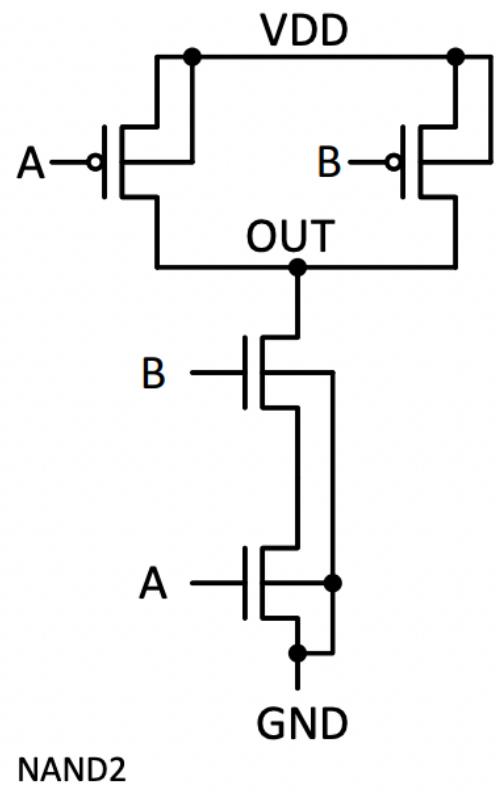
$$G = 10$$

$$\alpha = G \bmod 2 = 10 \bmod 2 = 0$$

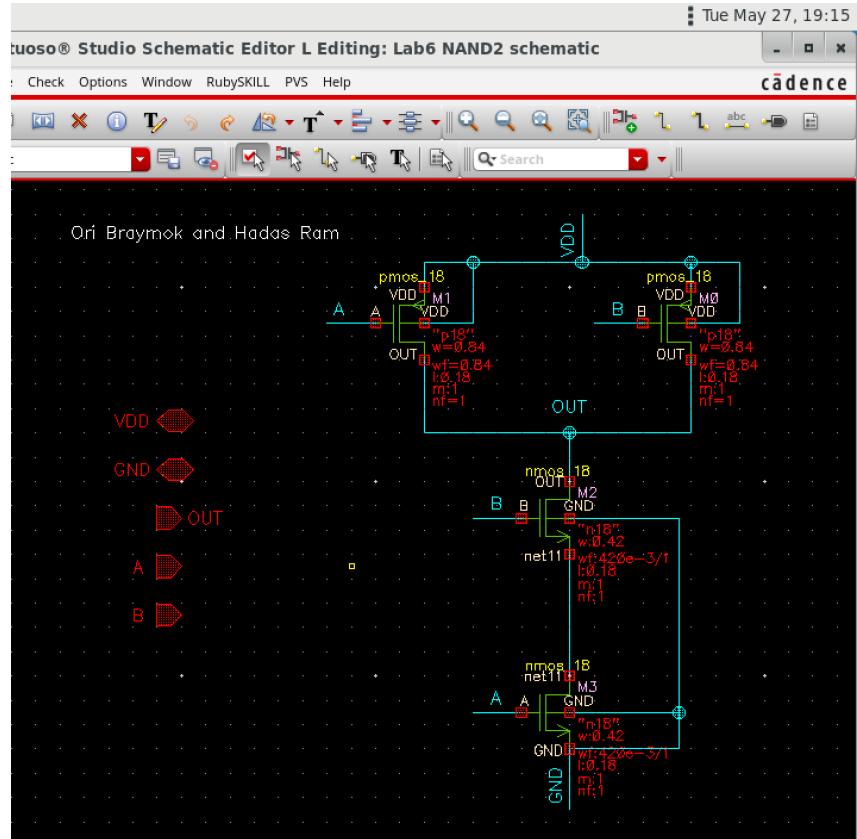
$$\beta = 2 + 0.2\alpha = 2$$

$$VDD = 1.5[V]$$

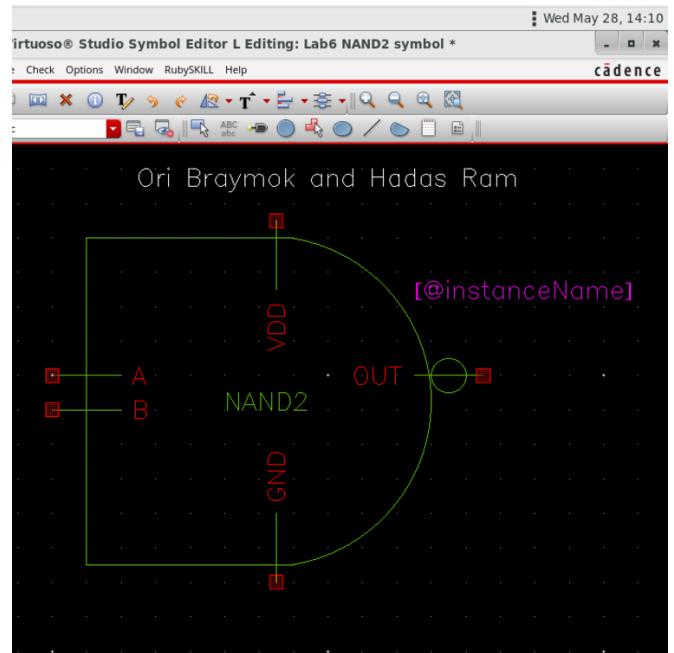
לכן יצרנו שער NAND2 כה:



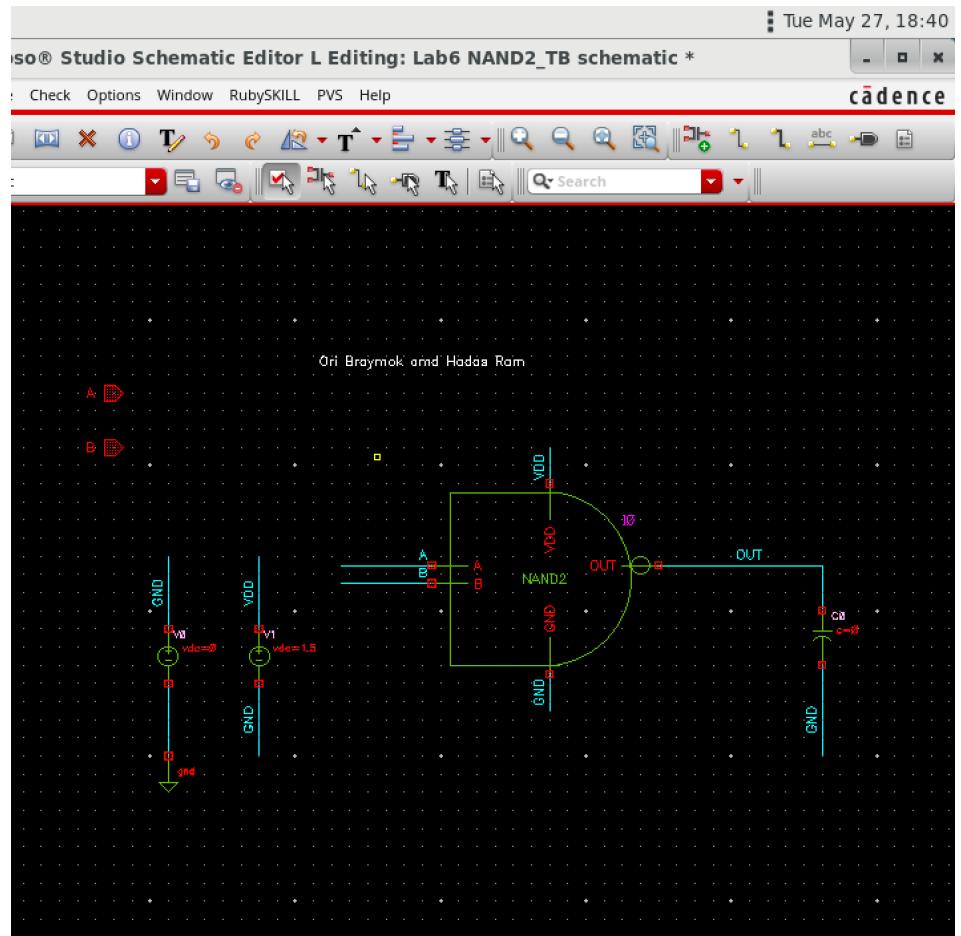
פתחנו תקיה בשם "Lab6" וקובץ בשם "NAND2".
 $\beta = 2$ ב-PMOS finger width הכפלנו את



הגרנו בקופוא ייצרנו :symbol



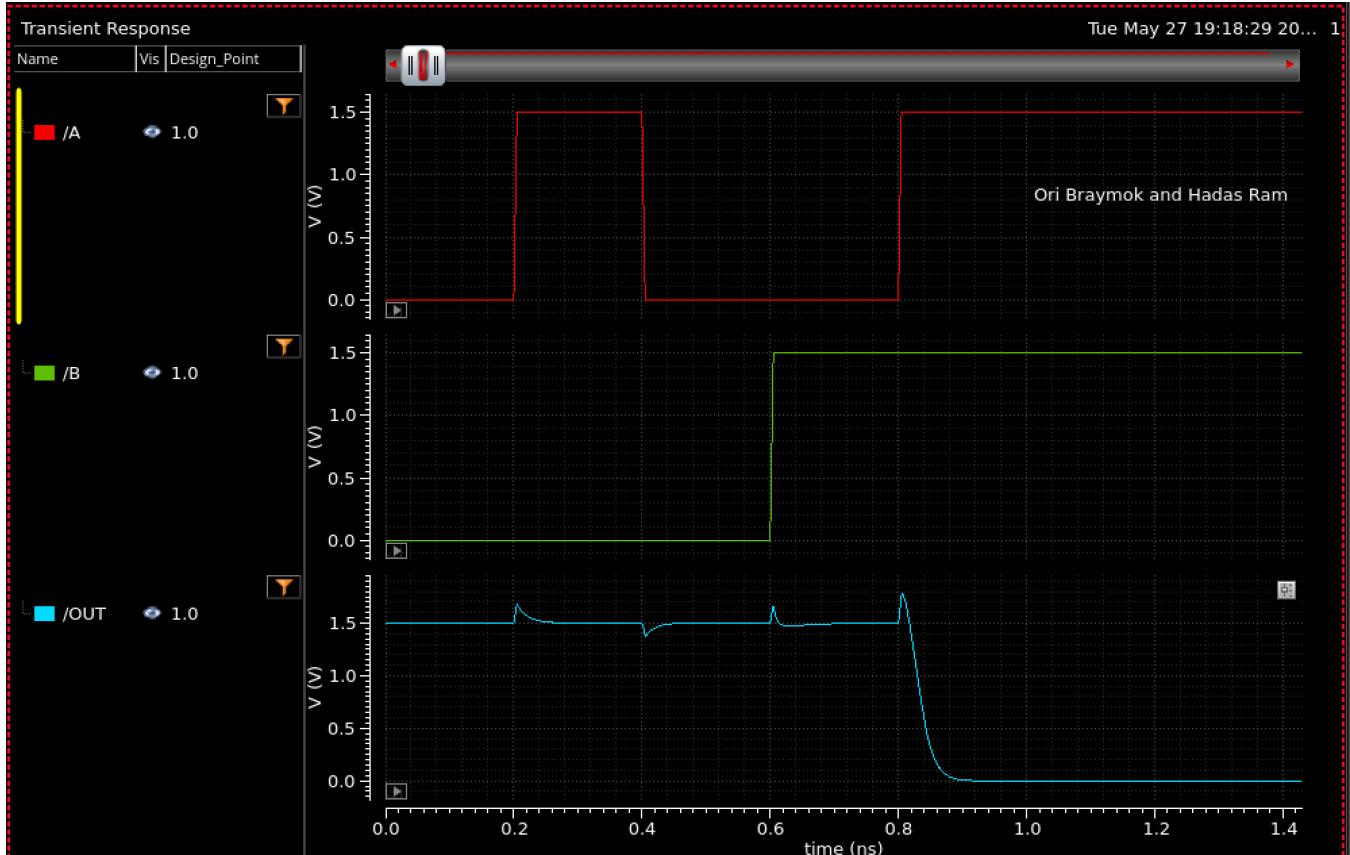
פתחנו קובץ בשם "NAND2_TB" ויצרנו את המודול. כאשר $C=0[F]$ ו- $VDD = 1.5[V]$



יצרנו קובץ vec בעזרת הפקודה "code vec_file.vec" ב-terminal. הגדרנו שלכל כניסה (A ו-B) יכנס בית אחד. הגדנו את הזמן להיות בפיוקו שניות, כאשר זמן העלייה והירידה הוא 0.5[ps]. בנוסף לכך הגדרנו את המתחים הבאים: $V_{ih} = 1.5[V]$, $V_{il} = 0[V]$, $V_{oh} = 1.5[V]$, $V_{ol} = 0[V]$. לאחר מכן נקבעו את הזמן הנקודות A ו-B ישתנו ואת ערכיהם.

```
project > tower > users > ramhada > ws > vec_file.vec
1   #Ori Braymok and Hadas Ram
2
3   radix 1 1
4
5   io i i
6
7   vname A B
8
9   tunit ps
10
11  trise 5
12
13  tfall 5
14
15  vih 1.5
16  vil 0
17
18  voh 1.5
19  vol 0
20
21  0 0 0
22  200 1 0
23  400 0 0
24  600 0 1
25  800 1 1
26
27
```

יבאנו את הקובץ `maestro` והרצנו סימלצייתtran כאשר ה`[s]` stop time = 100ns , ורכינו vec_file



ניתן לראות שקיבלונו שער NAND, המקיים את טבלת האמת:

Input	Input	Output
A	B	
0	0	1
0	1	1
1	0	1
1	1	0

2. Using simulations, calculate the tphl and tplh of the gate for all possible transitions (use VEC file, you can ignore 00 to 11 and vice versa), and show them in a table in descending order (highest value first). For each value, write the corresponding transitions. Explain the differences.

יצרנו קובץ vec_file1

בדומה לקובץ vec ושינו את הערך של A ואת הזמן שהם משתנים.

```

Thu May 29, 10:36
● vec_file1.vec - Visual Studio Code
File Edit Selection View Go Run Terminal Help
Restricted Mode is intended for safe code browsing. Trust this window to... Manage Learn More ×
project > tower > users > rama > ws > vec_file1.vec
1 #Ori Braymok and Hadas Ram
2
3 radix 1 1
4
5 io i i
6
7 vname A B
8
9 tunit ps
10
11 trise 5
12
13 tfall 5
14
15 vih 1.5
16 vil 0
17
18 voh 1.5
19 vol 0
20
21 0 0 0
22 400 1 0
23 800 1 1
24 1200 0 1
25 1600 1 1
26 2000 1 0

```

הכנסנו את המשוואות הבאות שמחושבות מתי המתח בעלייה או בירידה מגע לחמישים אחוז כלומר מתח של $VDD/2 = 0.75$.

יש בעלייה במתח במצבו כאשר הכניסות משתנות מ 1 1 ל 1 0 או ל 0 1.
יש ירידת במתח במצבו כאשר הכניסות משתנות מ 1 0 ל 0 1 או 1 1 ל 1 0.

Virtuoso® ADE Explorer Editing: Lab6 NAND2_TB maestro*

Outputs Simulation Results Tools EAD Parasitics/LDE Window RubySKILL Help

cadence

Outputs Setup Run Preview

Name	Type	Details	Value	Plot
	signal	/A		<input checked="" type="checkbox"/>
	signal	/B		<input checked="" type="checkbox"/>
	signal	/OUT		<input checked="" type="checkbox"/>
Tphl: 1 1 to 0 1	expr	(cross(VT("/OUT")) 0.75 1 "rising" nil nil nil) - cross(VT("/A")) 0.75 1 "falling" nil nil ...	33.71p	<input checked="" type="checkbox"/>
Tphl: 0 1 to 1 1	expr	(cross(VT("/OUT")) 0.75 2 "falling" nil nil nil) - cross(VT("/A")) 0.75 2 "rising" nil nil ...	33.65p	<input checked="" type="checkbox"/>
Tphl: 1 0 to 1 1	expr	(cross(VT("/OUT")) 0.75 1 "falling" nil nil nil) - cross(VT("/B")) 0.75 1 "rising" nil nil ...	28.12p	<input checked="" type="checkbox"/>
Tphl: 1 1 to 1 0	expr	(cross(VT("/OUT")) 0.75 2 "rising" nil nil nil) - cross(VT("/B")) 0.75 1 "falling" nil nil ...	24.49p	<input checked="" type="checkbox"/>

. Tphl - הזמן שעובר מהרגע שבו Vin יורד ועובר את ה- 50%, ועד שה- Vout עולה ועובר את רמת ה- 50%. הזמן שלוקח ליציאה לעלות מ-0 ל-1.

Tphl - הזמן שעובר מהרגע שבו Vin עולה ועובר ה- 50%, ועד שה- Vout יורד ועובר את רמת ה- 50%. הזמן שלוקח ליציאה לרדת מ-1 ל-0.

הרכינו את הסימולציה וקיבלנו את הערכים והגרפים הבאים:

Virtuoso® ADE Assembler Editing: Lab6 NAND2_TB maestro

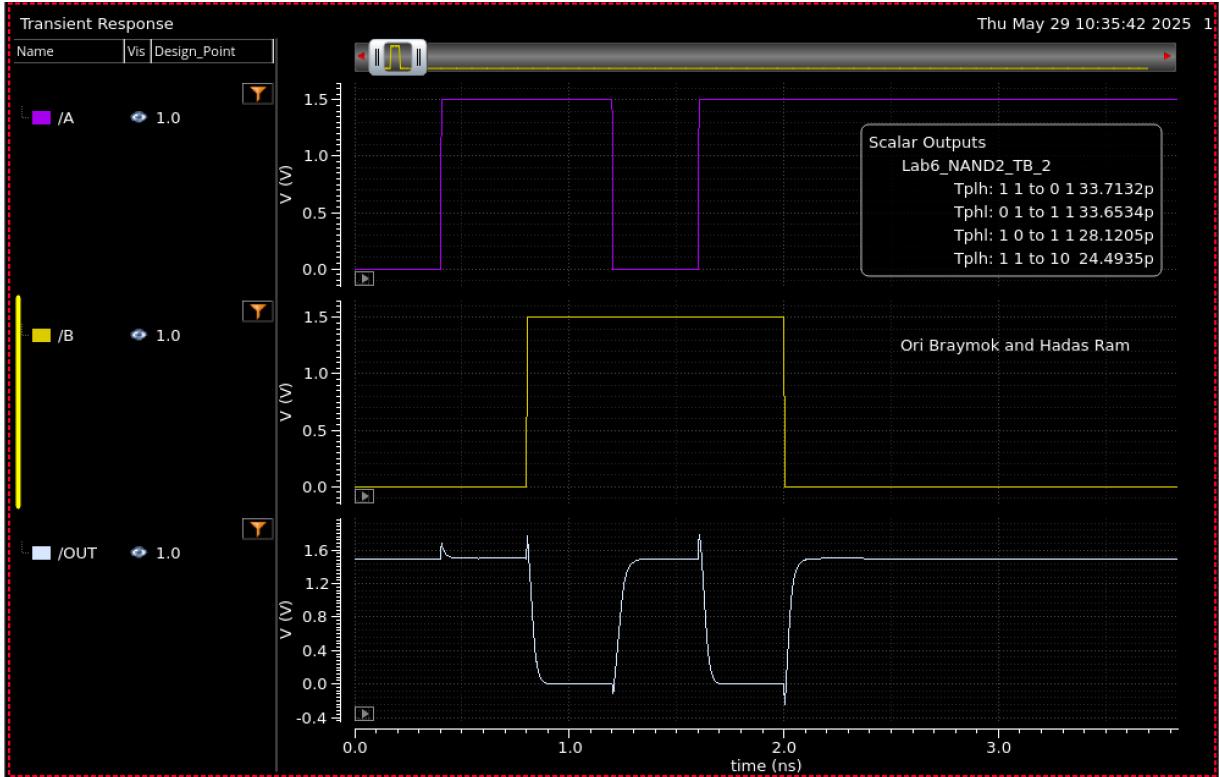
Parasitics/LDE Window RubySKILL Help

Sweeps Single Run, Sweeps and Corners Reference History: Interactive

Outputs Setup Results Run Preview

Detail Filter ... Filter Corners Replace (None)

Test	Output	Nominal	Spec	Weight	Pass/Fail
Lab6_NAND2_T...	/A	<input checked="" type="checkbox"/>			
Lab6_NAND2_T...	/B	<input checked="" type="checkbox"/>			
Lab6_NAND2_T...	/OUT	<input checked="" type="checkbox"/>			
Lab6_NAND2_T...	Tphl: 1 1 to 0 1	33.71p			
Lab6_NAND2_T...	Tphl: 0 1 to 1 1	33.65p			
Lab6_NAND2_T...	Tphl: 1 0 to 1 1	28.12p			
Lab6_NAND2_T...	Tphl: 1 1 to 1 0	24.49p			



Tphl 11 to 01 - עליה המתח בmozא ומעבר בין שני PMOSים ללא עובדים לשולב על מנת להעלות את המתח בmozא. רק PMOS אחד מעלה את המתח בmozא. הזמן – [ס]ק 33.7132p
Tphl 11 to 10 - עליה המתח בmozא ומעבר בין שני PMOSים ללא עובדים לשולב על מנת להעלות את המתח בmozא. רק PMOS אחד מעלה את המתח בmozא. הזמן – [ס]ק 24.4935p

מבחן תיאורטי לא אמרו להיות הבדל בין הזרים בעלייה המתח כיוון שני PMOSים נמצאים במקביל, כיוון שאני עובדים בסודנירין יתקן שהטרנזיסטורים לא זהים אוחז כמו שקרה במצבות ולכן קיבלנו הפרש של כמה פיקו שניות.

Tphl 01 to 11 - ירידת המתח בmozא ומעבר בין NMOS אחד שעבודד לשניים שעובדים על מנת להעלות את המתח בmozא. במצב זה הכנסה A משתנה. הזמן – [ס]ק 33.6534p
Tphl 10 to 11 - ירידת המתח בmozא ומעבר בין NMOS אחד שעבודד לשניים שעובדים על מנת להעלות את המתח בmozא. במצב זה הכנסה B משתנה. הזמן – [ס]ק 28.1205p

כיוון שהNMOSים מחוברים בטור, הNMOS עם הכנסה B נמצא קרוב יותר ל V_{out} והNMOS עם הכנסה A קרוב יותר ל GND .

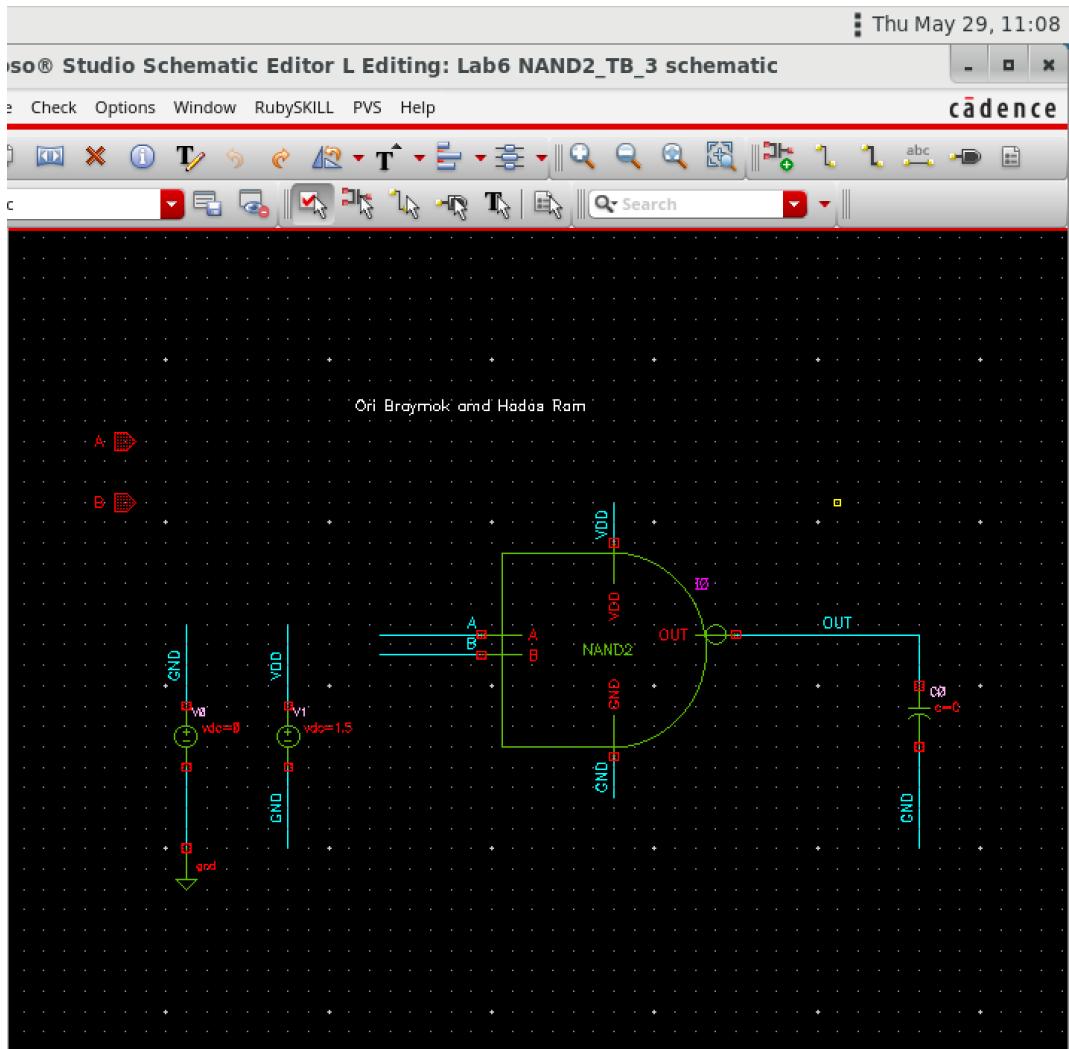
המצב הראשון: כאשר הכנסה B היא 1 והכנסה A היא 0, יש מתח VDD ב V_{out} ומתח VDD בין NMOSים. כאשר הכנסה A משתנה ל 1 צריכה להתבצע פריקה של שני ערכי הVDD لكن הזמן במצב זה ארוך יותר מהמצב השני.

המצב השני: כאשר הכנסה A היא 1 והכנסה B היא 0 יש מתח VDD ב V_{out} ומתח 0 בין NMOSים. כאשר הכנסה B משתנה ל 1 צריכה להתבצע פריקה של ערך VDD אחד שנמצא ב V_{out} .

בנוסף לכך, כיוון שהPMOS חלש יותר NMOS ובנוסף לכך חיבור במקביל הוא טוב יותר מחיבור בטור נקלט trade off בין זמן בעלייה המתח ב V_{out} ולזמן ירידת המתח ב V_{out} .

3. Add a capacitor at the output of the gate. Calculate the dynamic energy for each transition from before that changed the output for 10 different values of capacitance from 1[fF] to 100[fF], and find the worst one. Make sure to set period long enough so the biggest capacitor will be fully charged. Also, calculate the static power for each input state. Explain. In the lecture we saw $E_{dynamic} = CL * VDD^2$, does it match the results? Proof.

הוספנו קבל בМОץא בעל משתנה קיבול C.



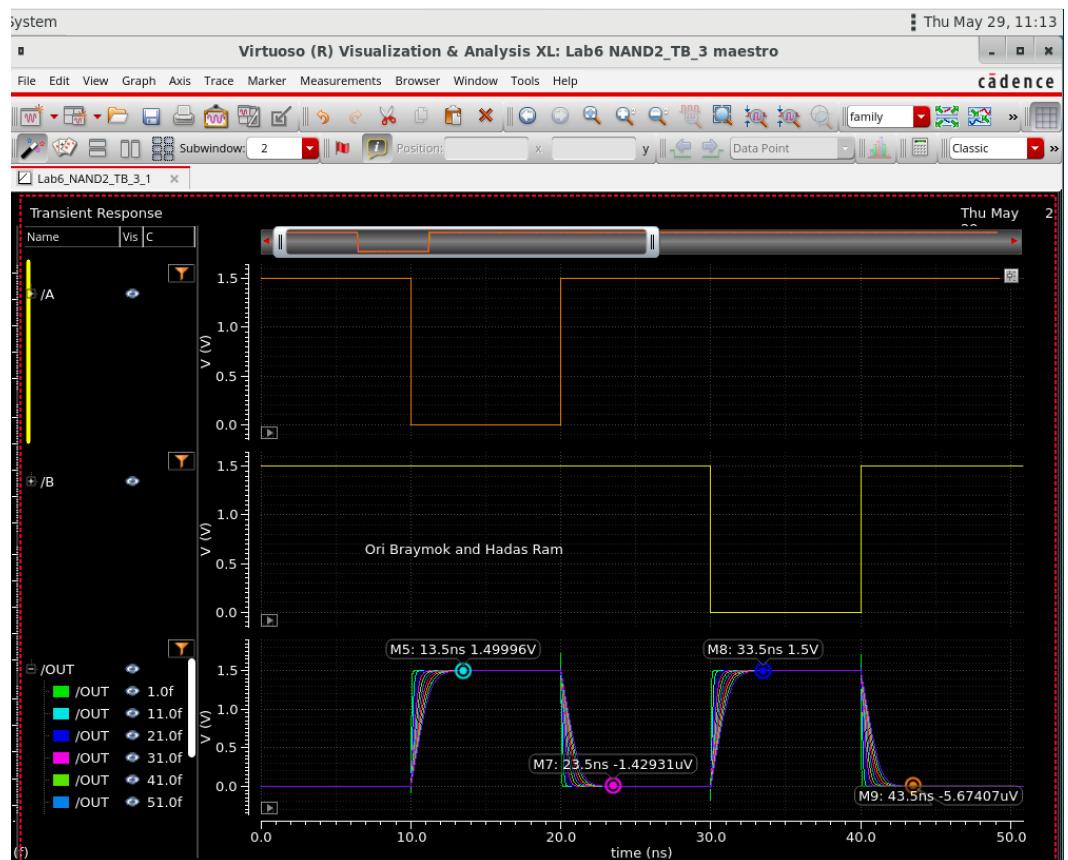
הגדרנו vec_file2 והגדרנו את זמני המעברים כך שהמוצא יוסיף להתייצב לפני הערכים הבאים:

```

Thu May 29, 11:10 | vec_file2.vec - Visual Studio Code
File Edit Selection View Go Run Terminal Help
Restricted Mode is intended for safe code browsing. Trust this window to... Manage Learn More ...
project > tower > users > ramhada > ws > vec_file2.vec
1 # Ori Braymok and Hadas Ram
2 |
3 radix 1 1
4
5 io i i
6
7 vname A B
8
9 tunit ps
10
11 trise 5
12
13 tfall 5
14
15 vih 1.5
16 vil 0
17
18 voh 1.5
19 vol 0
20
21 0 1 1
22 10000 0 1
23 20000 1 1
24 30000 1 0
25 40000 1 1
26

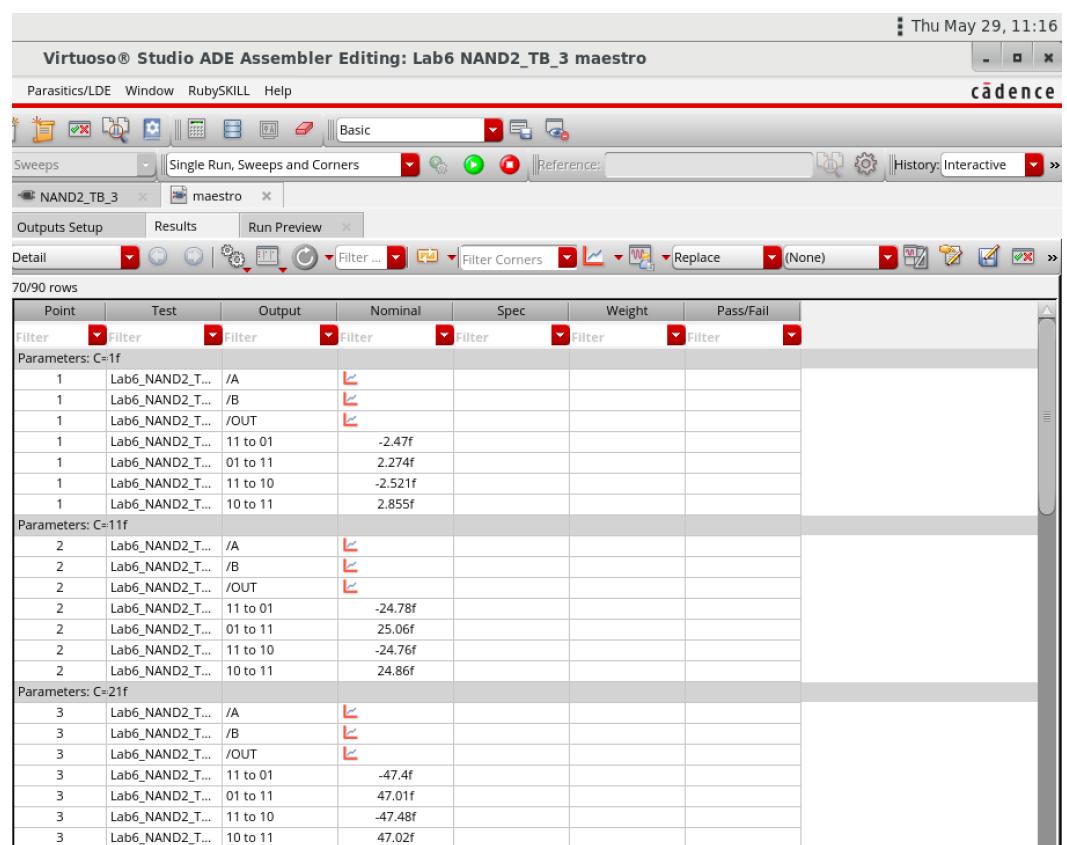
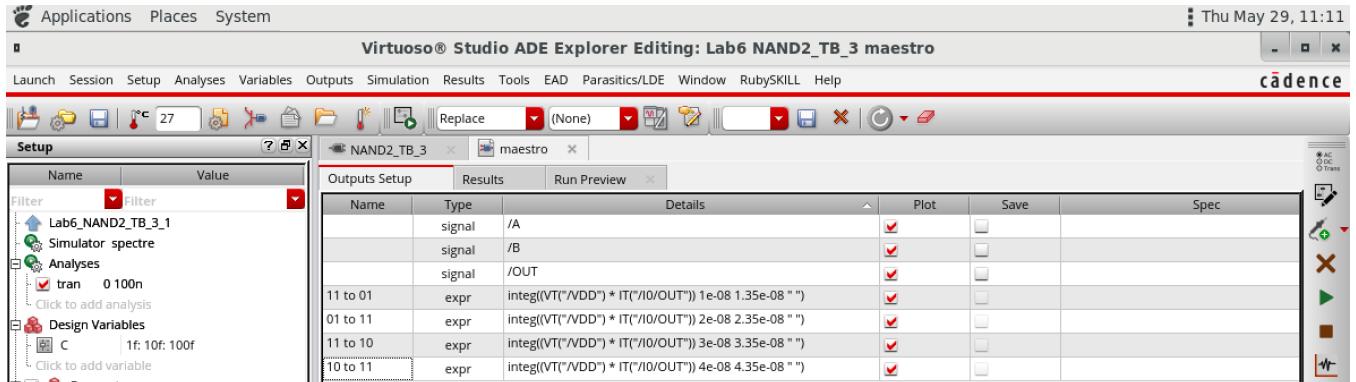
```

הרכנו סימולציה tran עם [s]stop time = 100 stop time, וקיבלנו את הגרף הבא.
וימנו עם מרכיב את זמני התיאובות המוצא.



הגדרנו בעזרת **calculator** את האינטגרלים הבאים ואת הזמן הדרוש עבור כל אינטגרל מרגע שינוי הכניסות עד לרגע התוצאות המוצא.

$$E_{\text{dynamic}} = \int_{t_1}^{t_2} V_{DD} \cdot I_{out} dt$$



Thu May 29, 11:17

Virtuoso® Studio ADE Assembler Editing: Lab6 NAND2_TB_3 maestro

Parasitics/LDE Window RubySKILL Help

Sweeps Single Run, Sweeps and Corners Reference History: Interactive

NAND2_TB_3 maestro

Outputs Setup Results Run Preview

Detail Filter Corners Replace (None)

70/90 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Filter	Filter	Filter	Filter	Filter
Parameters: C=31f						
4	Lab6_NAND2_T...	/A				
4	Lab6_NAND2_T...	/B				
4	Lab6_NAND2_T...	/OUT				
4	Lab6_NAND2_T...	11 to 01	-69.77f			
4	Lab6_NAND2_T...	01 to 11	70.02f			
4	Lab6_NAND2_T...	11 to 10	-69.91f			
4	Lab6_NAND2_T...	10 to 11	69.58f			
Parameters: C=41f						
5	Lab6_NAND2_T...	/A				
5	Lab6_NAND2_T...	/B				
5	Lab6_NAND2_T...	/OUT				
5	Lab6_NAND2_T...	11 to 01	-92.3f			
5	Lab6_NAND2_T...	01 to 11	92.44f			
5	Lab6_NAND2_T...	11 to 10	-92.46f			
5	Lab6_NAND2_T...	10 to 11	92.23f			
Parameters: C=51f						
6	Lab6_NAND2_T...	/A				
6	Lab6_NAND2_T...	/B				
6	Lab6_NAND2_T...	/OUT				
6	Lab6_NAND2_T...	11 to 01	-114.8f			
6	Lab6_NAND2_T...	01 to 11	114.6f			
6	Lab6_NAND2_T...	11 to 10	-114.8f			
6	Lab6_NAND2_T...	10 to 11	114.9f			

Thu May 29, 11:17

Virtuoso® Studio ADE Assembler Editing: Lab6 NAND2_TB_3 maestro

Parasitics/LDE Window RubySKILL Help

Sweeps Single Run, Sweeps and Corners Reference History: Interactive

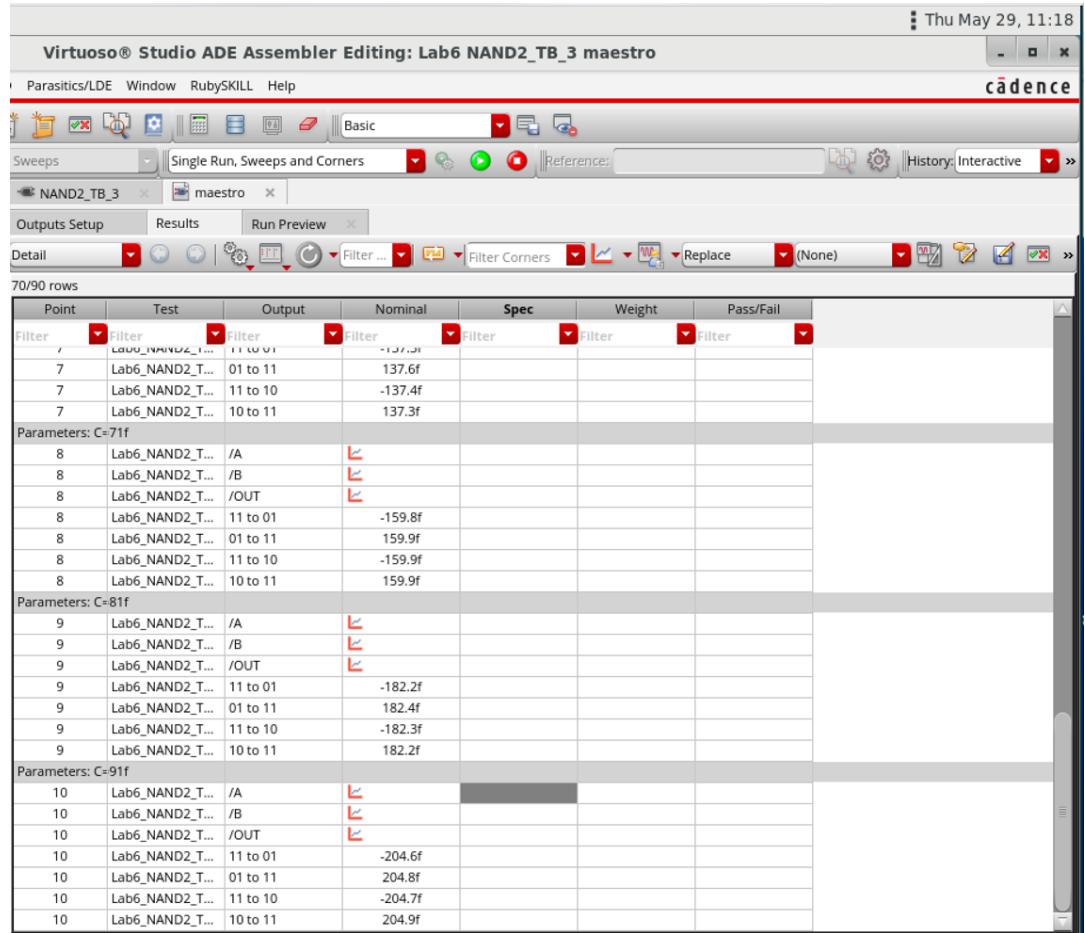
NAND2_TB_3 maestro

Outputs Setup Results Run Preview

Detail Filter Corners Replace (None)

70/90 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Filter	Filter	Filter	Filter	Filter
Parameters: C=61f						
7	Lab6_NAND2_T...	/A				
7	Lab6_NAND2_T...	/B				
7	Lab6_NAND2_T...	/OUT				
7	Lab6_NAND2_T...	11 to 01	-137.3f			
7	Lab6_NAND2_T...	01 to 11	137.6f			
7	Lab6_NAND2_T...	11 to 10	-137.4f			
7	Lab6_NAND2_T...	10 to 11	137.3f			
Parameters: C=71f						
8	Lab6_NAND2_T...	/A				
8	Lab6_NAND2_T...	/B				
8	Lab6_NAND2_T...	/OUT				
8	Lab6_NAND2_T...	11 to 01	-159.8f			
8	Lab6_NAND2_T...	01 to 11	159.9f			
8	Lab6_NAND2_T...	11 to 10	-159.9f			
8	Lab6_NAND2_T...	10 to 11	159.9f			
Parameters: C=81f						
9	Lab6_NAND2_T...	/A				
9	Lab6_NAND2_T...	/B				
9	Lab6_NAND2_T...	/OUT				
9	Lab6_NAND2_T...	11 to 01	-182.2f			
9	Lab6_NAND2_T...	01 to 11	182.4f			
9	Lab6_NAND2_T...	11 to 10	-182.3f			
9	Lab6_NAND2_T...	10 to 11	182.2f			

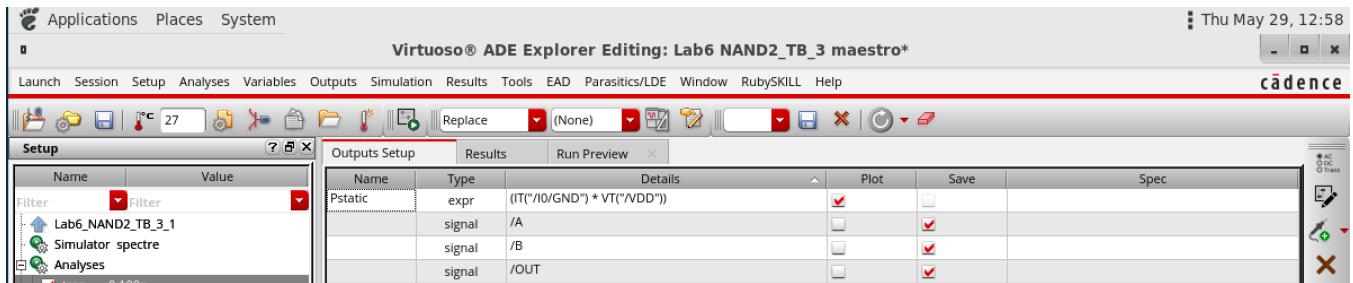


$$E_{\text{dynamic}} = VDD^2 \cdot C_L \cdot C$$

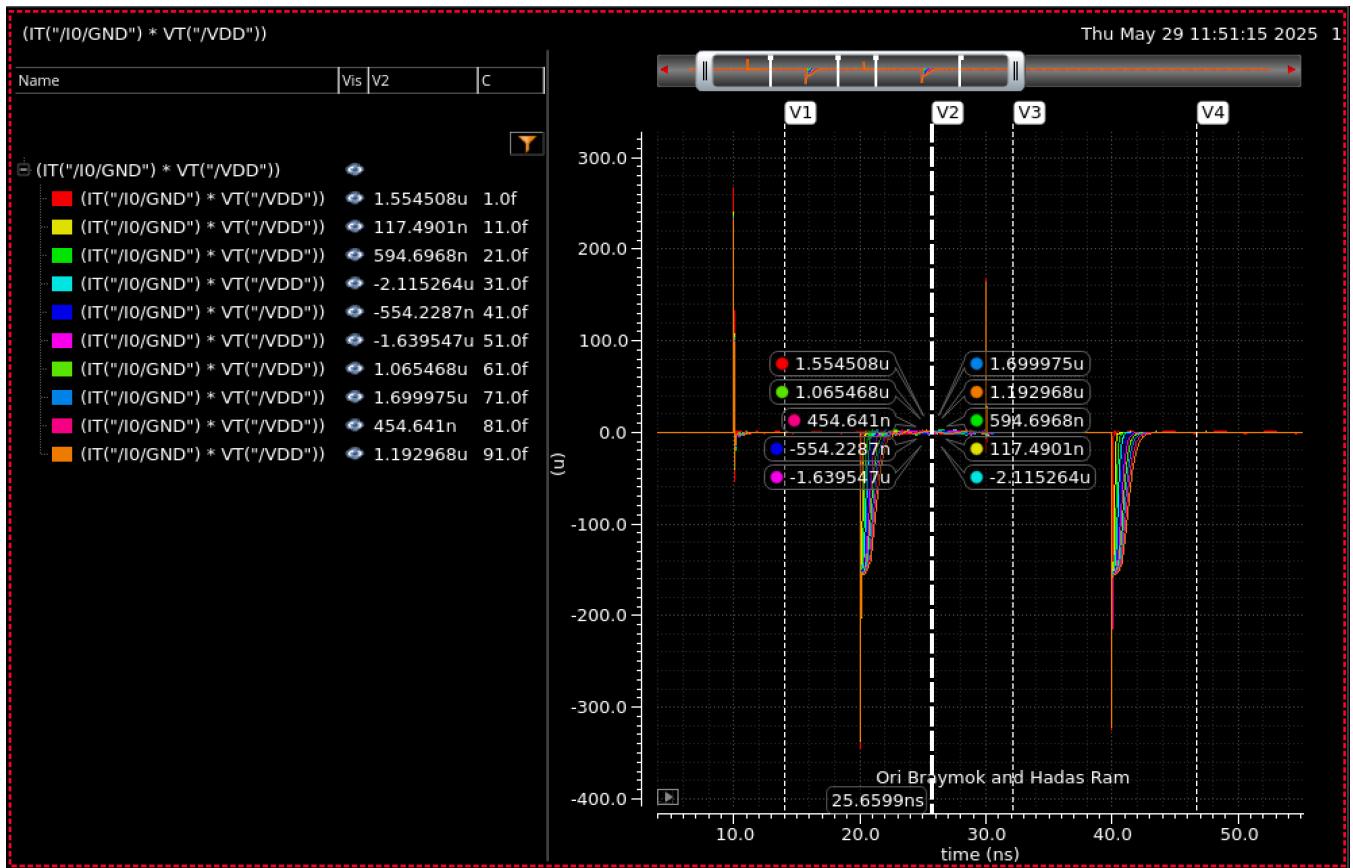
VDD ²	C	E _{dynamic}
2.25	1.00E-15	2.25E-15
2.25	1.10E-14	2.48E-14
2.25	2.10E-14	4.73E-14
2.25	3.10E-14	6.98E-14
2.25	4.10E-14	9.23E-14
2.25	5.10E-14	1.15E-13
2.25	6.10E-14	1.37E-13
2.25	7.10E-14	1.60E-13
2.25	8.10E-14	1.82E-13
2.25	9.10E-14	2.05E-13

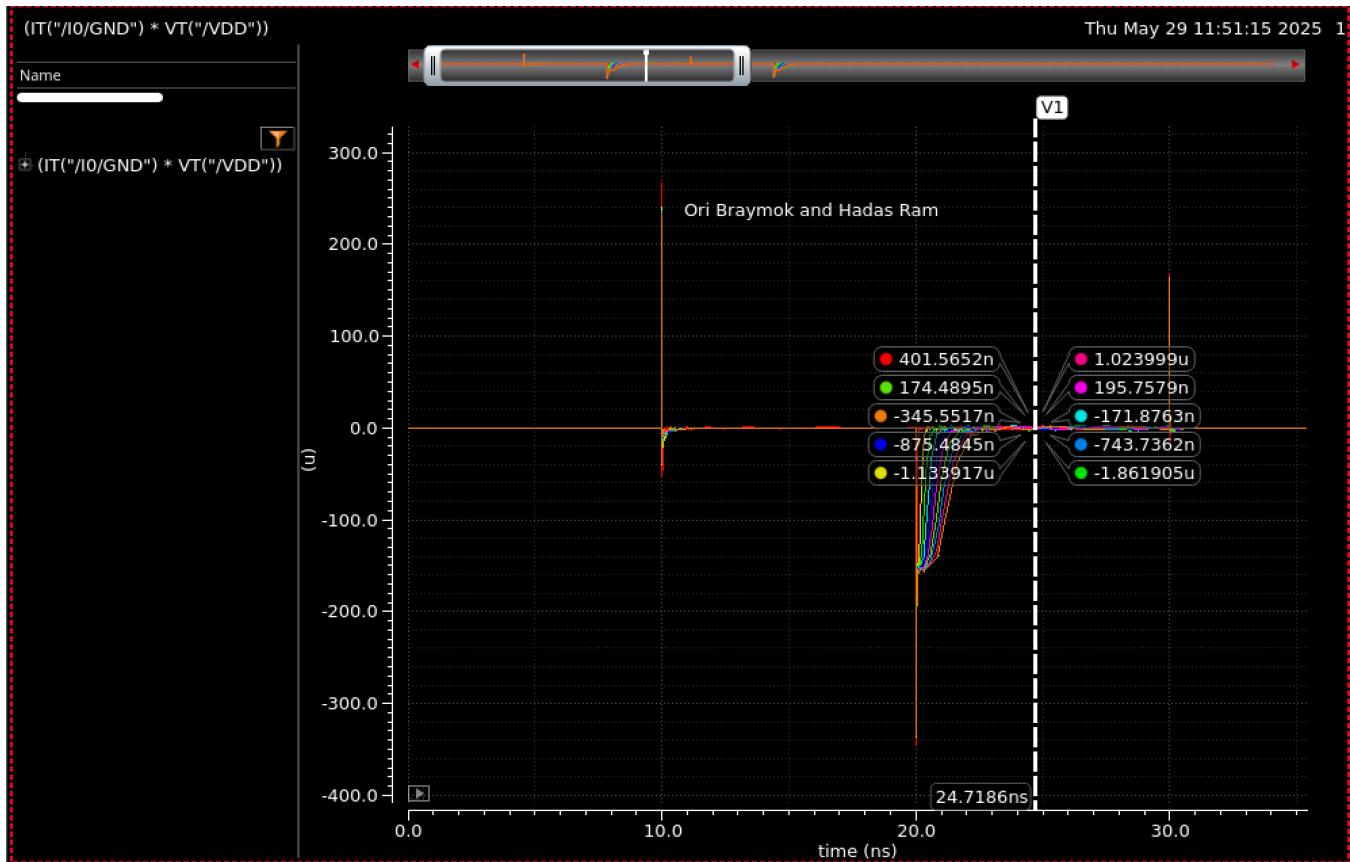
ניתן לראות שהתקבלו ערכים דומים אך לא זהים, כיוון שיש במעגל קיבולים פרזיטיים וזרמי זליגה, שהחישוב היבש לא לוקח בחשבון לעומת זה.

חישוב של ההספק הסטטי - זרם זליגה לפני הנוסחה: $P_{\text{static}} = I_{\text{leakage}} \cdot V_{\text{DD}}$.
כאשר הזרם שמדדנו הוא הזרם שנמצא ביציאה של GND של הרכיב NAND2.



קישרנו את `vec_file2` שעשינו בהרצינו סימולציה `tran` עם `stop time = 100n[s]`.
קיבלנו את זרמי הזליגה – גרפ' של ההספק הסטטי כפונקציה של הזמן:

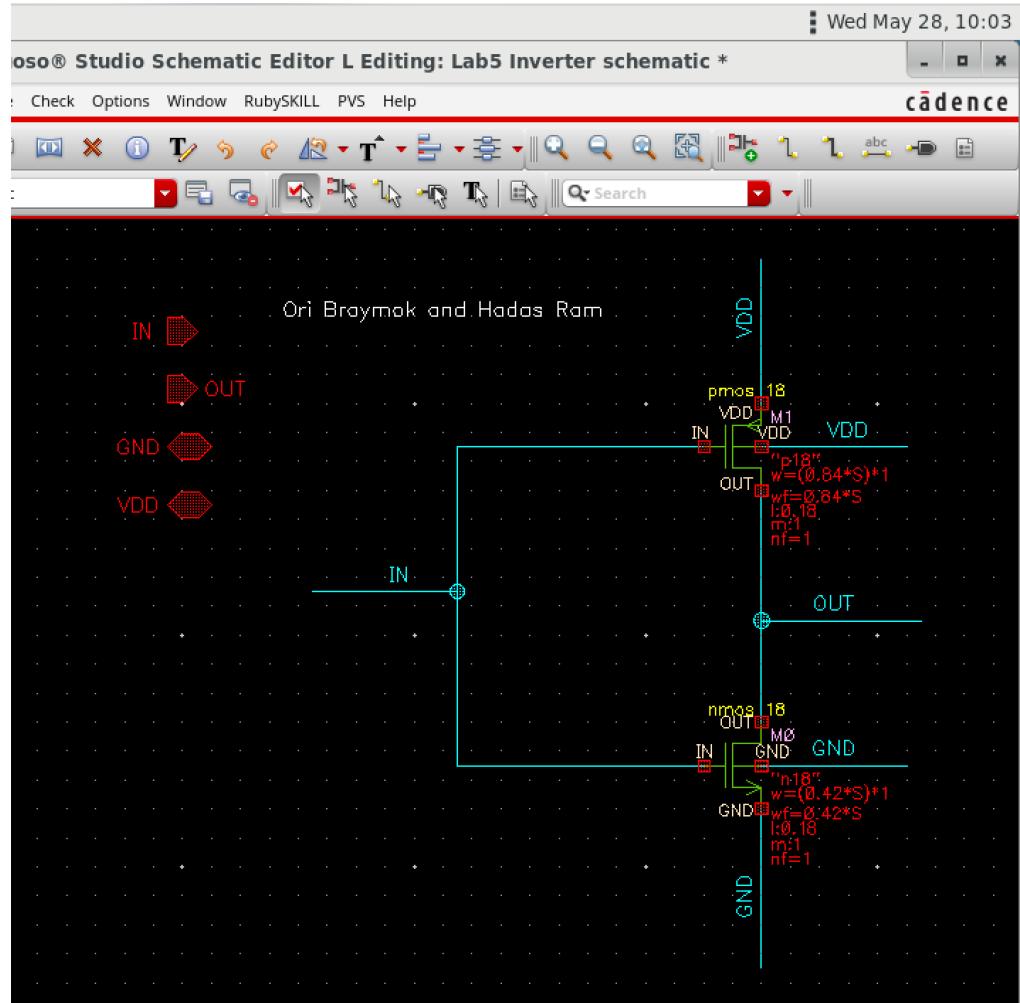




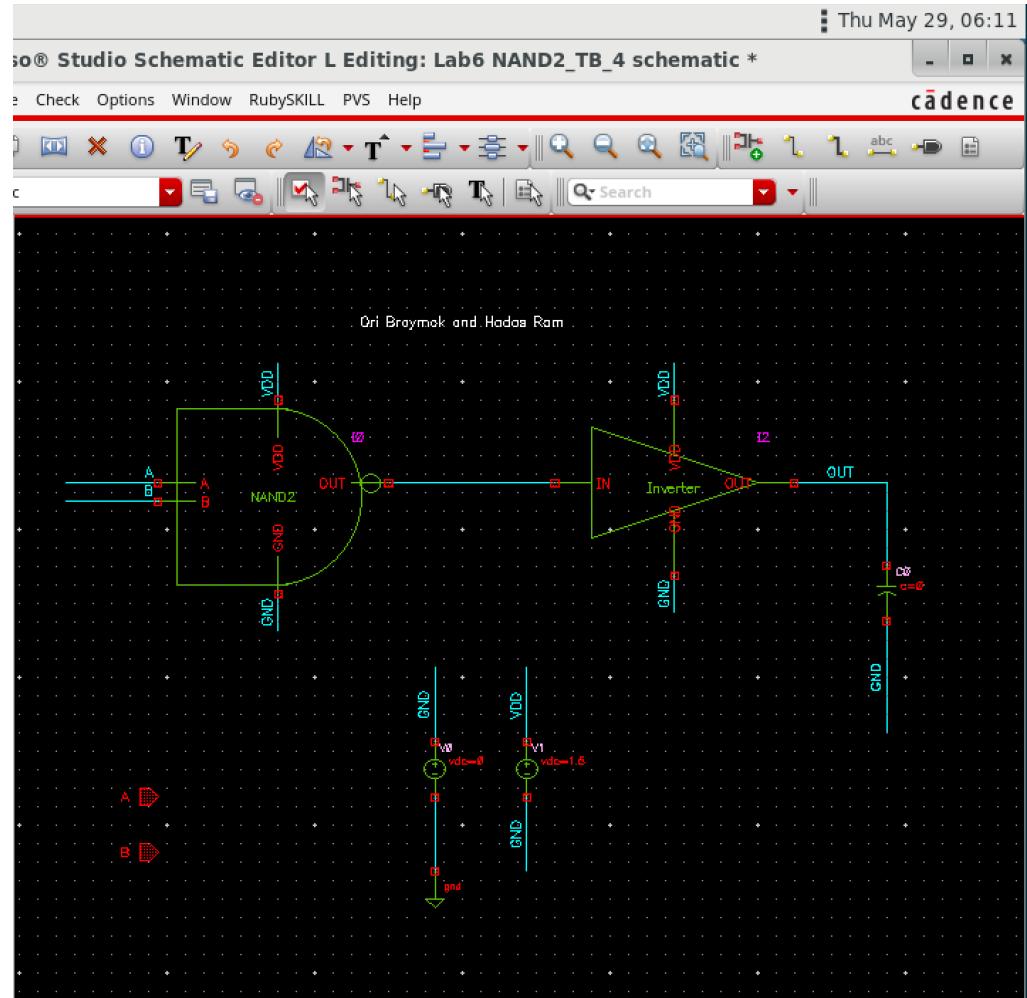
מדדנו את ההספק הסטטי של המעגל, הכולמר ההספק הנוצרך כאשר אין שינוי במצב הקולטנים ואין פעילות לוגית.
 ההספק הסטטי נובע מזרמי זליגה העוברים דרך הטרנזיסטורים גם כאשר ה V_{out} במצב יציב.
 ניתן לראות שזרמי הזליגה ההספק הסטטי קטנים מאוד.
 העקומות החדרות יותר בגרף אלו הרגעים הטעינה והפריקה המהירה של הקיבולים.

4. Now remove the capacitor and add an Inverter from Lab 5. What gate did we created? Adjust the Inverter so we have a parameter("S") that multiply the minimum gate width both in the nMOS and pMOS, similarly to what we did in Lab 5. Calculate tpd for your gate(NAND or NOR) for a single transition, for 10 values of S from 1-10. Explain the results.

הוספנו את הפרמטר S ל finger width של ה-PMOS ב-5Lab שיצרנו ב-5Lab כאשר $\beta = 2$



חברנו את הoutput של Inverter C=0[F] בmoץ של NAND2, בנוסף לכך הוא המווצה של הInverter.



הגדרנו את הקובץ ה-vec_file2 כרך:

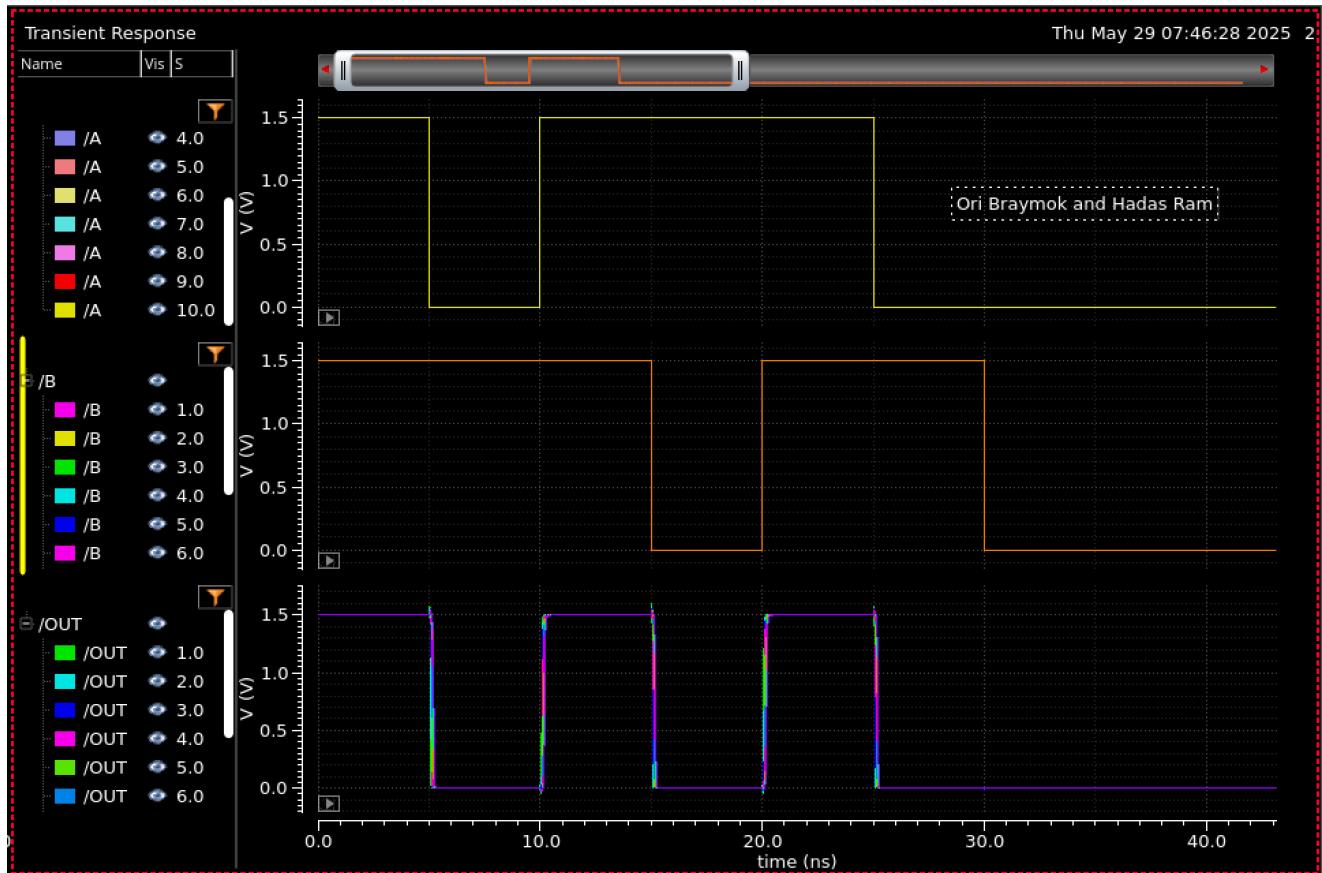
```

Thu May 29, 07:51
● vec_file2.vec - Visual Studio Code
File Edit Selection View Go Run Terminal Help
project > tower > users > ramhada > ws > vec_file2.vec
1 #Ori Braymok and Hadas Ram
2
3 radix 1 1
4
5 io i i
6
7 vname A B
8
9 tunit ps
10
11 trise 5
12
13 tfall 5
14
15 vih 1.5
16 vil 0
17
18 voh 1.5
19 vol 0
20
21 0 1 1
22 5000 0 1
23 10000 1 1
24 15000 1 0
25 20000 1 1
26 25000 0 1
27 30000 0 0
28

```

הגדרנו את המשוואות הבאות על מנת למצוא את הpdT של המערכת.

Name	Type	Details	Plot	Save
Tphl_A	expr	(cross(VT("/OUT") 0.75 1 "falling" nil nil) - cross(VT("/A") 0.75 1 "falling" nil nil))	<input type="checkbox"/>	<input type="checkbox"/>
Tplh_A	expr	(cross(VT("/OUT") 0.75 1 "rising" nil nil) - cross(VT("/A") 0.75 1 "rising" nil nil))	<input type="checkbox"/>	<input type="checkbox"/>
Tpd_A	expr	((Tphl_A + Tplh_A) / 2)	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Tphl_B	expr	(cross(VT("/OUT") 0.75 2 "falling" nil nil) - cross(VT("/B") 0.75 1 "falling" nil nil))	<input type="checkbox"/>	<input type="checkbox"/>
Tplh_B	expr	(cross(VT("/OUT") 0.75 2 "rising" nil nil) - cross(VT("/B") 0.75 1 "rising" nil nil))	<input type="checkbox"/>	<input type="checkbox"/>
Tpd_B	expr	((Tphl_B + Tplh_B) / 2)	<input checked="" type="checkbox"/>	<input type="checkbox"/>
Tpd	expr	((Tpd_A + Tpd_B) / 2)	<input checked="" type="checkbox"/>	<input type="checkbox"/>
/B	signal		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
/A	signal		<input checked="" type="checkbox"/>	<input type="checkbox"/>
/OUT	signal		<input checked="" type="checkbox"/>	<input type="checkbox"/>



ניתן לראות שקיבלונו שער AND נכוןה. (מהפרק על NAND2 צריך להתקבל שער AND).

טבלת אמת של שער AND:

A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

הערכים של הזמן:

Virtuoso® ADE Assembler Editing: Lab6 NAND2_TB_4 maestro

Parasitics/LDE Window RubySKILL Help

Sweeps Single Run, Sweeps and Corners Reference: History Interactive

maestro NAND2_TB_4 Outputs Setup Results Run Preview Detail Filter Corners Replace (None)

60 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Filter	Filter	Filter	Filter	Filter
Parameters: S=1						
1	Lab6_NAND2_T...	Tpd_A	74.58p			
1	Lab6_NAND2_T...	/B				
1	Lab6_NAND2_T...	Tpd_B	66.31p			
1	Lab6_NAND2_T...	Tpd	70.44p			
1	Lab6_NAND2_T...	/A				
1	Lab6_NAND2_T...	/OUT				
Parameters: S=2						
2	Lab6_NAND2_T...	Tpd_A	90.45p			
2	Lab6_NAND2_T...	/B				
2	Lab6_NAND2_T...	Tpd_B	82.05p			
2	Lab6_NAND2_T...	Tpd	86.25p			
2	Lab6_NAND2_T...	/A				
2	Lab6_NAND2_T...	/OUT				
Parameters: S=3						
3	Lab6_NAND2_T...	Tpd_A	105.9p			
3	Lab6_NAND2_T...	/B				
3	Lab6_NAND2_T...	Tpd_B	97.48p			
3	Lab6_NAND2_T...	Tpd	101.7p			
3	Lab6_NAND2_T...	/A				
3	Lab6_NAND2_T...	/OUT				

Virtuoso® ADE Assembler Editing: Lab6 NAND2_TB_4 maestro

Parasitics/LDE Window RubySKILL Help

Sweeps Single Run, Sweeps and Corners Reference: History Interactive

maestro NAND2_TB_4 Outputs Setup Results Run Preview Detail Filter Corners Replace (None)

60 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Filter	Filter	Filter	Filter	Filter
Parameters: S=4						
4	Lab6_NAND2_T...	Tpd_A	121.3p			
4	Lab6_NAND2_T...	/B				
4	Lab6_NAND2_T...	Tpd_B	112.8p			
4	Lab6_NAND2_T...	Tpd	117.1p			
4	Lab6_NAND2_T...	/A				
4	Lab6_NAND2_T...	/OUT				
Parameters: S=5						
5	Lab6_NAND2_T...	Tpd_A	137p			
5	Lab6_NAND2_T...	/B				
5	Lab6_NAND2_T...	Tpd_B	128.4p			
5	Lab6_NAND2_T...	Tpd	132.7p			
5	Lab6_NAND2_T...	/A				
5	Lab6_NAND2_T...	/OUT				
Parameters: S=6						
6	Lab6_NAND2_T...	Tpd_A	152.6p			
6	Lab6_NAND2_T...	/B				
6	Lab6_NAND2_T...	Tpd_B	144.2p			
6	Lab6_NAND2_T...	Tpd	148.4p			
6	Lab6_NAND2_T...	/A				
6	Lab6_NAND2_T...	/OUT				

Thu May 29, 07:26

Virtuoso® ADE Assembler Editing: Lab6 NAND2_TB_4 maestro

Parasitics/LDE Window RubySKILL Help

maestro X NAND2_TB_4

Sweeps Single Run, Sweeps and Corners Reference History Interactive

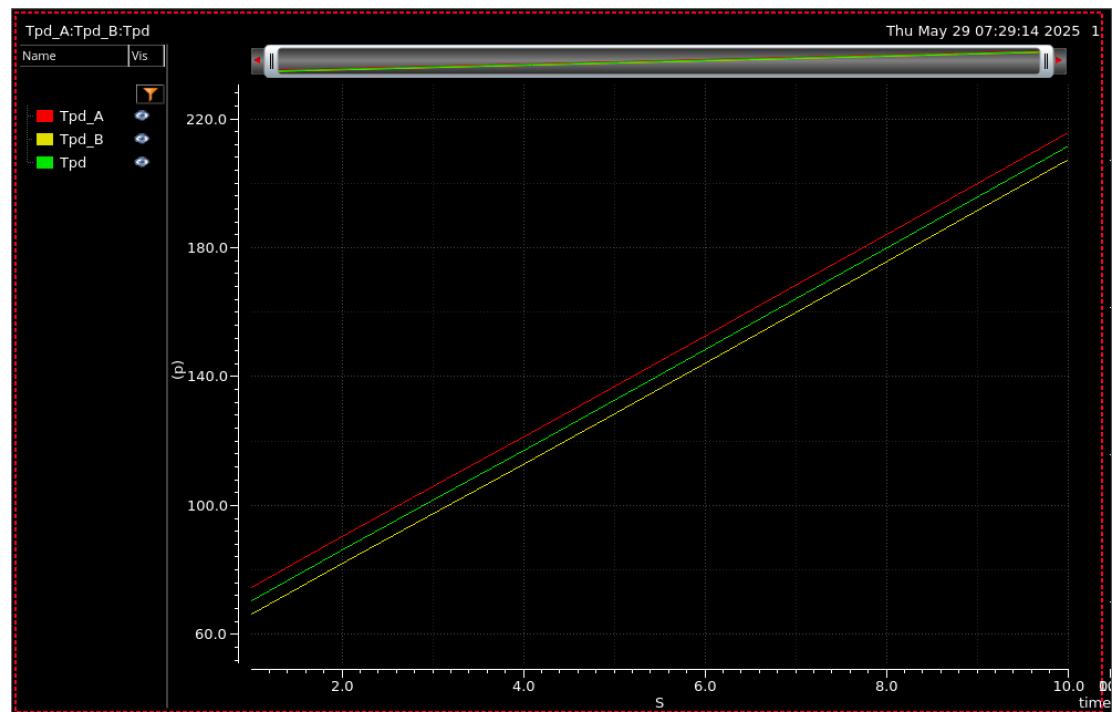
Outputs Setup Results Run Preview

Detail Filter ... Filter Corners Replace (None)

60 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Filter	Filter	Filter	Filter	Filter
Parameters: S=7						
7	Lab6_NAND2_T...	Tpd_A	168.4p			
7	Lab6_NAND2_T...	/B				
7	Lab6_NAND2_T...	Tpd_B	159.9p			
7	Lab6_NAND2_T...	Tpd	164.2p			
7	Lab6_NAND2_T...	/A				
7	Lab6_NAND2_T...	/OUT				
Parameters: S=8						
8	Lab6_NAND2_T...	Tpd_A	184.1p			
8	Lab6_NAND2_T...	/B				
8	Lab6_NAND2_T...	Tpd_B	175.7p			
8	Lab6_NAND2_T...	Tpd	179.9p			
8	Lab6_NAND2_T...	/A				
8	Lab6_NAND2_T...	/OUT				
Parameters: S=9						
9	Lab6_NAND2_T...	Tpd_A	199.9p			
9	Lab6_NAND2_T...	/B				
9	Lab6_NAND2_T...	Tpd_B	191.6p			
9	Lab6_NAND2_T...	Tpd	195.8p			
9	Lab6_NAND2_T...	/A				
9	Lab6_NAND2_T...	/OUT				
Parameters: S=10						
10	Lab6_NAND2_T...	Tpd_A	215.7p			
10	Lab6_NAND2_T...	/B				
10	Lab6_NAND2_T...	Tpd_B	207.3p			
10	Lab6_NAND2_T...	Tpd	211.5p			
10	Lab6_NAND2_T...	/A				
10	Lab6_NAND2_T...	/OUT				

גרף של הpd:



ניתן לראות ש ככל שהגדלנו את S כך גדל הזמן של t_{pd} .

במוגל הכלול יש שער NAND ואחריו שער NOT, זמן ההשניה t_{pd} תלוי במשך הזמן שלוקח ליציאת ה- NAND להשפייע על יציאת ה- NOT. כאשר מרחיבים את הטרנזיסטים בשער ה-NOT כלומר מגדילים את הפעמטר S מתקבל כי קיבול הכניסה של ה-NOT גדל באופן פרופורציונלי ל- S.

אחריו ויציאת שער ה- NAND מחוברת לכניסת שער ה-, NOT הגדילה רוחב הטרנזיסטים בו NOT גורמת לקיבול גדול יותר על שער ה- NAND. כתוצאה לכך, לוקח ל- NAND יותר זמן לטוען או לפרוק את הקיבול זהה, וכן זמן ההשניה הכלול של השרשראת גדול.

באופן מתמטי, ניתן לבטא זאת כך:
מההרצאה:

$$t_{pd} = 0.69R_{eq}(C_{int} + C_{ext})$$

במקרה שלנו לאחר הרחבת הרוחב הטרנזיסטים בשער NOT:

$$t_{pd} = 0.69R_{NAND2}(C_{NAND2} + S^*C_{NOT})$$

מכאן, ככל שה- S גדול, גם t_{pd} גדול נציג כי על אף שה- NOT מגיב פנימית מהר יותר כשהוא רחב יותר, הוא יוצר עומס גדול יותר על השער הקודם וכן פוגע בזמן ההשניה הכלול של השרשראת.