

מעבדה במבוא למעגלים דוח 5

Introduction to Digital Electronic Circuits
Laboratory

שמות המגישים + תז:

אורן ברימוק 314992447

הדר רם 214068843

תאריך הגשה:

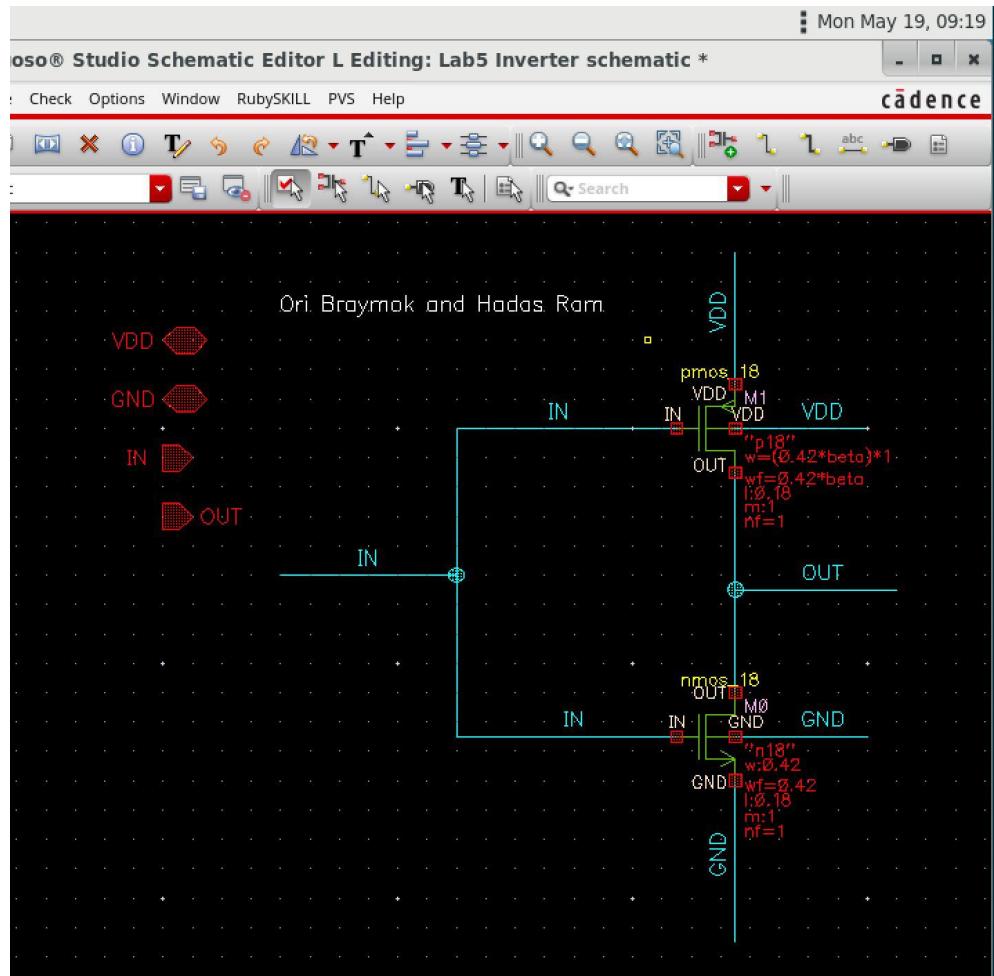
22.05.2025

$$G = 10$$

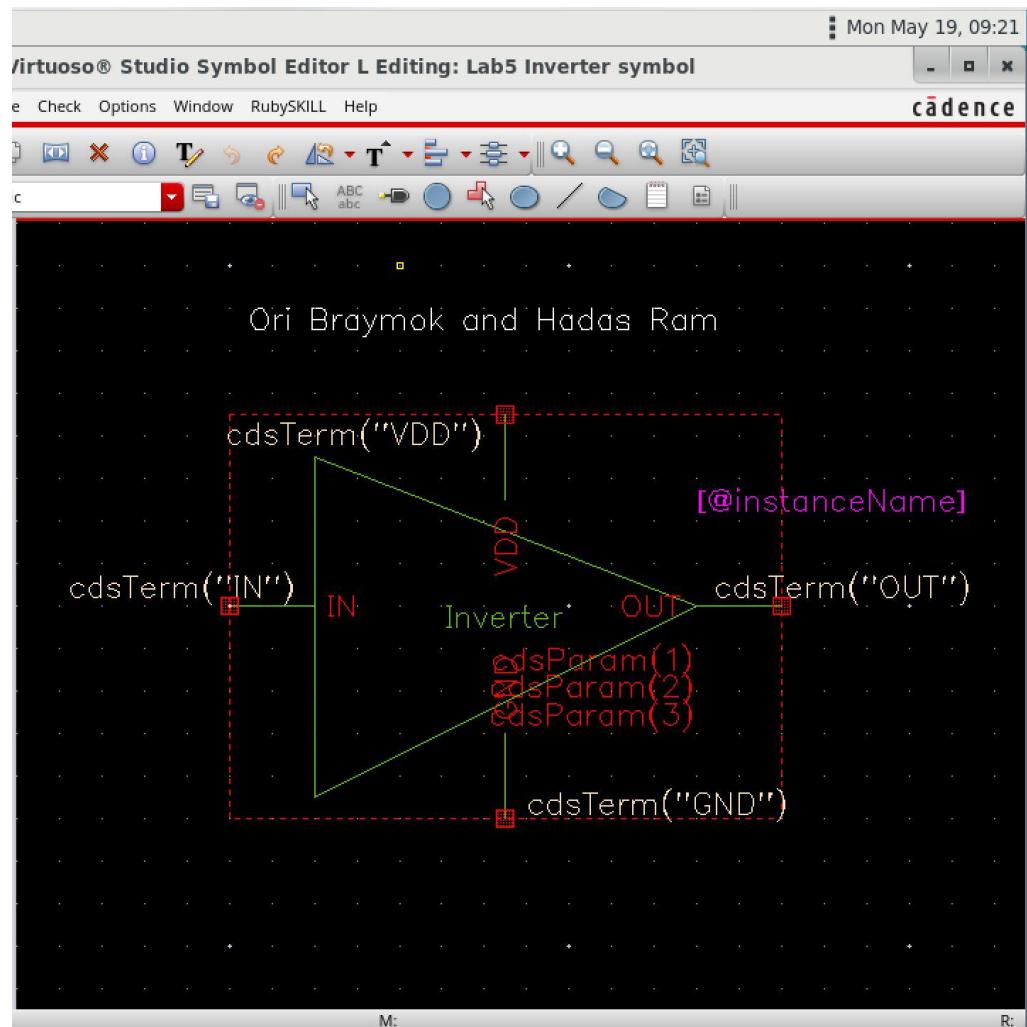
$$VDD = 1.5 + (G \bmod 10)/10 = 1.5$$

1. The last example in the booklet was finding V_m of an inverter. Simulate the circuit and find the β value which will derive $V_m \approx VDD/2$. Use the Specifications as you learned in Lab 4. Explain the results.

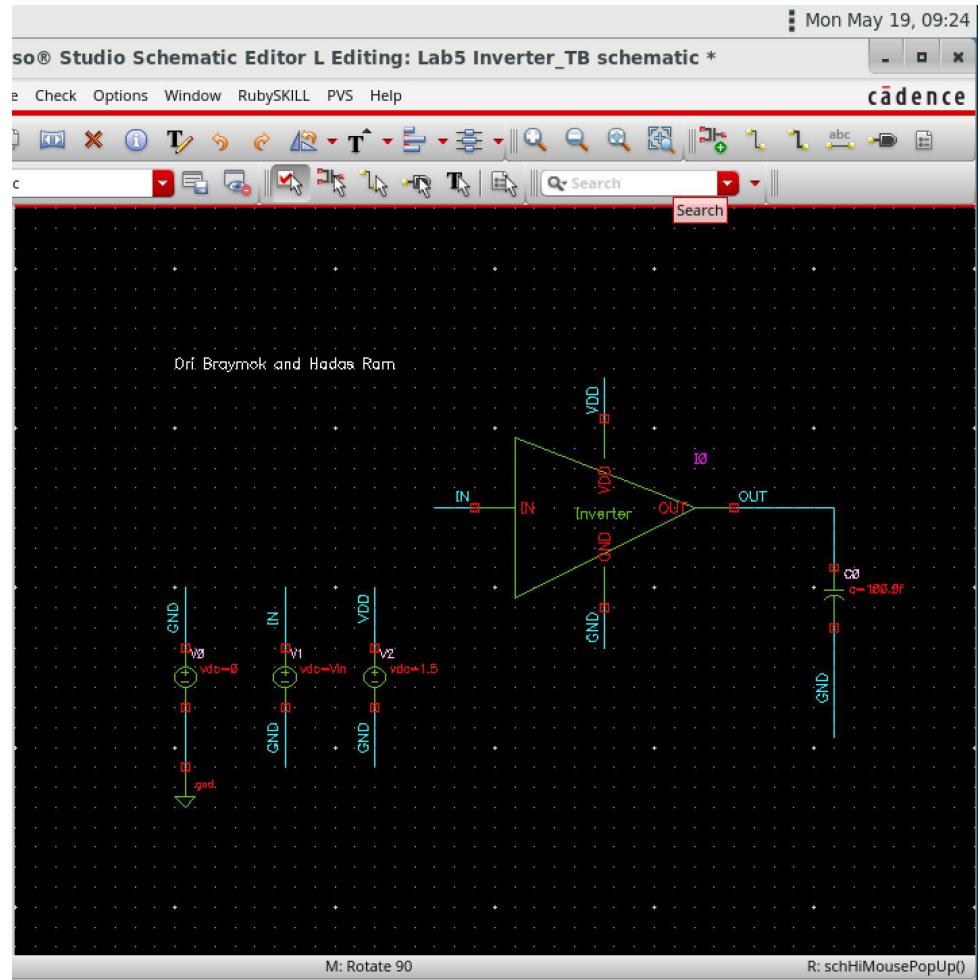
פתחנו ב-OrCAD Lab5 תיוקה Library Manager ובה הגדנו Cell View בשם Inverter. בՁן ה-PMOS נמצאו את ה-Drain המחבר ל-Source של NMOS, כאשר $w_f = 0.42\beta$, ואשר $\beta = 0.42\beta$.



וגרנו את ה-**Inverter** ב-**KoFOA** שחורה.



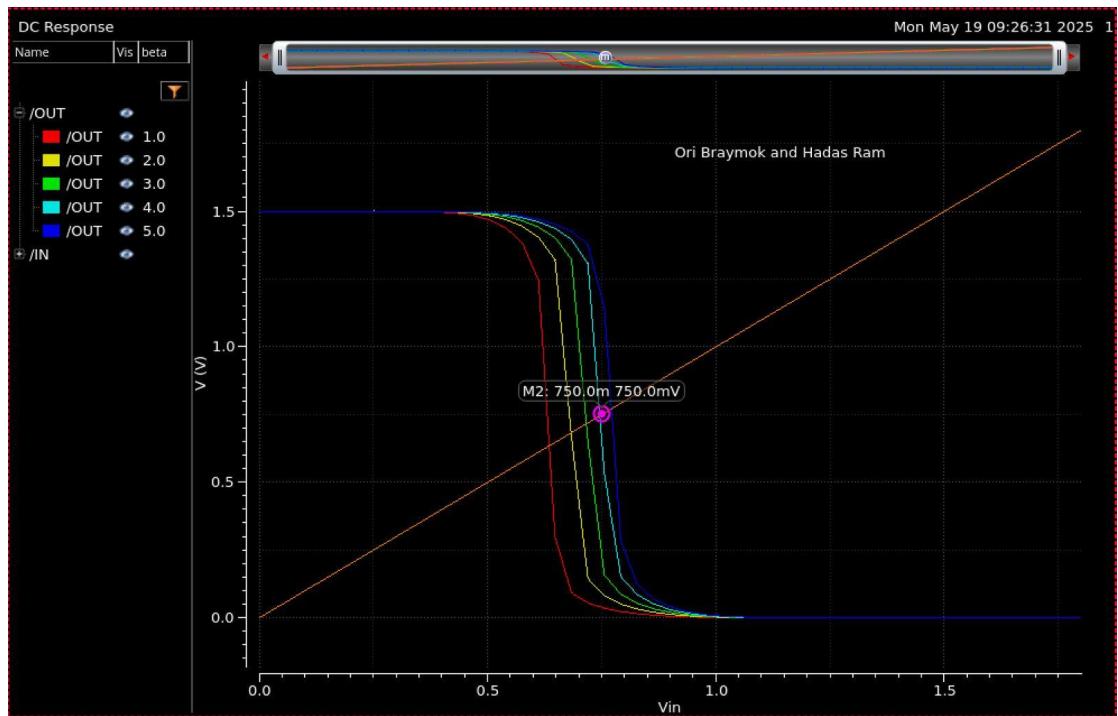
פתחנו Cell View בשם Inverter_TB, שמננו את הינטן Inverter ונוספנו מתחים.
כאשר [F] – הוכנו ל'IN' – הוכנו $V_{DD} = 1.5 \text{ [v]}$, $c=0.1 \text{ pF}$ ב'OUT'



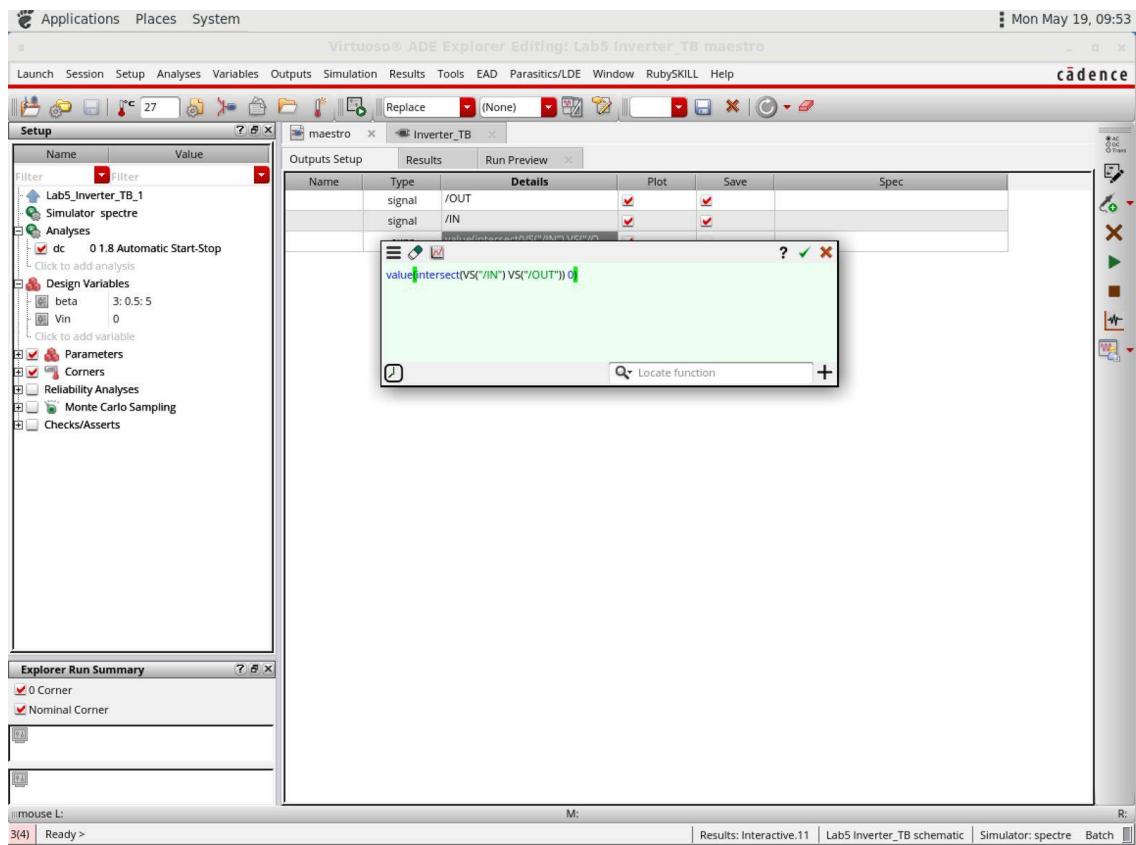
הרכנו סימולציה DC על המתח Vin כשאר הוא משתנה מ[0] ל[1.5] והגדכנו את beta לרוח מ1 עד 5 בקצבירות של 1 (1:1:5).

קיבלנו 5 גרפים של Vout כתלות בח Vin כאשר כל אחד עבר ערך אחר של beta, וגרף נוסף של Vin – הגרף הלינארי.

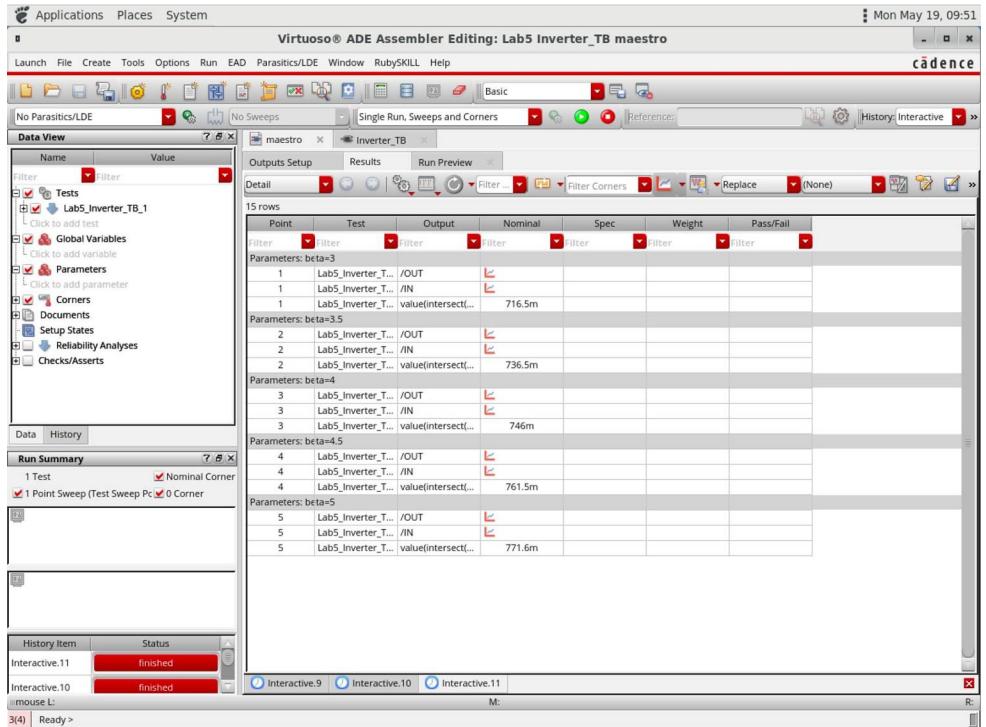
Vm הוא המתח שבו $V_{in} = V_{out}$.
hiphnu את הערך [v] $V_m = V_{DD}/2 = 1.5/2 = 0.750$ אשר $\beta = 4$.



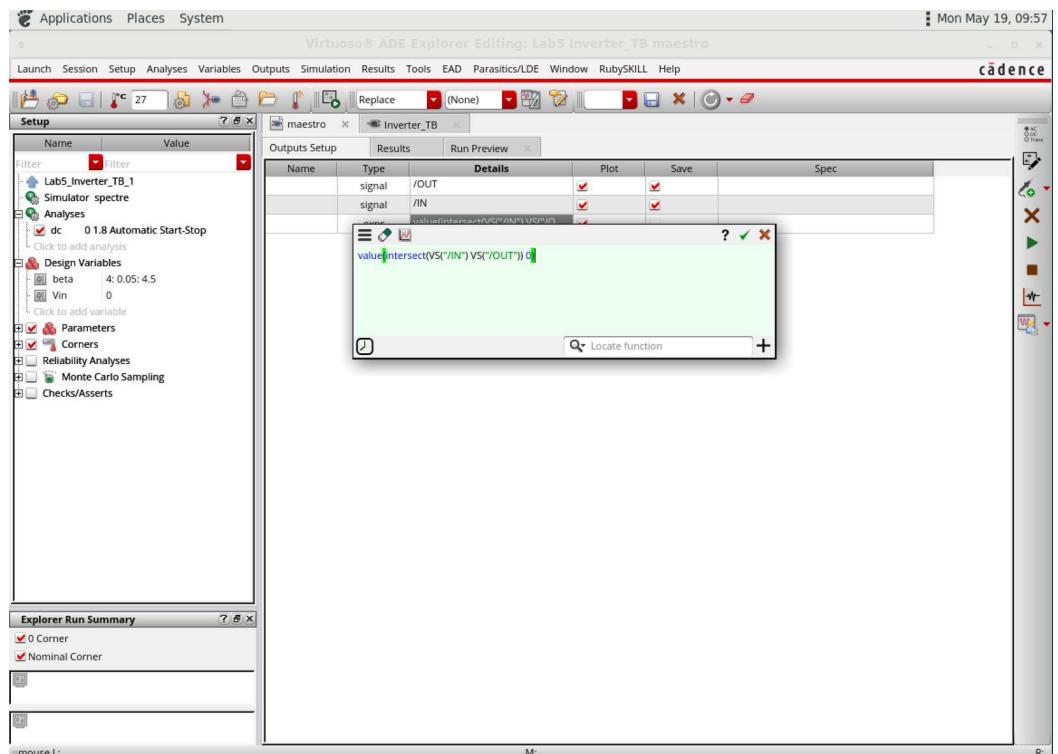
חישבנו את הערך של β , בעזרה Calculator הוספנו את השורה הבאה,
והרצינו את החישוב עבור ערכי β בין 3 ל 5 כיוון שבאזור זה ראיינו כי β אמור להיות לפי הגרף.



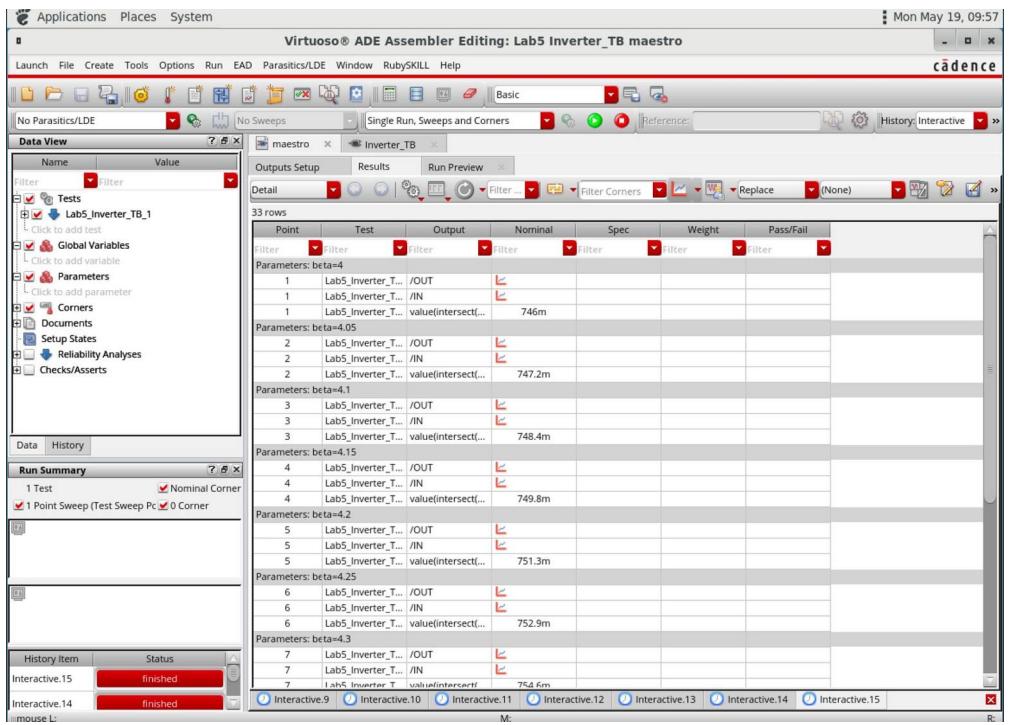
חישנו היכן נמצא בקירוב $V_m = 0.750$.



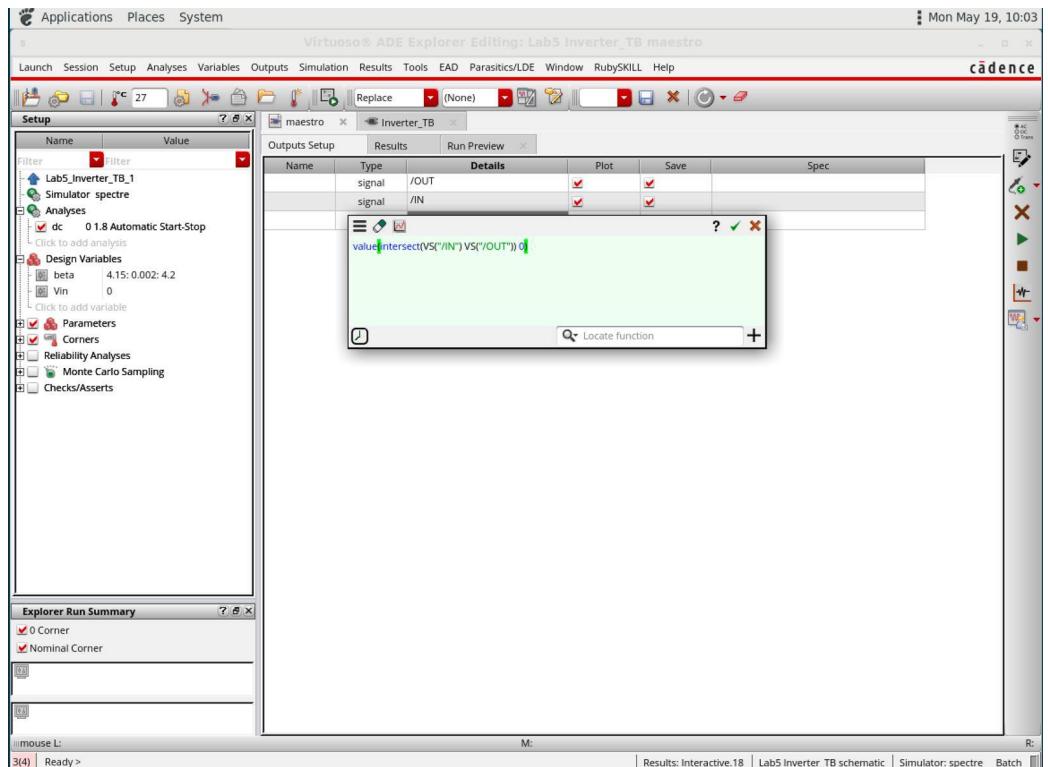
יצמכו את החישוב עבור ערכי beta בין 4.05 ל-4.5, כיוון שהוא בו אמור להיות הערך מ-7 שלנו.



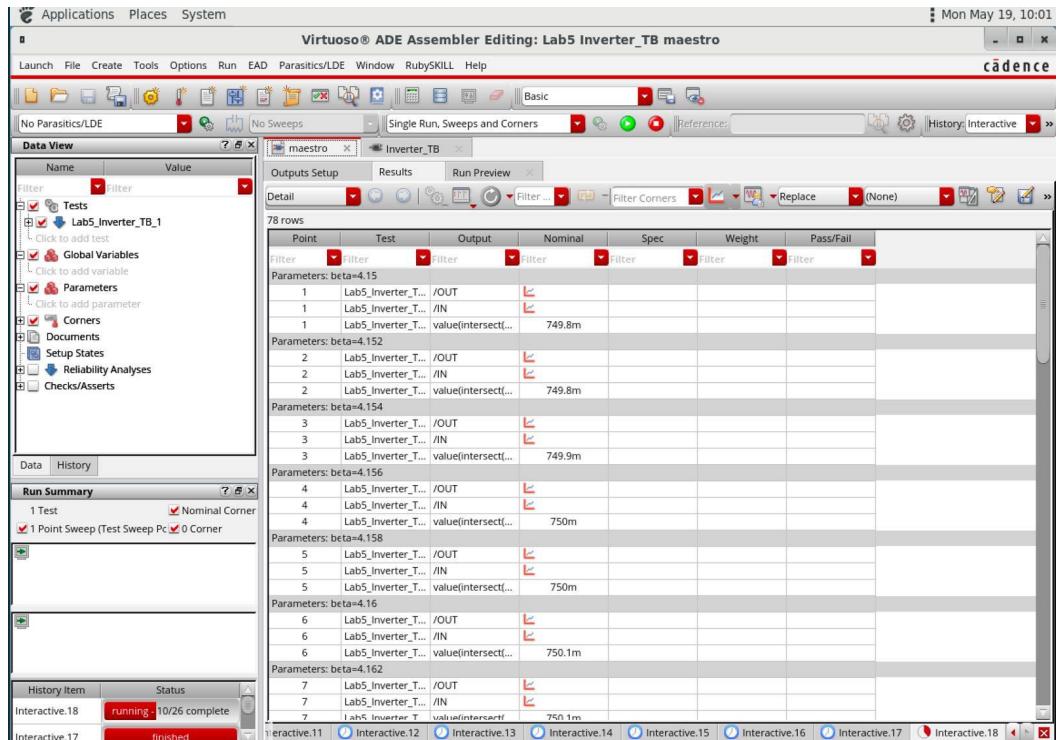
הריצנו את החישוב וחיפשנו את הערך W_1 שלו.



צימצמנו שנית את החישוב עבור ערכי beta בין 4.15 ל-4.2 בקפיצות של 0.002.



הרצינו שוב את החישוב וחיפשנו את הערך V_m שלו.



ניתן לראות כי קיבלנו שעבור ערך $[V_m] = 0.750$ ערך β שלנו הוא 4.156

$$\beta = 4.156$$

בפועל הPMOS חלש יותר מ_NMOS, כי נידות החורים שזה הזרם שזורם בPMOS נמוכה יותר מניידות האלקטרונים שזורמים בNMOS. לכן כדי לאזן בין שני הטרנזיסטורים נתונים לPMOS רוחב גדול יותר כדי שיעבור יותר זרם.

היחס בין הרוחב של הPMOS לרוחב של NMOS נקרא β .

$$\beta = \mu C_{ox} \frac{W}{L}$$

μ – נידות המטען (חורים בPMOS ואלקטרונים בNMOS).

C_{ox} – קיבול ייחיד שטח של תחומיות השער.

W – רוחב התעללה.

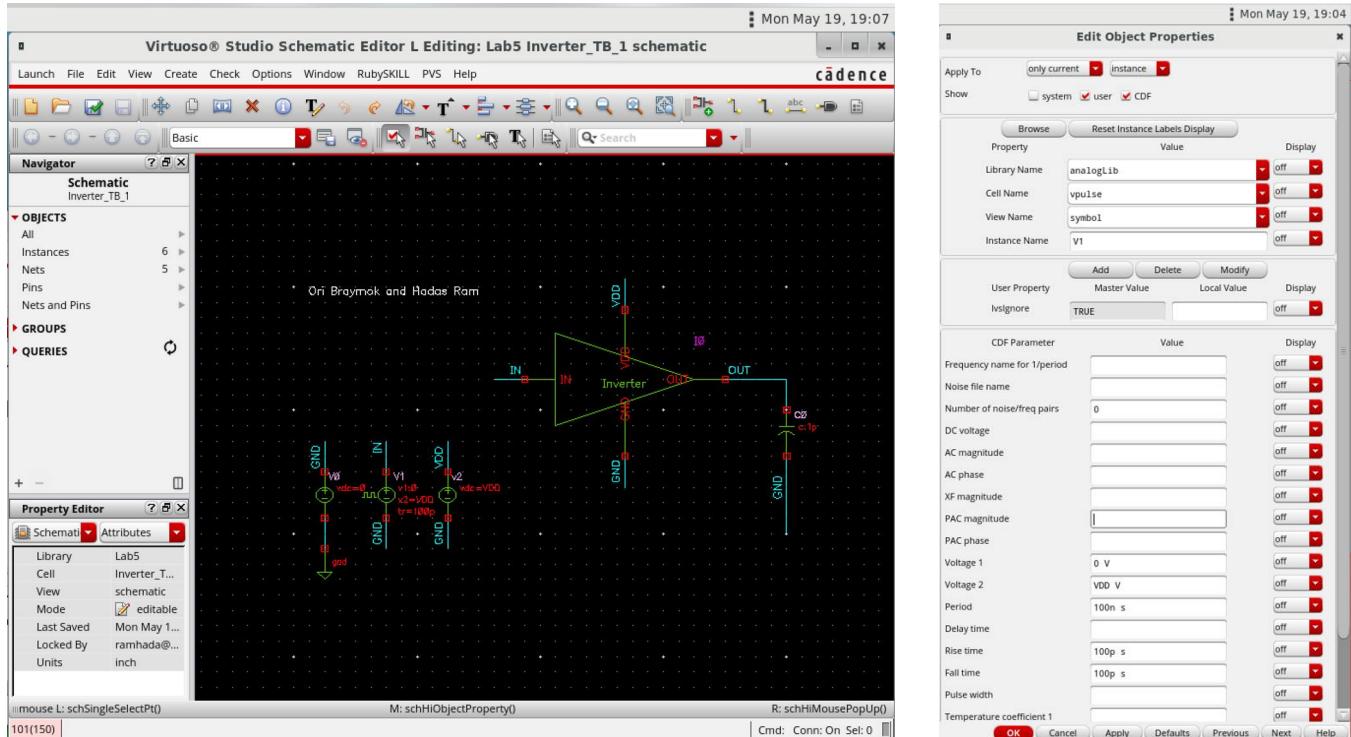
L – אורך התעללה.

$$\beta = \frac{\beta_p}{\beta_n} = \frac{\mu_p C_{ox} \frac{W_p}{L_p}}{\mu_n C_{ox} \frac{W_n}{L_n}} = \frac{\mu_p \frac{W_p}{L_p}}{\mu_n \frac{W_n}{L_n}}$$

בנקודה V_m שבה המתח של V_{in} שווה למתח של V_{out} נקבל שהPMOS והNMOS יהיו בעלי עוצמת זרם זהה.

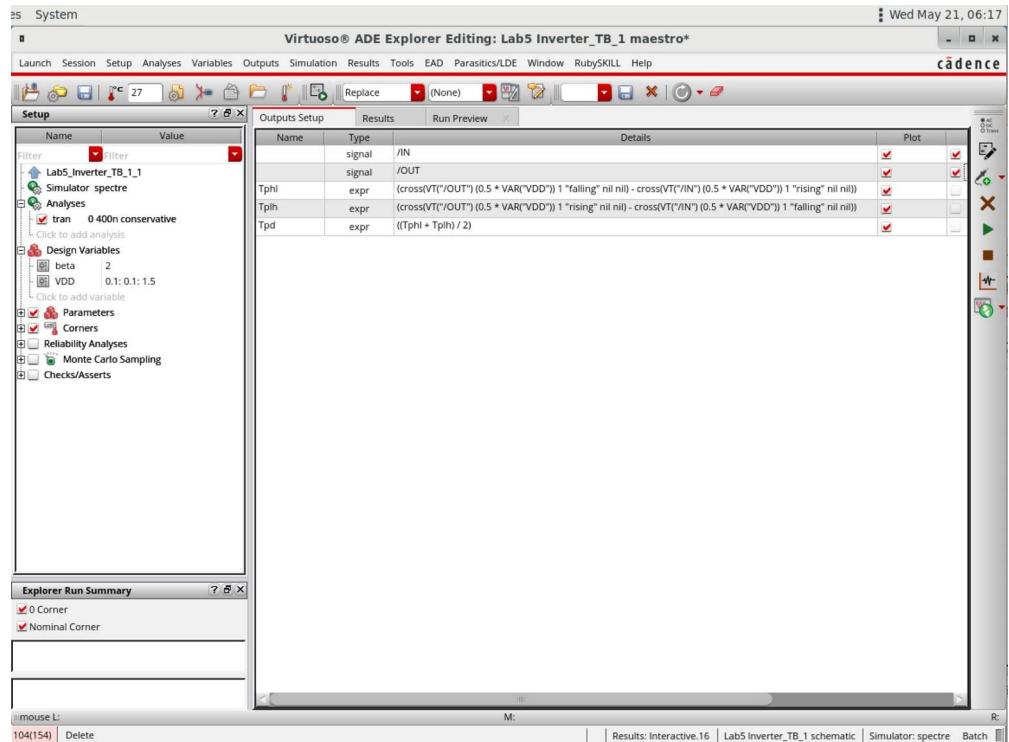
2. Set $\beta = 2$. Simulate the Propagation Delay (tpd) as a function of VDD (from 0.1V to V DD with steps of 0.1V). Explain the effect of VDD on tpd based on the results. Does the gate works for every VDD? If not, explain.

שינו את המתח כניסה vin מ-0[V] ל- $vpulse$.
הדרנו [s] $voltage1 = 0[V]$, $voltage2 = VDD[V]$, $Period = 100n[s]$, $Rise time = 100p[s]$, $Fall time = 100p[s]$.
(Booklet) $c=1p[F]$ בנוספ' לכך שינו את הקבל ל $c=1p[F]$.

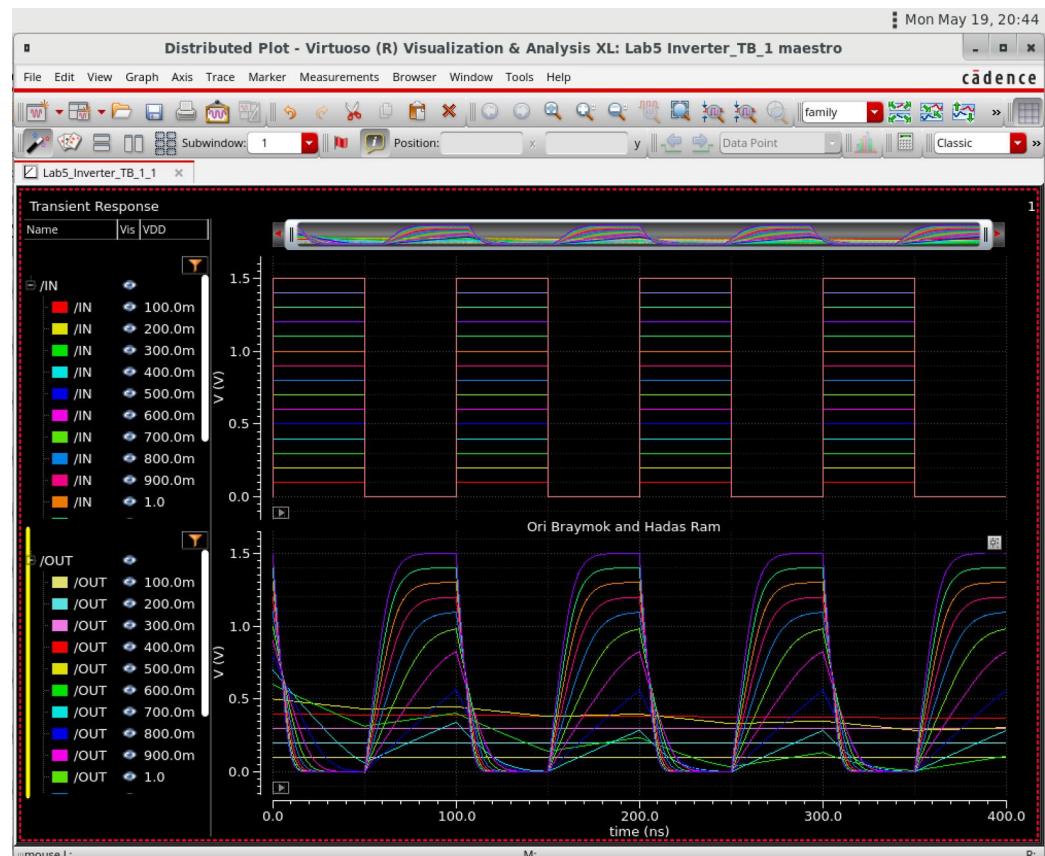


הרכנו סימולציה tran (שכן הכניסה שלנו היא מסוג vpulse) עם [s] $stop time = 400n$ [s], הגדרנו את $\beta = 2$ כפי שמצוין בשאלתך, ורכנו על VDD מ[0.1] עד [1.5] [v] (הה VDD שלנו) בקצבות של [0.1].
בעזרת הוראות calculator, הגדרנו את המשוואות עבורה: $Tphl$, $Tplh$, Tpd .

$Tphl$ – זמן התפשטות הירידה High \rightarrow Low. הזמן שŁוקח לפט לרדת מ-High Low אחרי שהקלט משתנה.
 $Tplh$ – זמן התפשטות העלייה Low \rightarrow High. הזמן שŁוקח לפט לעלות מ-Low High אחרי שהקלט משתנה.
 Tpd – עיקוב ההתפשטות הממוצע שמצוין כך: $\frac{Tphl+Tplh}{2}$.



הרכנו את הסימולציה וקיבלנו גרף של V_{in} כתלות בזמן וגרף של V_{out} כתלות בזמן.



בנוסף לכך קיבלנו את הערכיהם הבאים עבור הזמןים T_{phl} , T_{plh} , T_{pd}

Data View

- Tests: Lab5_Inverter_TB_1_1 (selected)
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary

1 Test Nominal Corner
1 Point Sweep (Test Sweep P: 0 Corner)

History Item	Status
Interactive.7	finished with errors
Interactive.6	finished
Interactive.5	

Outputs Setup

Results Run Preview

Detail Filter... Filter Corners Replace (None)

75 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
1	Lab5_Inverter_T...	/IN				
1	Lab5_Inverter_T...	/OUT				
1	Lab5_Inverter_T...	Tphl	eval err			
1	Lab5_Inverter_T...	Tplh	eval err			
1	Lab5_Inverter_T...	Tpd	eval err			
2	Lab5_Inverter_T...	/IN				
2	Lab5_Inverter_T...	/OUT				
2	Lab5_Inverter_T...	Tphl	eval err			
2	Lab5_Inverter_T...	Tplh	eval err			
2	Lab5_Inverter_T...	Tpd	eval err			
3	Lab5_Inverter_T...	/IN				
3	Lab5_Inverter_T...	/OUT				
3	Lab5_Inverter_T...	Tphl	eval err			
3	Lab5_Inverter_T...	Tplh	eval err			
3	Lab5_Inverter_T...	Tpd	eval err			
4	Lab5_Inverter_T...	/IN				
4	Lab5_Inverter_T...	/OUT				
4	Lab5_Inverter_T...	Tphl	eval err			
4	Lab5_Inverter_T...	Tplh	eval err			
4	Lab5_Inverter_T...	Tpd	eval err			
5	Lab5_Inverter_T...	/IN				
5	Lab5_Inverter_T...	/OUT				
5	Lab5_Inverter_T...	Tphl	eval err			
5	Lab5_Inverter_T...	Tplh	eval err			
5	Lab5_Inverter_T...	Tpd	eval err			
6	Lab5_Inverter_T...	/IN				
7	Lab5_Inverter_T...	/IN				
7	Lab5_Inverter_T...	/OUT				
7	Lab5_Inverter_T...	Tphl	118.9n			
7	Lab5_Inverter_T...	Tplh	24.13n			
7	Lab5_Inverter_T...	Tplh	eval err			
7	Lab5_Inverter_T...	Tpd	eval err			
8	Lab5_Inverter_T...	/IN				

Data View

- Tests: Lab5_Inverter_TB_1_1 (selected)
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary

1 Test Nominal Corner
1 Point Sweep (Test Sweep P: 0 Corner)

History Item	Status
Interactive.7	finished with errors
Interactive.6	finished
Interactive.5	

Outputs Setup

Results Run Preview

Detail Filter... Filter Corners Replace (None)

75 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
3	Lab5_Inverter_T...	/IN				
3	Lab5_Inverter_T...	/OUT				
3	Lab5_Inverter_T...	Tphl	eval err			
3	Lab5_Inverter_T...	Tplh	eval err			
3	Lab5_Inverter_T...	Tpd	eval err			
4	Lab5_Inverter_T...	/IN				
4	Lab5_Inverter_T...	/OUT				
4	Lab5_Inverter_T...	Tphl	eval err			
4	Lab5_Inverter_T...	Tplh	eval err			
4	Lab5_Inverter_T...	Tpd	eval err			
5	Lab5_Inverter_T...	/IN				
5	Lab5_Inverter_T...	/OUT				
5	Lab5_Inverter_T...	Tphl	eval err			
5	Lab5_Inverter_T...	Tplh	eval err			
5	Lab5_Inverter_T...	Tpd	eval err			
6	Lab5_Inverter_T...	/IN				
6	Lab5_Inverter_T...	/OUT				
6	Lab5_Inverter_T...	Tphl	118.9n			
6	Lab5_Inverter_T...	Tplh	eval err			
6	Lab5_Inverter_T...	Tpd	eval err			
7	Lab5_Inverter_T...	/IN				
7	Lab5_Inverter_T...	/OUT				
7	Lab5_Inverter_T...	Tphl	24.13n			
7	Lab5_Inverter_T...	Tplh	eval err			
7	Lab5_Inverter_T...	Tpd	eval err			
8	Lab5_Inverter_T...	/IN				

Data View

- Tests: Lab5_Inverter_TB_1_1
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary

- 1 Test
- Nominal Corner
- 1 Point Sweep (Test Sweep) 0 Corner

History Item Status

- Interactive.7 finished with errors
- Interactive.6 finished
- Interactive.7

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
8	Lab5_Inverter_T...	/IN				
8	Lab5_Inverter_T...	/OUT				
8	Lab5_Inverter_T...	Tphl	14.79n			
8	Lab5_Inverter_T...	Tplh	34.37n			
8	Lab5_Inverter_T...	Tpd	24.58n			
Parameters: VDD=800m						
9	Lab5_Inverter_T...	/IN				
9	Lab5_Inverter_T...	/OUT				
9	Lab5_Inverter_T...	Tphl	10.57n			
9	Lab5_Inverter_T...	Tplh	22.94n			
9	Lab5_Inverter_T...	Tpd	16.75n			
Parameters: VDD=900m						
10	Lab5_Inverter_T...	/IN				
10	Lab5_Inverter_T...	/OUT				
10	Lab5_Inverter_T...	Tphl	8.302n			
10	Lab5_Inverter_T...	Tplh	16.9n			
10	Lab5_Inverter_T...	Tpd	12.6n			
Parameters: VDD=1.1						
11	Lab5_Inverter_T...	/IN				
11	Lab5_Inverter_T...	/OUT				
11	Lab5_Inverter_T...	Tphl	6.87n			
11	Lab5_Inverter_T...	Tplh	13.28n			
11	Lab5_Inverter_T...	Tpd	10.08n			
Parameters: VDD=1.2						
12	Lab5_Inverter_T...	/IN				
12	Lab5_Inverter_T...	/OUT				
12	Lab5_Inverter_T...	Tphl	5.952n			
12	Lab5_Inverter_T...	Tplh	10.95n			
12	Lab5_Inverter_T...	Tpd	8.45n			
Parameters: VDD=1.3						
13	Lab5_Inverter_T...	/IN				
13	Lab5_Inverter_T...	/OUT				
13	Lab5_Inverter_T...	Tphl				
13	Lab5_Inverter_T...	Tplh				
13	Lab5_Inverter_T...	Tpd				
Parameters: VDD=1.4						
14	Lab5_Inverter_T...	/IN				
14	Lab5_Inverter_T...	/OUT				
14	Lab5_Inverter_T...	Tphl	4.82n			
14	Lab5_Inverter_T...	Tplh	8.162n			
14	Lab5_Inverter_T...	Tpd	6.491n			
Parameters: VDD=1.5						
15	Lab5_Inverter_T...	/IN				
15	Lab5_Inverter_T...	/OUT				
15	Lab5_Inverter_T...	Tphl	4.444n			
15	Lab5_Inverter_T...	Tplh	7.29n			
15	Lab5_Inverter_T...	Tpd	5.867n			

Data View

- Tests: Lab5_Inverter_TB_1_1
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary

- 1 Test
- Nominal Corner
- 1 Point Sweep (Test Sweep) 0 Corner

History Item Status

- Interactive.7 finished with errors
- Interactive.6 finished
- Interactive.7

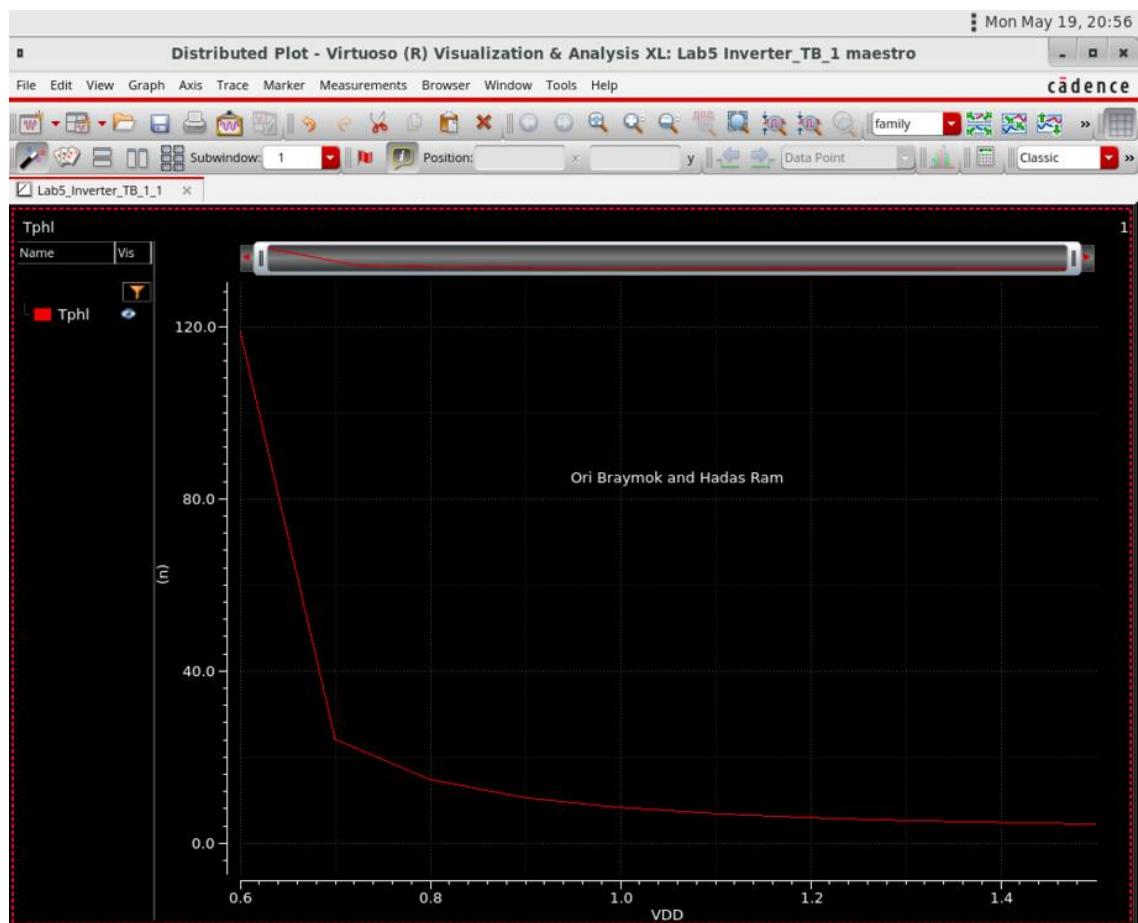
Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
10	Lab5_Inverter_T...	Tphl	16.9n			
10	Lab5_Inverter_T...	Tpd	12.6n			
Parameters: VDD=1.1						
11	Lab5_Inverter_T...	/IN				
11	Lab5_Inverter_T...	/OUT				
11	Lab5_Inverter_T...	Tphl	6.87n			
11	Lab5_Inverter_T...	Tplh	13.28n			
11	Lab5_Inverter_T...	Tpd	10.08n			
Parameters: VDD=1.2						
12	Lab5_Inverter_T...	/IN				
12	Lab5_Inverter_T...	/OUT				
12	Lab5_Inverter_T...	Tphl	5.952n			
12	Lab5_Inverter_T...	Tplh	10.95n			
12	Lab5_Inverter_T...	Tpd	8.45n			
Parameters: VDD=1.3						
13	Lab5_Inverter_T...	/IN				
13	Lab5_Inverter_T...	/OUT				
13	Lab5_Inverter_T...	Tphl	5.285n			
13	Lab5_Inverter_T...	Tplh	9.331n			
13	Lab5_Inverter_T...	Tpd	7.308n			
Parameters: VDD=1.4						
14	Lab5_Inverter_T...	/IN				
14	Lab5_Inverter_T...	/OUT				
14	Lab5_Inverter_T...	Tphl	4.82n			
14	Lab5_Inverter_T...	Tplh	8.162n			
14	Lab5_Inverter_T...	Tpd	6.491n			
Parameters: VDD=1.5						
15	Lab5_Inverter_T...	/IN				
15	Lab5_Inverter_T...	/OUT				
15	Lab5_Inverter_T...	Tphl	4.444n			
15	Lab5_Inverter_T...	Tplh	7.29n			
15	Lab5_Inverter_T...	Tpd	5.867n			

בתחילת העליה של VDD ניתן לראות שקיבלו שגיאות. השגיאות האלה נובעות כיוון שההבדן קטן מדי. לא נוצר מופיע מתח V_{sg} בNMOS, ולכן הוא לא מגיע לערך ה- $V_m = 0.750$.

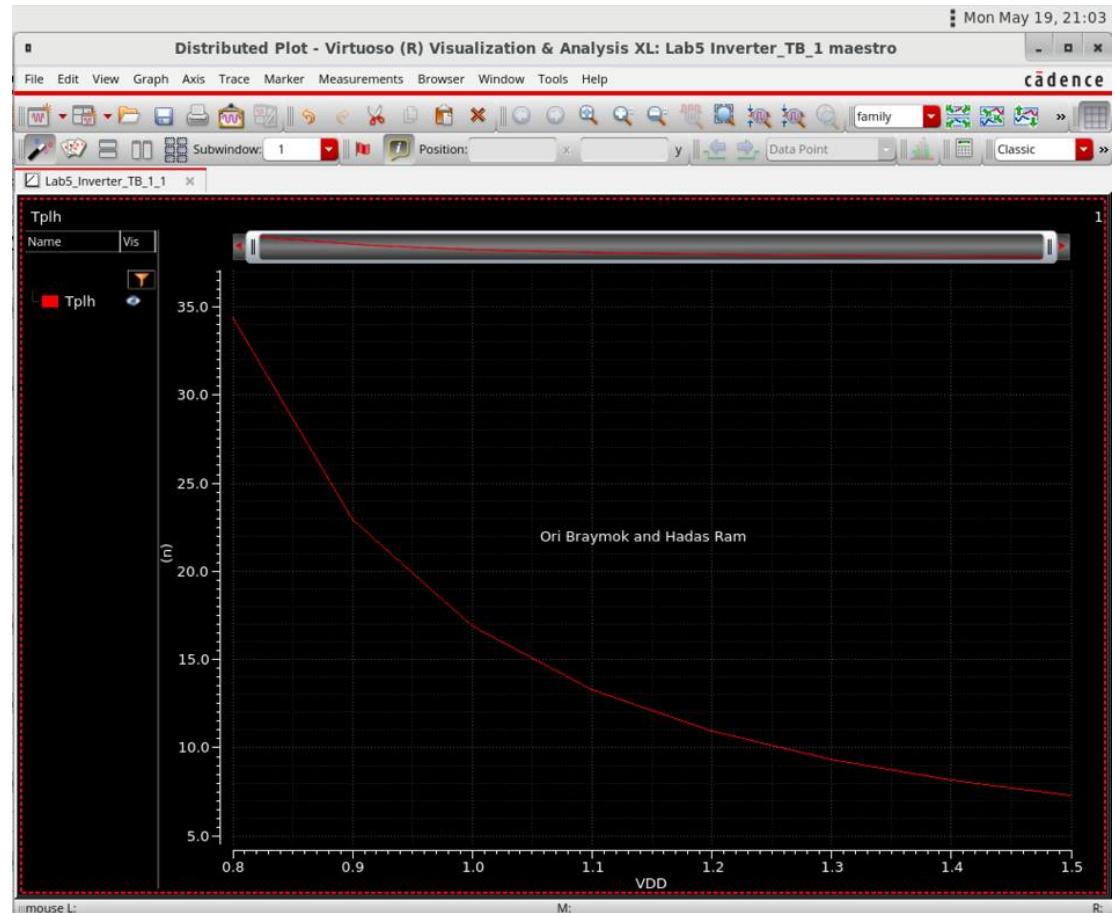
ניתן לראות שהערכים עבור T_{phl} מופיעים במתichen נמוכים יותר לעומת הערכים עבור T_{plh} . הסיבה לכך היא שהNMOS אחראי על ירידית הפלט (T_{phl}) מתחילה להוילר כבר במתichen נמוכים בזכות ניידות גבוהה יותר של אלקטرونים. לעומת זאת PMOS אחראי על עליית הפלט (T_{plh}) צריך מתח גבוה יותר כדי להוילר זרם משמעותי. מכיוון שבמוגל $\beta = 2$ ולא הערך שמצאנו בשאלת 1 הוא PMOS חלש יותר מהNMOS ולכן NMOS מגיע לערך ההוילר לפני PMOS ולכן נראה ערכם בהוילר לפני הערכם בהוילר.

בנוסף לכך קיבלנו את הגрафים הבאים עבור הזמן T_{pd} , T_{plh} , T_{phl} :

ניתן לראות שכאשר VDD גדל T_{phl} קטן. NMOS אחראי לירידת הפלט כיון שהוא פורק את הקבל ל-GND. לכן ככל שההוילר NMOS פועל עם מתח גבוה יותר (V_{gs}) ולאחר מכן זרם דרכו גדול. כתוצאה לכך הקבל נמצא נפרק מהר יותר ולכן T_{phl} קטן.

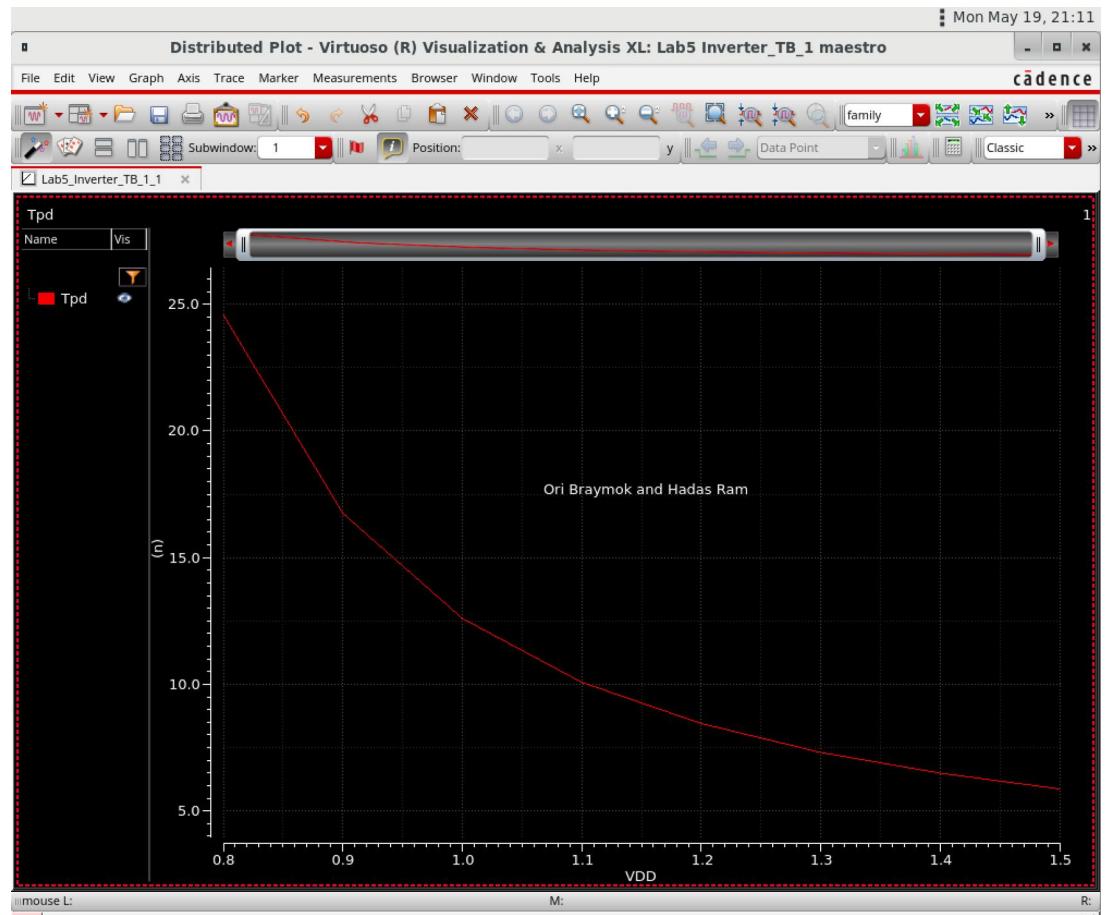


ניתן לראות שכאשר VDD גדל T_{plh} קטן. PMOS אחראי לעליית הפלט והוא טוען את הקבל במצב מההוילר. לכן ככל שההוילר PMOS פועל עם מתח גבוה יותר (V_{sg}) ולאחר מכן זרם דרכו גדול. כתוצאה לכך יש טעינה מהירה יותר של הקבל במצב ולבסוף T_{plh} קטן.



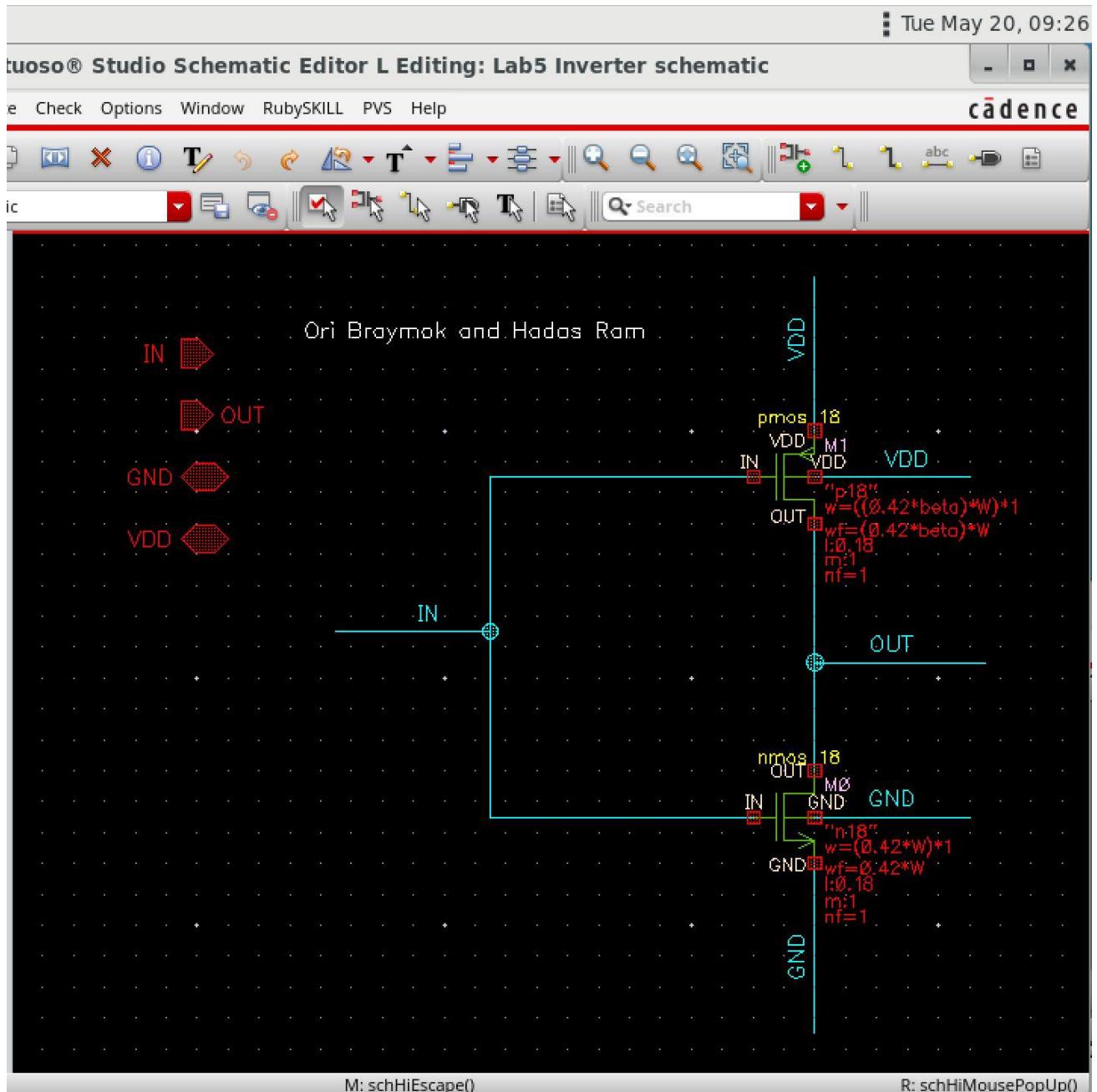
הPMOS יותר חזק מהNMOS כיון ש $\beta=2$ (ערך קטן יותר ממה שקיבלנו בשאלת 1). לכן ניתן לראות את הגרף של T_{ph} יותר בצוואר חדה יותר מאשר של NMOS.

ניתן לראות שגרף זה הוא ממוצע של T_{ph} ו- T_{pd} .

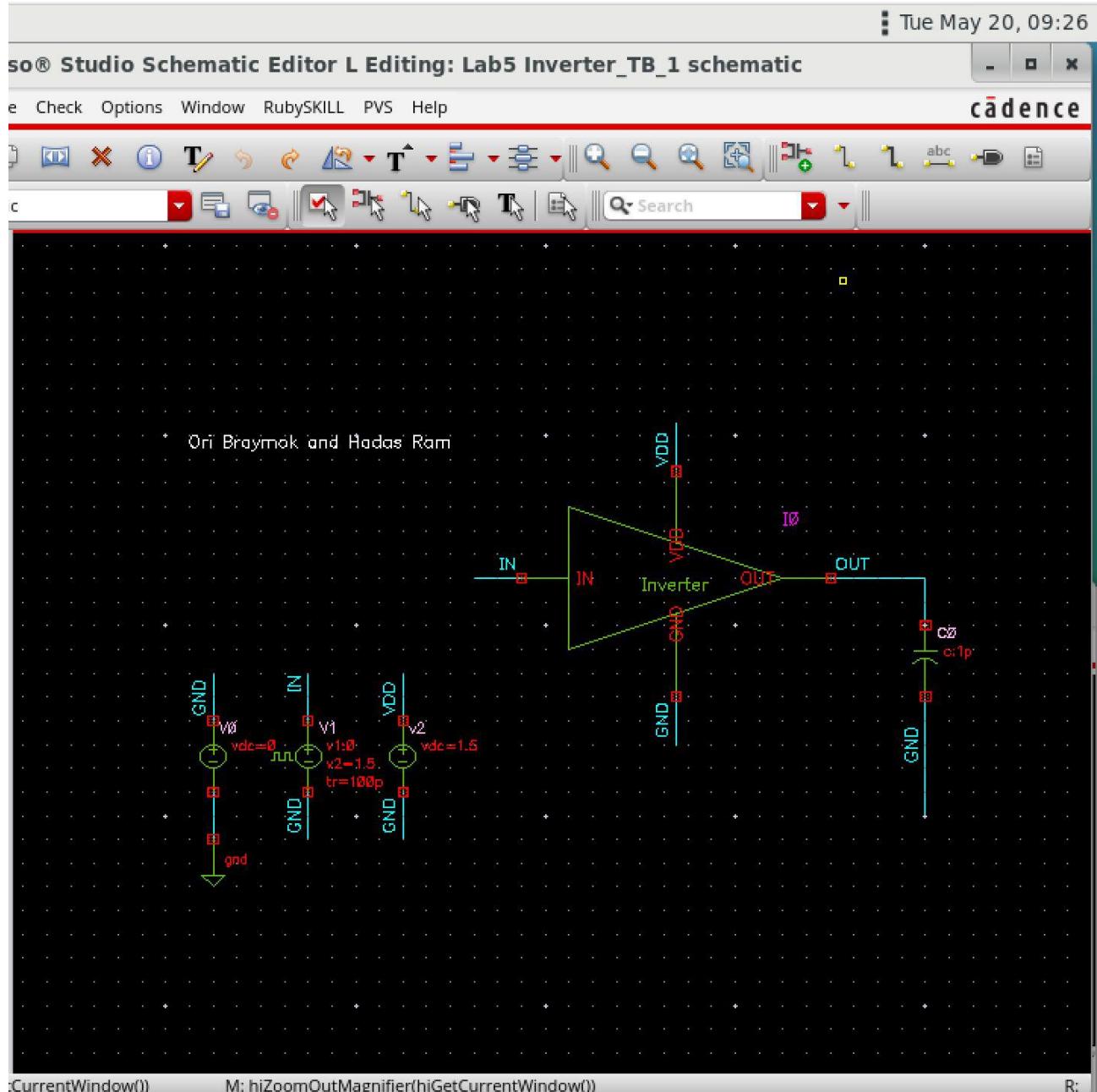


3. Simulate the tpd as a function of transistor's width (NMOS and PMOS, increase it from 1X to 4X for both of them simultaneously). Explain the results.

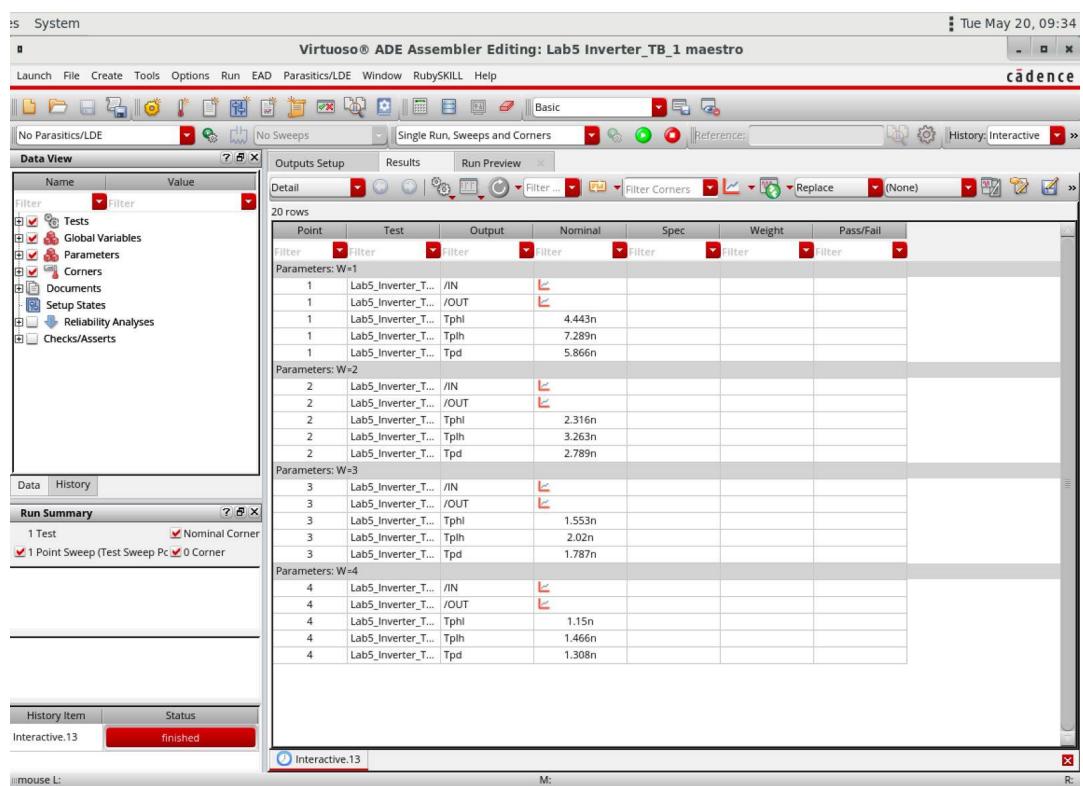
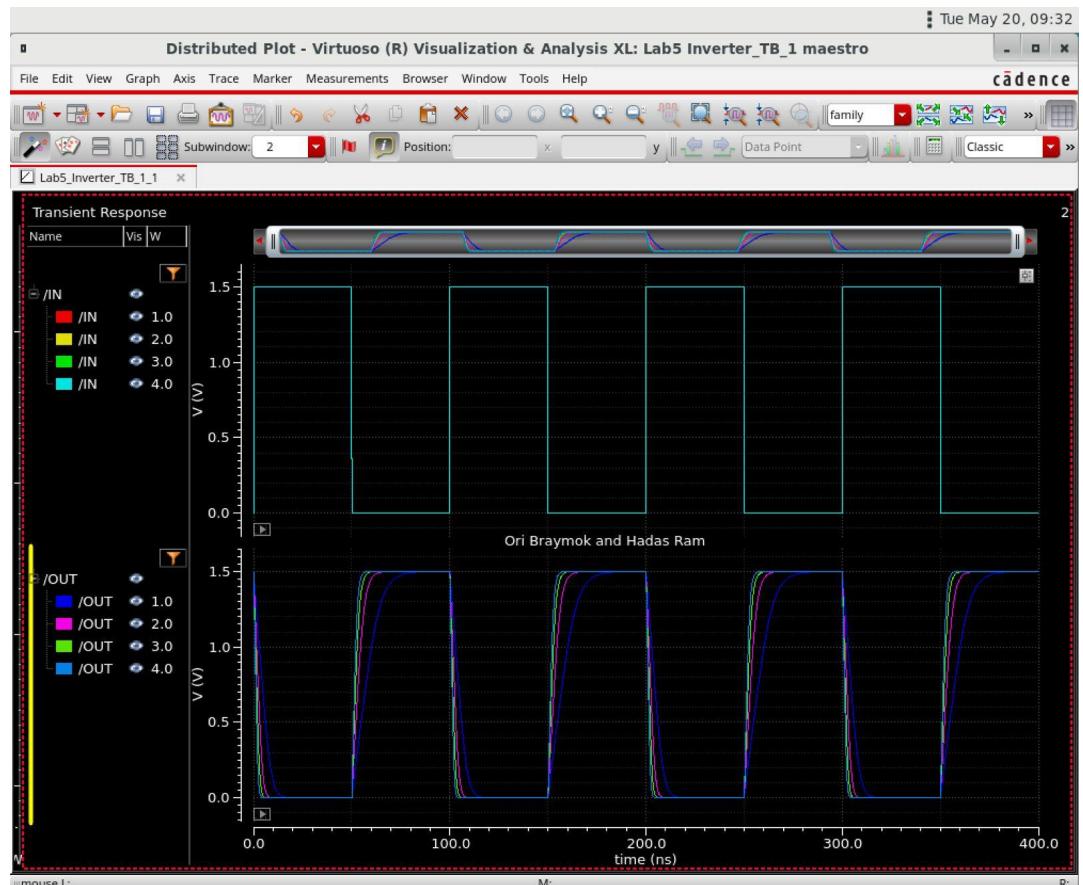
התקשו להוציא פלט של Pd כפונקציה של רוחב הטרנזיסטורים (PMOS, NMOS). הגדרנו משתנה W רוחב פס בשני הטרנזיסטורים, כך שהוא כפול את $Finger Width$.

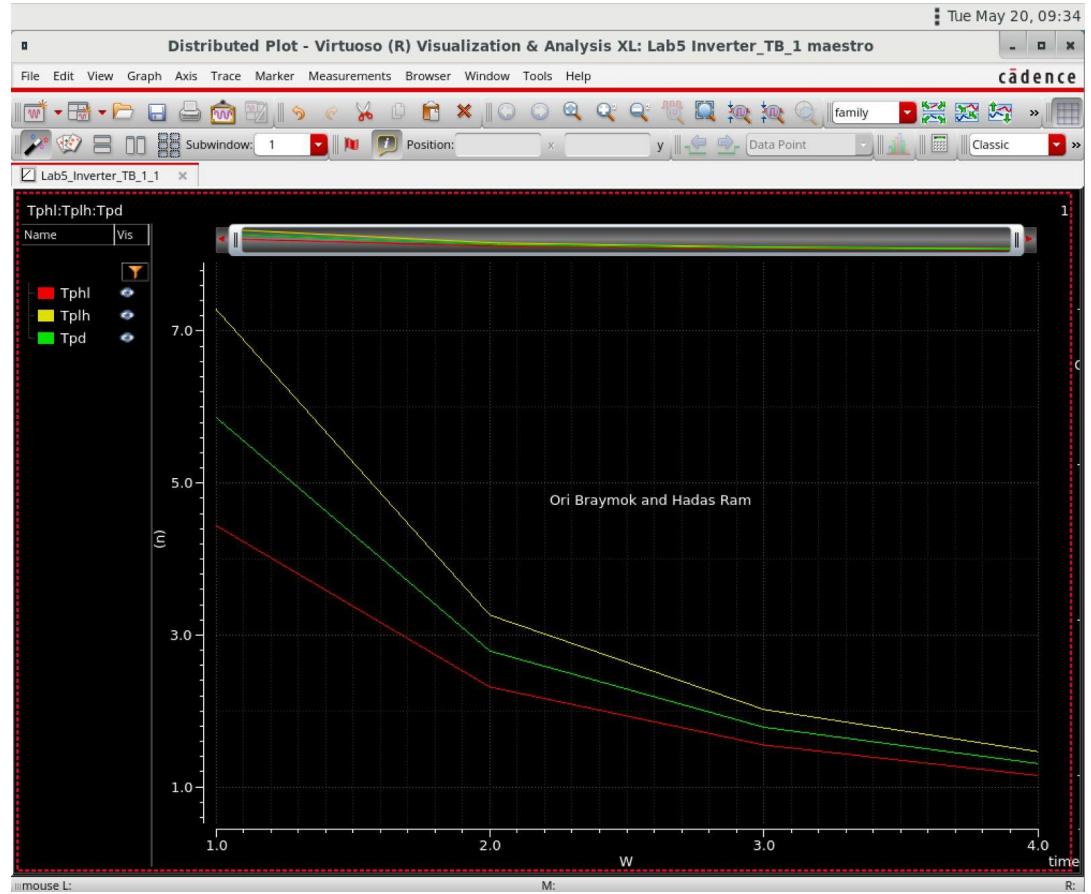


ק'בענו את מתח הכניסה [v] $VDD = 1.5$ [V]



הרצינו סימולציה tran בדומה לסעיף ב' כאשר $\beta = 2$ והמשוואות של T_{phl} , T_{plh} , T_{pd} , רק שהפעם משתנה הריצה הוא W , שנע בין 1 ל 48 בקיימות של 1. ניתן לראות שקיבלנו פלט של V_{in} ו- V_{out} כפונקציה של הזמן, כאשר V_{in} הוא אות מדרגה עם אמפליטודה קבועה של 1.5 [V].





ניתן לראות ש ככל ש רוחב הטרנזיסטורים (W) יותר גדול, כך עובר יותר זרם וכטוצאה מכך תקהו, Tקהו מתקצרים

$$I_{SD} = \frac{1}{2} K_n (V_{SG} - V_{TH})^2$$

ולכן גם ה T_{pd} קטן יותר. הקשר בין הזרם לבין W הוא לינארי.

4. Simulate VTC as a function of β (from 2 to 10 with steps of 2, for nominal VDD). Explain the results in terms of the Noise Margins (without calculations) and VM.

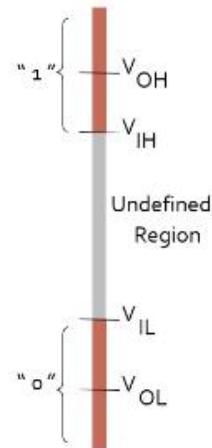
הגדכנו את β בין 2 ל-10 בקפיצות של 2, כאשר אנו שומרים על מתח אספקה קבוע - $V_{DD}=1.5V$.
 כאשר אנו משנים את ערך $\beta = \frac{\mu_p L_p}{\mu_n L_n} \frac{W_p}{W_n}$, כלומר את היחס בין חזק ה- PMOS ל- NMOS אנחנו משפיעים על נקודת האיזון של המהפר - שהיא הנקודה שבה הזרמים דרך שני הטרנזיסטורים משתווים זה לזה, נקודת זו מוגדרת כ- VM והוא מתקיימת כאשר: $V_{out} = V_m = V_{in}$.

NMH - "Noise Margin high":

$$NM_H = V_{OH} - V_{IH}$$

NML - "Noise Margin low":

$$NM_L = V_{IL} - V_{OL}$$



כפי שלמדנו שלו הרעש (NM) נקבעים לפי הערך המינימלי מבין NM_H ו- NM_L , כיוון שהצד הקטן יותר יקבע את רגישות המעגל.

במקרה שלנו כאשר $\beta = 4.156$, נקבל $V_m = \frac{V_{DD}}{2} = 0.750V$, ובמצב זה יתקבל מצב סימטרי בין שלו הרעש ולכן $NM_H = NM_L = NM$.

כאשר $\beta < 4.156$ NMOS דומיננטי יותר ולכן נקבל $V_m > \frac{V_{DD}}{2}$. ככל ש β קטן כך NM_H קטן יותר ו- NM_L גדול יותר ובנוסף לכך V_m קטן. במצב זה המעגל פחות עמיד לרעש ב' 1' לוגי.

כאשר $\beta > 4.156$ PMOS דומיננטי יותר ולכן נקבל $V_m < \frac{V_{DD}}{2}$. ככל ש β גדול כך NM_H גדול יותר ו- NM_L קטן יותר, ובנוסף לכך V_m גדול. במצב זה המעגל פחות עמיד לרעש ב' 0' לוגי.

