

מעבדה במבוא למעגלים דוח 5

Introduction to Digital Electronic Circuits
Laboratory

שמות המגישים + תז:
אורי בריימוק 314992447
הדס רם 214068843

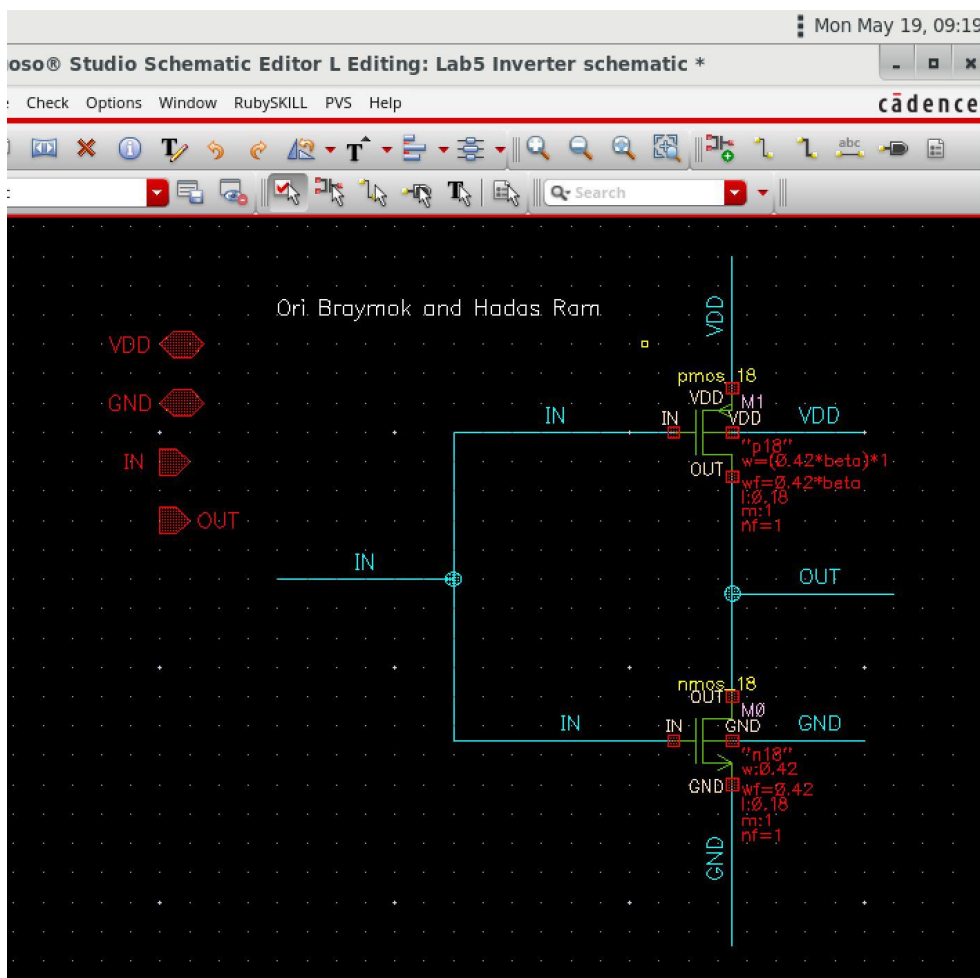
תאריך הגשה:
22.05.2025

$$G = 10$$

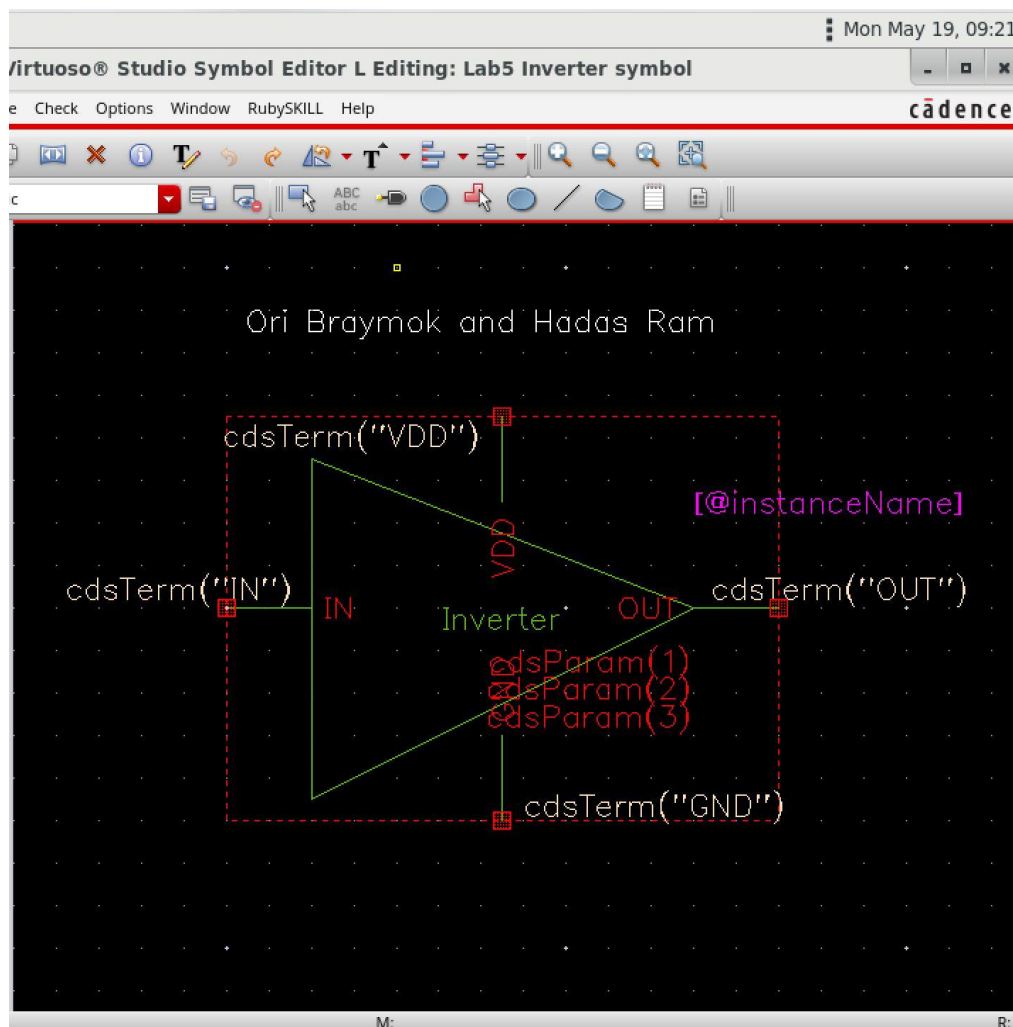
$$VDD = 1.5 + (G \bmod 10)/10 = 1.5$$

1. The last example in the booklet was finding V_m of an inverter. Simulate the circuit and find the β value which will derive $V_m \approx VDD/2$. Use the Specifications as you learned in Lab 4. Explain the results.

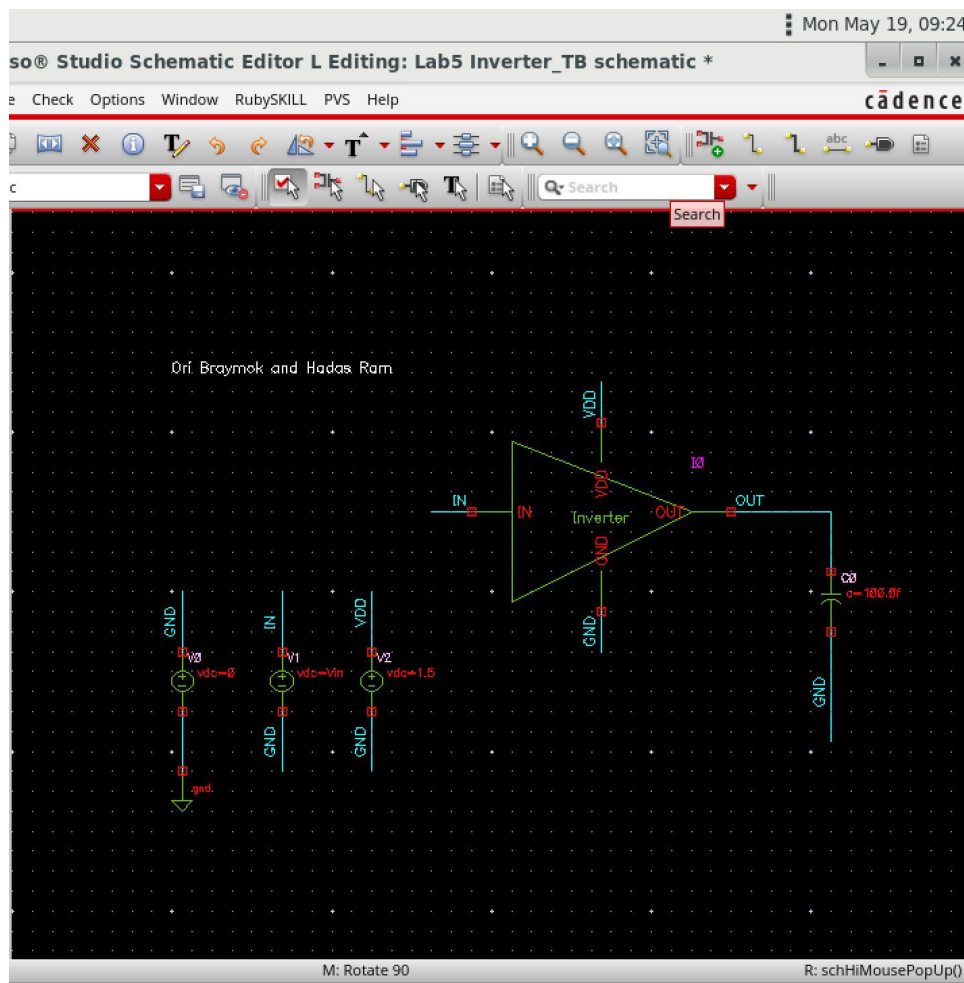
פתחנו בLibrary Manager תיקייה Lab5 ובה פחתנו Cell View בשם Inverter. יצרנו את הInverter הבא, כאשר ה Drain של PMOS מחובר לDrain של NMOS, וכאשר $wf = 0.42\beta$. PMOS.



סגרנו את הInverter בקופסא שחורה.



פתחנו Cell View בשם Inverter_TB, שמו את Invertern שיצרנו והוספנו מתחים.
 כאשר $c=0.1\text{p [F]}$, $vdc = 1.5\text{ [V]}$ – הונס ל VDD ב Inverter, $vdc = Vin$ – הונס ל IN ב Inverter.

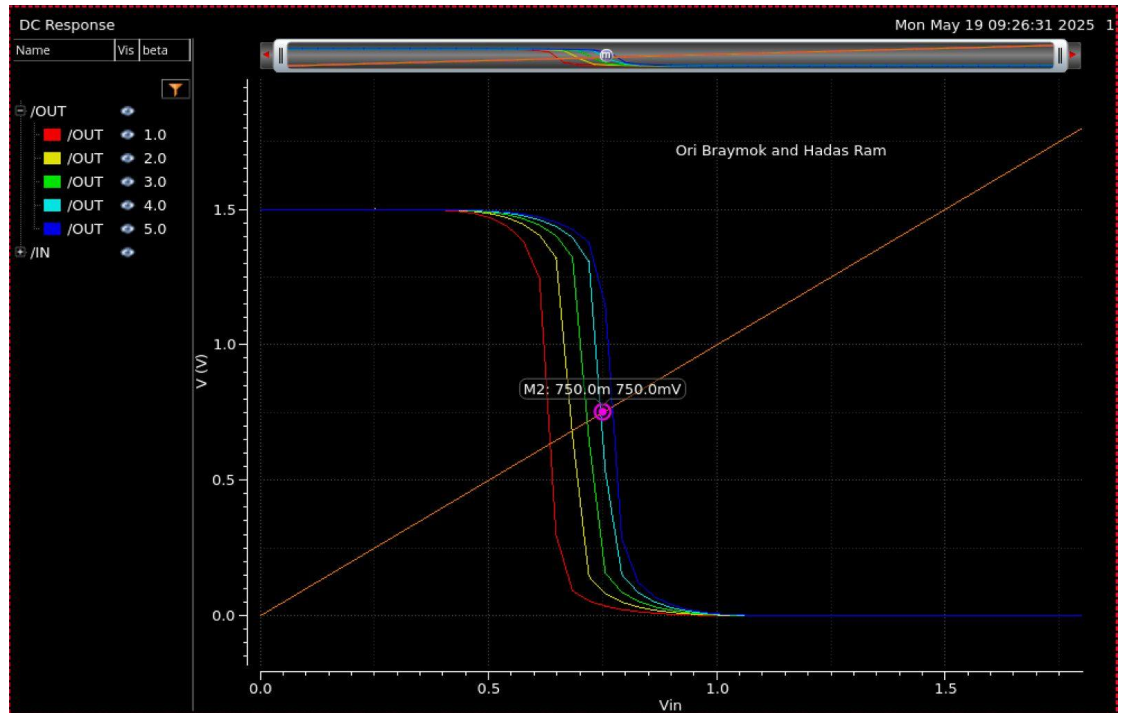


הרצנו סימולציית DC על המתח V_{in} כשאר הוא משתנה מ $0[V]$ ל $1.5[V]$ $V_{DD} = 1.5$ והגדרנו את β לרוץ מ 1 עד 5 בקבוצות של $1(1:1:5)$.

קיבלנו 5 גרפים של V_{out} כתלות ב V_{in} כאשר כל אחד עבור ערך אחר של β , וגרף נוסף של V_{in} – הגרף הלינארי.

V_m הוא המתח שבו $V_{in} = V_{out}$.

חיפשנו את הערך $V_m = V_{DD}/2 = 1.5/2 = 0.750[V]$, ניתן לראות שהוא נמצא בסביבות הגרף כאשר $\beta = 4$.



חישבנו את הערך של β , בעזרת ה-Calculator הוספנו את השורה הבאה, והרצנו את החישוב עבור ערכים של β בין 3 ל 5 כיוון שבאזור זה ראינו כי β אמורה להיות לפי הגרף.

Applications Places System

Virtuoso® ADE Explorer Editing: Lab5 Inverter_TB maestro

Launch Session Setup Analyses Variables Outputs Simulation Results Tools EAD Parasitics/LDE Window RubySKILL Help

Replace (None)

maestro x Inverter_TB x

Setup

Name Value

Filter

Lab5_Inverter_TB_1

Simulator spectre

Analyses

dc 0 1.8 Automatic Start-Stop

Click to add analysis

Design Variables

beta 3.0:5.5

Vin 0

Click to add variable

Parameters

CornerRadius

Reliability Analyses

Monte Carlo Sampling

Checks/Asserts

Explorer Run Summary

0 Corner

Nominal Corner

mouse L: 3(4) Ready >

Outputs Setup

Results Run Preview

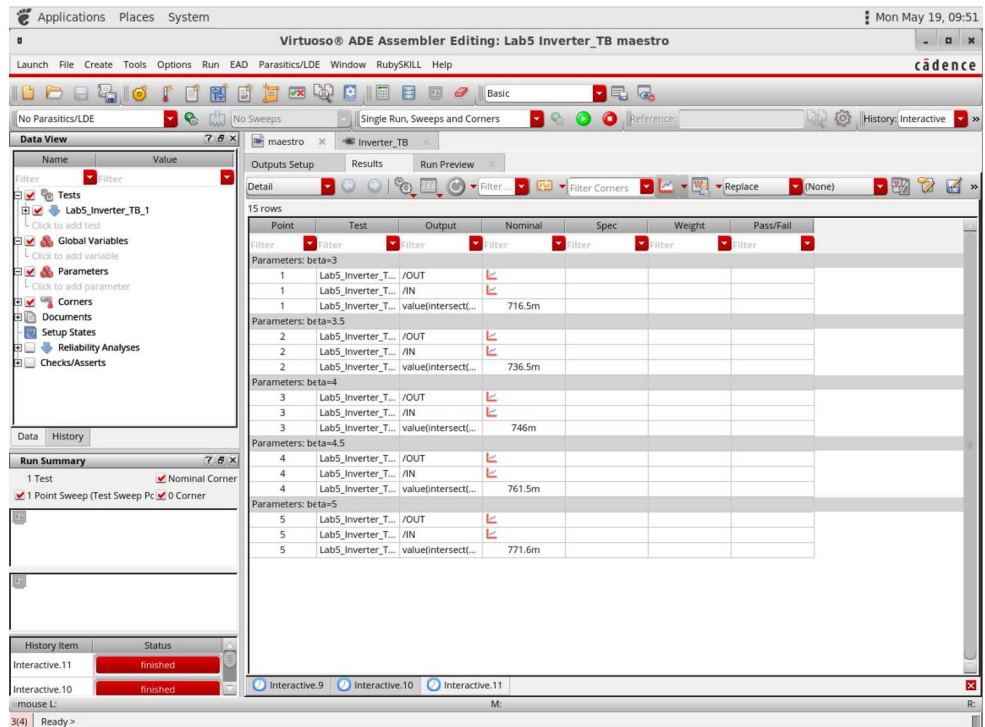
Name	Type	Details	Plot	Save	Spec
signal	/OUT		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
signal	/IN		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	

value = intersect(VS('IN') VS('OUT')) 0

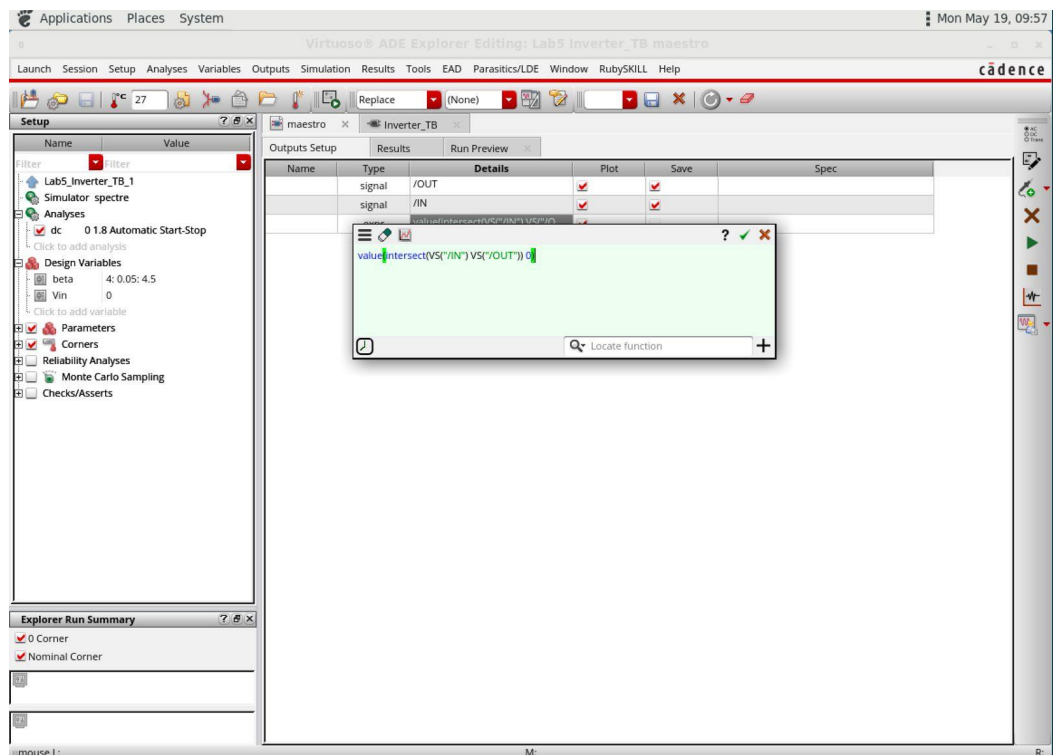
Locate function

Results: Interactive.11 Lab5 Inverter_TB schematic Simulator: spectre Batch

חיפשו היכן נמצא בקירוב $V_m = 0.750$.



צימצמו את החיפוש עבור ערכים של beta בין 4 ל-4.5 בקפיצות של 0.05, כיוון שזה האזור בו אמור להיות הערך V_m שלנו.



הרצנו את החישוב וחיפשנו את הערך Vm שלנו.

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: beta=4						
1	Lab5_Inverter_T...	/IOUT				
1	Lab5_Inverter_T...	/IIN				
1	Lab5_Inverter_T...	value(intersect...	746m			
Parameters: beta=4.05						
2	Lab5_Inverter_T...	/IOUT				
2	Lab5_Inverter_T...	/IIN				
2	Lab5_Inverter_T...	value(intersect...	747.2m			
Parameters: beta=4.1						
3	Lab5_Inverter_T...	/IOUT				
3	Lab5_Inverter_T...	/IIN				
3	Lab5_Inverter_T...	value(intersect...	748.4m			
Parameters: beta=4.15						
4	Lab5_Inverter_T...	/IOUT				
4	Lab5_Inverter_T...	/IIN				
4	Lab5_Inverter_T...	value(intersect...	749.8m			
Parameters: beta=4.2						
5	Lab5_Inverter_T...	/IOUT				
5	Lab5_Inverter_T...	/IIN				
5	Lab5_Inverter_T...	value(intersect...	751.3m			
Parameters: beta=4.25						
6	Lab5_Inverter_T...	/IOUT				
6	Lab5_Inverter_T...	/IIN				
6	Lab5_Inverter_T...	value(intersect...	752.9m			
Parameters: beta=4.3						
7	Lab5_Inverter_T...	/IOUT				
7	Lab5_Inverter_T...	/IIN				
7	Lab5_Inverter_T...	value(intersect...	754.6m			

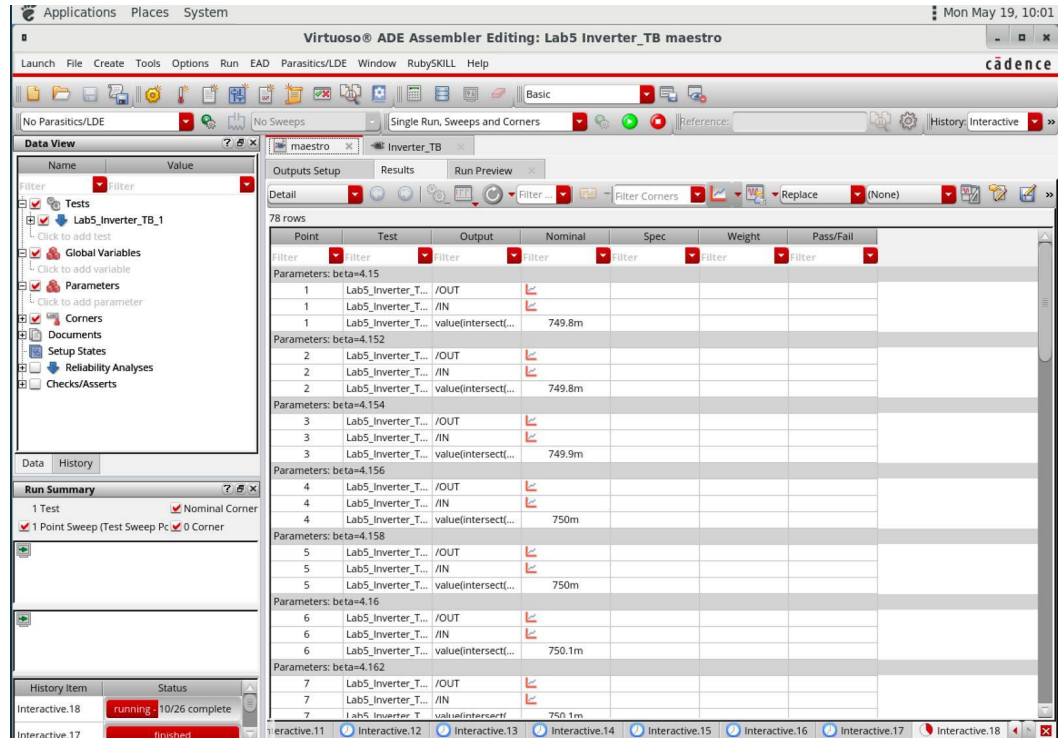
צימצמנו שנית את החישוב עבור ערכים של beta בין 4.15 4.2 בקפיות של 0.002.

Name	Type	Details	Plot	Save	Spec
signal	/IOUT		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
signal	/IIN		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	

value(intersect(VS('IIN') VS('IOUT'))

Locate function

הרצנו שוב את החישוב וחיפשנו את הערך V_m שלנו.



ניתן לראות כי קיבלנו שעבור ערך ה[$V_m = 0.750$] ערך β שלנו הוא 4.156.

$\beta = 4.156$

בפועל ה PMOS חלש יותר מה NMOS, כי ניידות החורים שזה הזרם שזורם ב PMOS נמוכה יותר מניידות האלקטרונים שזורמים ב NMOS. לכן כדי לאזן בין שני הטרנזיסטורים נותנים ל PMOS רוחב גדול יותר כדי שיעבור יותר זרם.

היחס בין הרוחב של ה PMOS לרוחב של ה NMOS נקרא β .

$$\beta = \mu C_{ox} \frac{W}{L}$$

μ – ניידות המטענים (חורים ב PMOS ואלקטרונים ב NMOS).

C_{ox} – קיבול יחידת שטח של תחמוצת השער.

W – רוחב התעלה width.

L – אורך התעלה length.

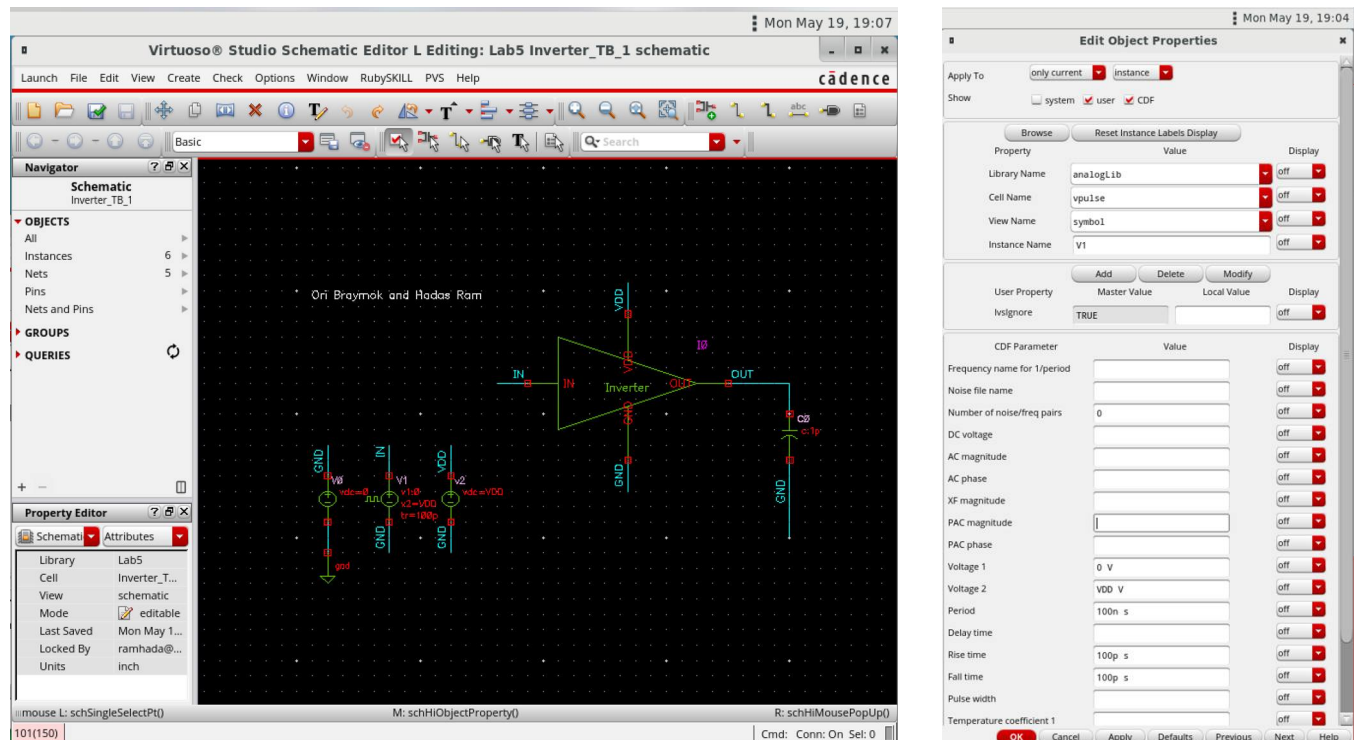
$$\beta = \frac{\beta_p}{\beta_n} = \frac{\mu_p C_{ox} \frac{W_p}{L_p}}{\mu_n C_{ox} \frac{W_n}{L_n}} = \frac{\mu_p \frac{W_p}{L_p}}{\mu_n \frac{W_n}{L_n}}$$

בנקודה V_m שבה המתח של V_{in} שווה למתח של ה V_{out} נקבל שה PMOS וה NMOS יהיו בעלי עוצמת זרם זהה.

2. Set $\beta = 2$. Simulate the Propagation Delay (t_{pd}) as a function of V_{DD} (from 0.1V to V_{DD} with steps of 0.1V). Explain the effect of V_{DD} on t_{pd} based on the results. Does the gate works for every V_{DD} ? If not, explain.

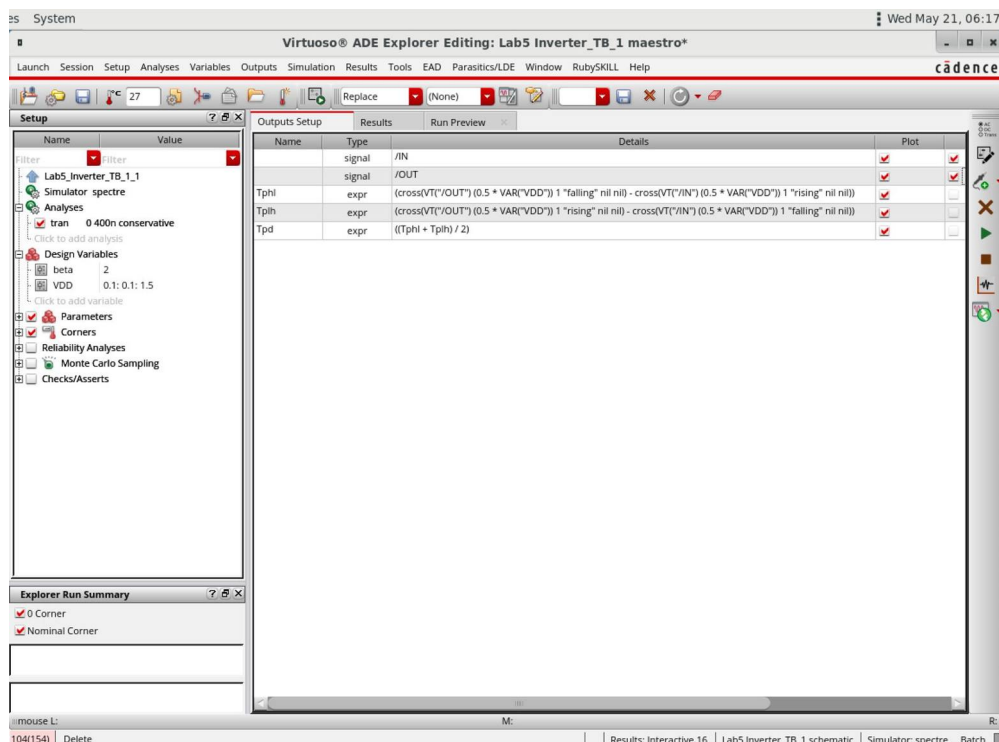
שינינו את המתח כניסה v_{in} מ v_{dc} ל v_{pulse} .

הגדרנו $voltage1 = 0[V]$, $voltage2 = V_{DD}[V]$, $Period = 100n[s]$, $Rise\ time = 100p[s]$, $Fall\ time = 100p[s]$. בנוסף לכך שינינו את הקבל ל $c=1p[F]$ (כפי שמצוין בBooklet).

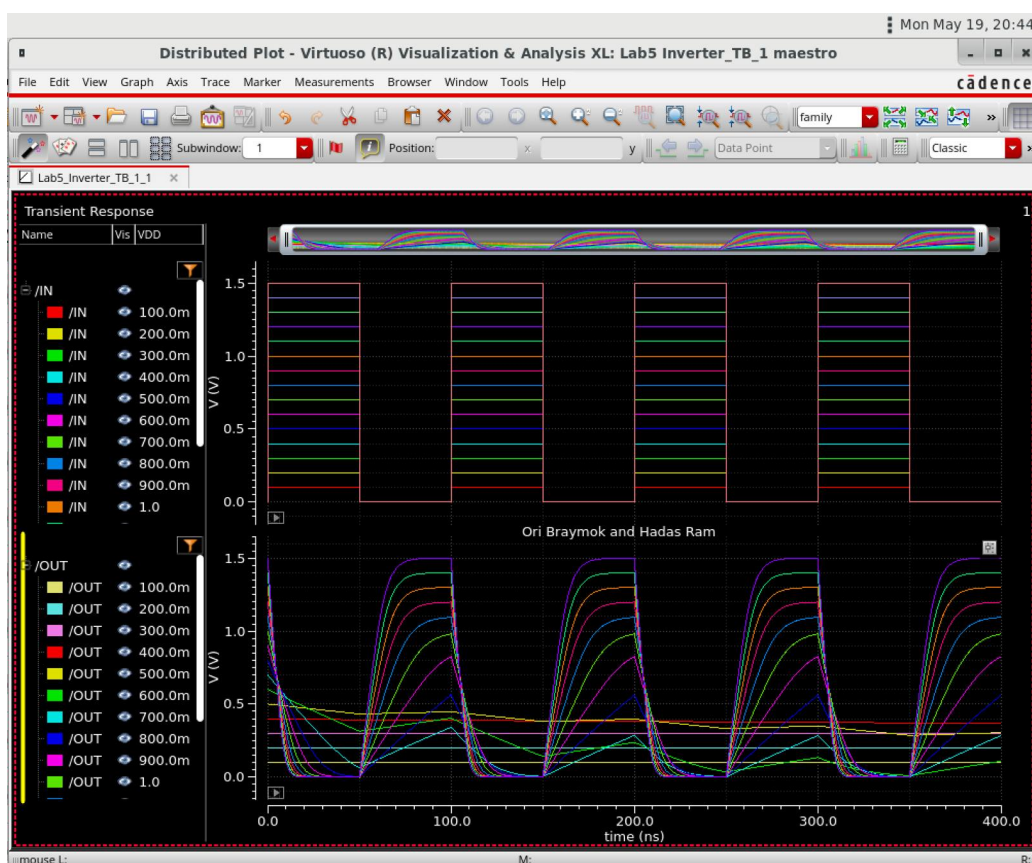


הרצנו סימולציה (שכן הכניסה שלנו היא מסוג v_{pulse}) עם $stop\ time = 400n[s]$, הגדרנו את $\beta = 2$. כפי שמצוין בשאלה, ורצנו על V_{DD} מ $0.1[V]$ עד $1.5[V]$ (ה V_{DD} שלנו) בקפיצות של $0.1[V]$. בעזרת $calculator$, הגדרנו את המשוואות עבור: T_{phl} , T_{plh} , T_{pd} .

T_{phl} – זמן התפשטות הירידה מ $High$ ל Low . הזמן שלוקח לפלט לרדת מ $High$ ל Low אחרי שהקלט משתנה.
 T_{plh} – זמן התפשטות העלייה מ Low ל $High$. הזמן שלוקח לפלט לעלות מ Low ל $High$ אחרי שהקלט משתנה.
 T_{pd} – עיכוב ההתפשטות הממוצע שמוגדר כך: $\frac{T_{phl} + T_{plh}}{2}$.



הרצנו את הסימולציה וקיבלנו גרף של V_{in} כתלות בזמן וגרף של V_{out} כתלות בזמן.



בנוסף לכך קיבלנו את הערכים הבאים עבור הזמנים T_{phl} , T_{plh} , T_{pd} :

Virtuoso® ADE Assembler Editing: Lab5 Inverter_TB_1 maestro

Launch File Create Tools Options Run EAD Parasitics/LDE Window RubySKILL Help

cadence

No Parasitics/LDE No Sweeps Single Run, Sweeps and Corners Reference History Interactive

Basic

Filter Filter Filter Filter Filter Filter Filter

75 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: VDD=100m						
1	Lab5_Inverter_T...	/IN				
1	Lab5_Inverter_T...	/OUT				
1	Lab5_Inverter_T...	Tphl		eval err		
1	Lab5_Inverter_T...	Tplh		eval err		
1	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=200m						
2	Lab5_Inverter_T...	/IN				
2	Lab5_Inverter_T...	/OUT				
2	Lab5_Inverter_T...	Tphl		eval err		
2	Lab5_Inverter_T...	Tplh		eval err		
2	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=300m						
3	Lab5_Inverter_T...	/IN				
3	Lab5_Inverter_T...	/OUT				
3	Lab5_Inverter_T...	Tphl		eval err		
3	Lab5_Inverter_T...	Tplh		eval err		
3	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=400m						
4	Lab5_Inverter_T...	/IN				
4	Lab5_Inverter_T...	/OUT				
4	Lab5_Inverter_T...	Tphl		eval err		
4	Lab5_Inverter_T...	Tplh		eval err		
4	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=500m						
5	Lab5_Inverter_T...	/IN				
5	Lab5_Inverter_T...	/OUT				
5	Lab5_Inverter_T...	Tphl		eval err		
5	Lab5_Inverter_T...	Tplh		eval err		
5	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=600m						
6	Lab5_Inverter_T...	/IN				

Interactive.7 finished with errors

Interactive.6 finished

Virtuoso® ADE Assembler Editing: Lab5 Inverter_TB_1 maestro

Launch File Create Tools Options Run EAD Parasitics/LDE Window RubySKILL Help

cadence

No Parasitics/LDE No Sweeps Single Run, Sweeps and Corners Reference History Interactive

Basic

Filter Filter Filter Filter Filter Filter Filter

75 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: VDD=300m						
3	Lab5_Inverter_T...	/IN				
3	Lab5_Inverter_T...	/OUT				
3	Lab5_Inverter_T...	Tphl		eval err		
3	Lab5_Inverter_T...	Tplh		eval err		
3	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=400m						
4	Lab5_Inverter_T...	/IN				
4	Lab5_Inverter_T...	/OUT				
4	Lab5_Inverter_T...	Tphl		eval err		
4	Lab5_Inverter_T...	Tplh		eval err		
4	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=500m						
5	Lab5_Inverter_T...	/IN				
5	Lab5_Inverter_T...	/OUT				
5	Lab5_Inverter_T...	Tphl		eval err		
5	Lab5_Inverter_T...	Tplh		eval err		
5	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=600m						
6	Lab5_Inverter_T...	/IN				
6	Lab5_Inverter_T...	/OUT				
6	Lab5_Inverter_T...	Tphl		118.9n		
6	Lab5_Inverter_T...	Tplh		eval err		
6	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=700m						
7	Lab5_Inverter_T...	/IN				
7	Lab5_Inverter_T...	/OUT				
7	Lab5_Inverter_T...	Tphl		24.13n		
7	Lab5_Inverter_T...	Tplh		eval err		
7	Lab5_Inverter_T...	Tpd		eval err		
Parameters: VDD=800m						
8	Lab5_Inverter_T...	/IN				

Interactive.7 finished with errors

Interactive.6 finished

mouse L: M: R:

Virtuoso® ADE Assembler Editing: Lab5 Inverter_TB_1 maestro

Launch File Create Tools Options Run EAD Parasitics/LDE Window RubySKILL Help

No Parasitics/LDE No Sweeps Single Run, Sweeps and Corners Reference History: Interactive

Data View Filter Name Value

- Tests
 - Lab5_Inverter_TB_1_1
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary 1 Test Nominal Corner 1 Point Sweep (Test Sweep Pc) 0 Corner

History Item Status

Interactive.7 finished with errors

Interactive.6 finished

Outputs Setup Results Run Preview

Detail Filter Filter Corners Replace (None)

75 rows

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: VDD=800m						
8	Lab5_Inverter_T...	/IN				
8	Lab5_Inverter_T...	/OUT				
8	Lab5_Inverter_T...	Tphi	14.79n			
8	Lab5_Inverter_T...	Tphi	34.37n			
8	Lab5_Inverter_T...	Tpd	24.58n			
Parameters: VDD=900m						
9	Lab5_Inverter_T...	/IN				
9	Lab5_Inverter_T...	/OUT				
9	Lab5_Inverter_T...	Tphi	10.57n			
9	Lab5_Inverter_T...	Tphi	22.94n			
9	Lab5_Inverter_T...	Tpd	16.75n			
Parameters: VDD=1						
10	Lab5_Inverter_T...	/IN				
10	Lab5_Inverter_T...	/OUT				
10	Lab5_Inverter_T...	Tphi	8.302n			
10	Lab5_Inverter_T...	Tphi	16.9n			
10	Lab5_Inverter_T...	Tpd	12.6n			
Parameters: VDD=1.1						
11	Lab5_Inverter_T...	/IN				
11	Lab5_Inverter_T...	/OUT				
11	Lab5_Inverter_T...	Tphi	6.87n			
11	Lab5_Inverter_T...	Tphi	13.28n			
11	Lab5_Inverter_T...	Tpd	10.08n			
Parameters: VDD=1.2						
12	Lab5_Inverter_T...	/IN				
12	Lab5_Inverter_T...	/OUT				
12	Lab5_Inverter_T...	Tphi	5.952n			
12	Lab5_Inverter_T...	Tphi	10.95n			
12	Lab5_Inverter_T...	Tpd	8.45n			
Parameters: VDD=1.3						
13	Lab5_Inverter_T...	/IN				

Virtuoso® ADE Assembler Editing: Lab5 Inverter_TB_1 maestro

Launch File Create Tools Options Run EAD Parasitics/LDE Window RubySKILL Help

No Parasitics/LDE No Sweeps Single Run, Sweeps and Corners Reference History: Interactive

Data View Filter Name Value

- Tests
 - Lab5_Inverter_TB_1_1
- Global Variables
- Parameters
- Corners
- Documents
- Setup States
- Reliability Analyses
- Checks/Asserts

Run Summary 1 Test Nominal Corner 1 Point Sweep (Test Sweep Pc) 0 Corner

History Item Status

Interactive.7 finished with errors

Interactive.6 finished

Outputs Setup Results Run Preview

Detail Filter Filter Corners Replace (None)

75 rows

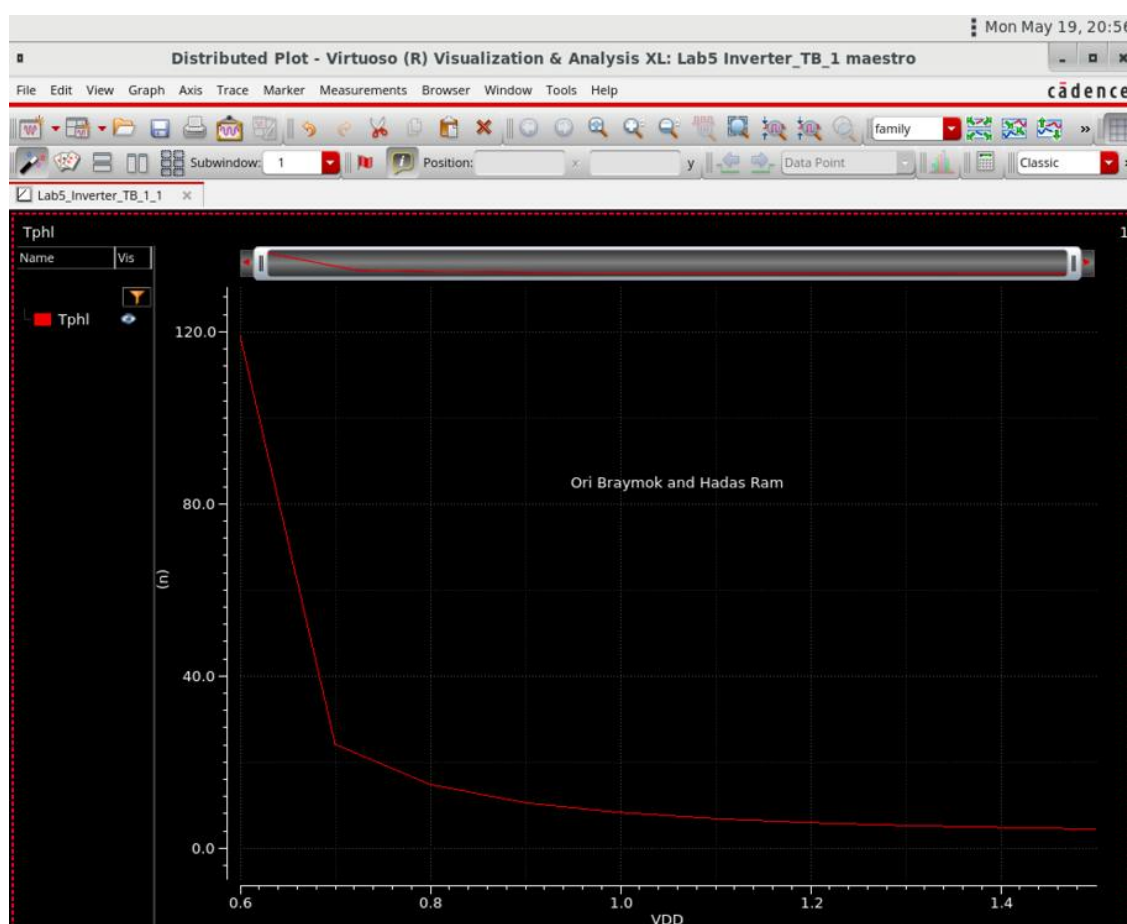
Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Parameters: VDD=1.1						
10	Lab5_Inverter_T...	Tphi	16.9n			
10	Lab5_Inverter_T...	Tpd	12.6n			
Parameters: VDD=1.2						
11	Lab5_Inverter_T...	/IN				
11	Lab5_Inverter_T...	/OUT				
11	Lab5_Inverter_T...	Tphi	6.87n			
11	Lab5_Inverter_T...	Tphi	13.28n			
11	Lab5_Inverter_T...	Tpd	10.08n			
Parameters: VDD=1.3						
12	Lab5_Inverter_T...	/IN				
12	Lab5_Inverter_T...	/OUT				
12	Lab5_Inverter_T...	Tphi	5.952n			
12	Lab5_Inverter_T...	Tphi	10.95n			
12	Lab5_Inverter_T...	Tpd	8.45n			
Parameters: VDD=1.4						
13	Lab5_Inverter_T...	/IN				
13	Lab5_Inverter_T...	/OUT				
13	Lab5_Inverter_T...	Tphi	5.285n			
13	Lab5_Inverter_T...	Tphi	9.331n			
13	Lab5_Inverter_T...	Tpd	7.308n			
Parameters: VDD=1.5						
14	Lab5_Inverter_T...	/IN				
14	Lab5_Inverter_T...	/OUT				
14	Lab5_Inverter_T...	Tphi	4.82n			
14	Lab5_Inverter_T...	Tphi	8.162n			
14	Lab5_Inverter_T...	Tpd	6.491n			
Parameters: VDD=1.6						
15	Lab5_Inverter_T...	/IN				
15	Lab5_Inverter_T...	/OUT				
15	Lab5_Inverter_T...	Tphi	4.444n			
15	Lab5_Inverter_T...	Tphi	7.29n			
15	Lab5_Inverter_T...	Tpd	5.867n			

בתחילת העלייה של VDD ניתן לראות שקיבלנו שגיאות. השגיאות האלה נובעות כיוון שהVDD קטן מדי. לא נוצר מספיק מתח V_{sg} בPMOS ו V_{sg} בNMOS, ולכן הוא לא מגיע לערך ה $V_m = 0.750$ [v].

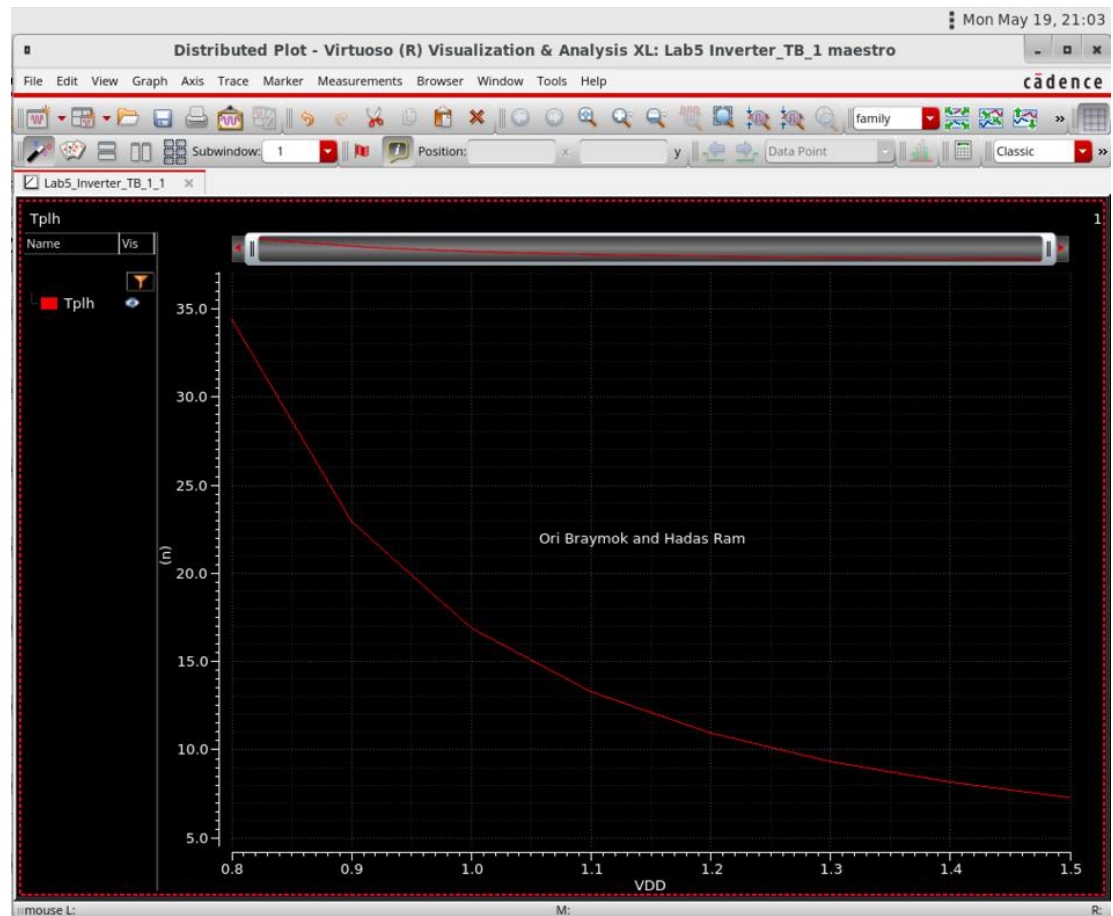
ניתן לראות שהערכים עבור T_{phl} מופיעים במתחים נמוכים יותר לעומת הערכים עבור T_{plh} . הסיבה לכך היא שה-NMOS אחראי על ירידת הפלט (T_{phl}) מתחיל להוליך כבר במתחים נמוכים בזכות נייודות גבוהה יותר של אלקטרונים. לעומת זאת ה-PMOS אחראי על עליית הפלט (T_{plh}) צריך מתח גבוה יותר כדי להוליך זרם משמעותי. מכיוון שבמעגל $\beta = 2$ ולא הערך שמצאנו בשאלה 1 ה-PMOS חלש יותר מה-NMOS ולכן ה-NMOS מגיע לערך V_{m} לפני ה-PMOS ולכן נראה ערכים ב- T_{phl} לפני הערכים ב- T_{plh} .

בנוסף לכך קיבלנו את הגרפים הבאים עבור הזמנים T_{phl} , T_{plh} , T_{pd} :

ניתן לראות שכאשר V_{DD} גדל T_{phl} קטן. ה-NMOS אחראי לירידת הפלט כיוון שהוא פורק את הקבל ל-GND. לכן ככל שה- V_{DD} עולה ה-NMOS פועל עם מתח גבוה יותר (V_{gs}) ולכן הזרם דרכו גדל. כתוצאה מכך הקבל במוצא נפרק מהר יותר ולכן ה- T_{phl} קטן.

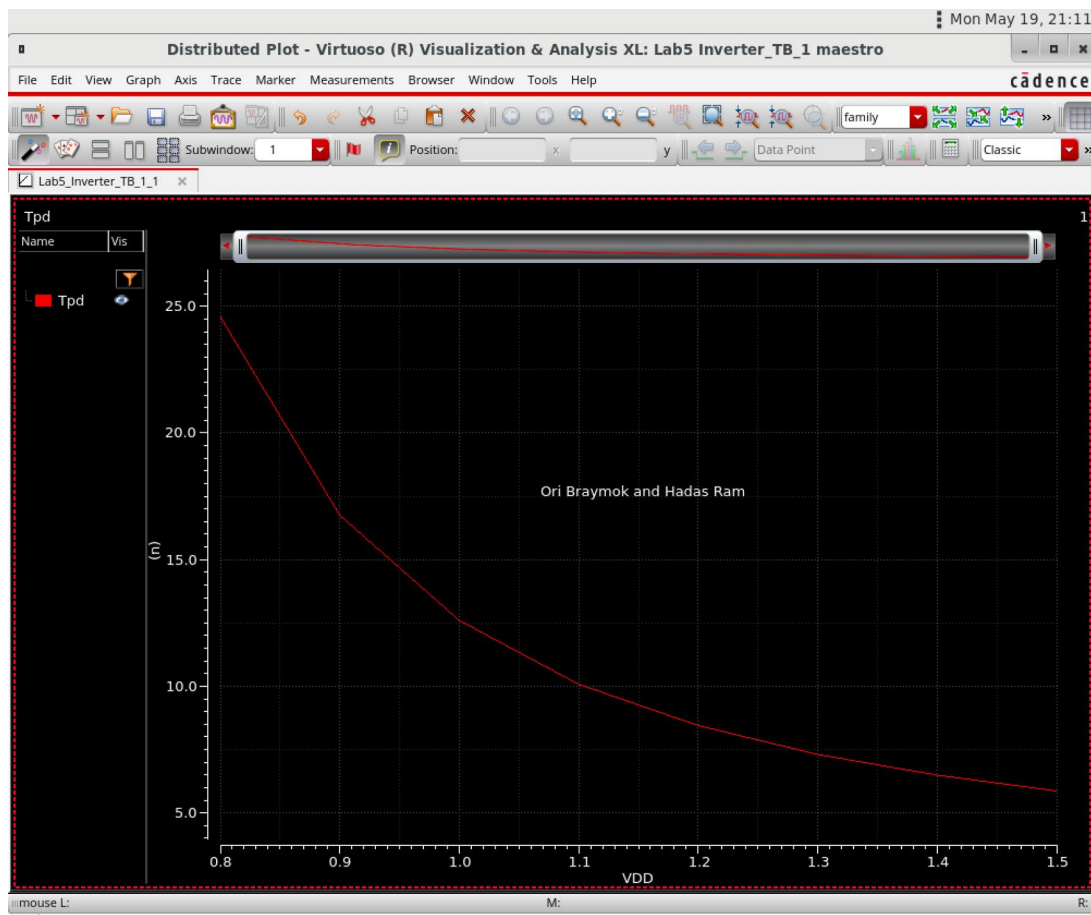


ניתן לראות שכאשר V_{DD} גדל T_{plh} קטן. ה-PMOS אחראי לעליית הפלט הוא טוען את הקבל במוצא מה- V_{DD} . לכן ככל שה- V_{DD} עולה ה-PMOS פועל עם מתח גבוה יותר (V_{sg}) ולכן הזרם דרכו גדל. כתוצאה מכך יש טעינה מהירה יותר של הקבל במוצא ולכן ה- T_{plh} קטן.



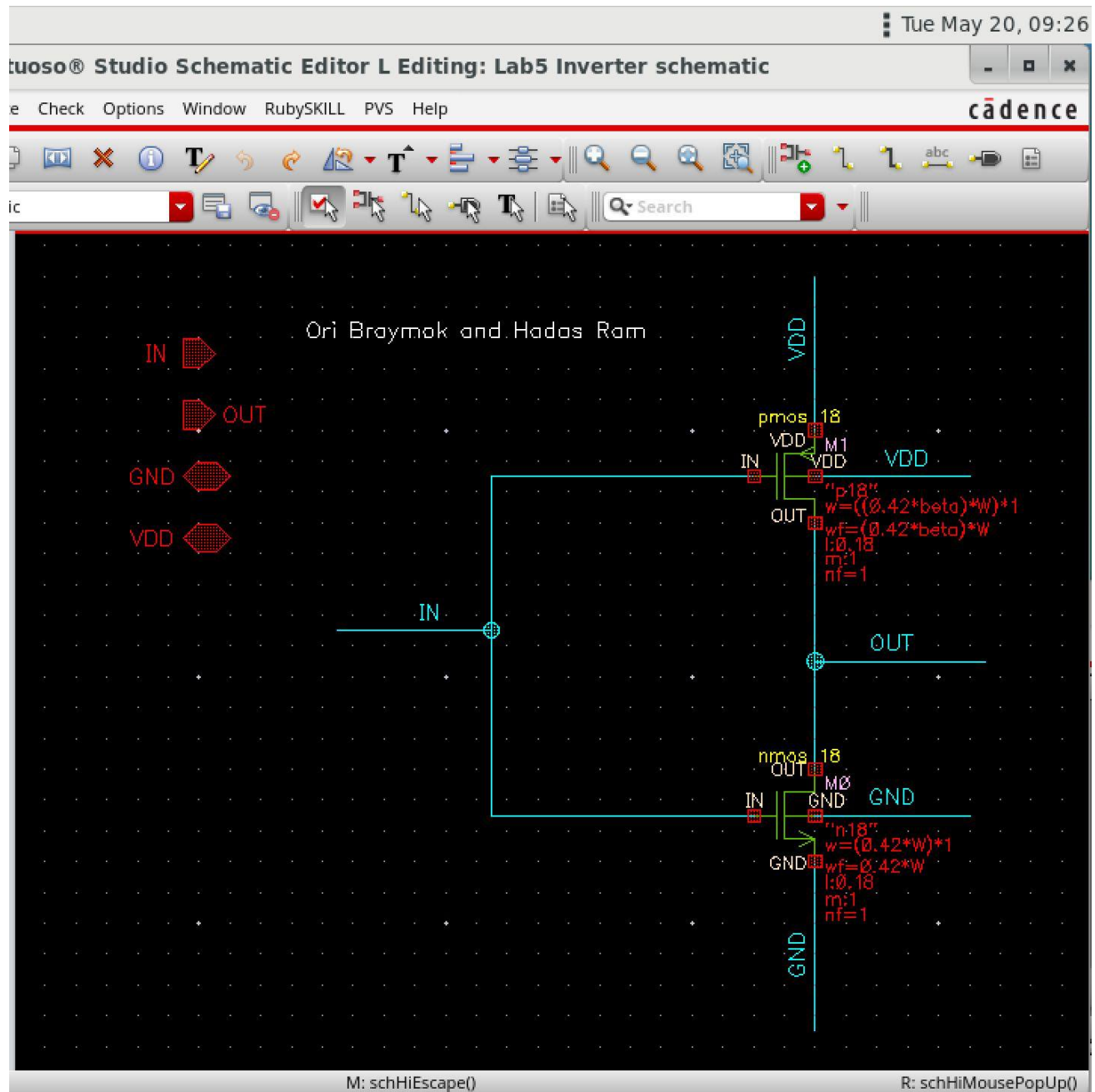
ה-PMOS יותר חזק מה-NMOS כיוון ש $\beta = 2$ (ערך קטן יותר ממה שקיבלנו בשאלה 1). לכן ניתן לראות הגרף של T_{phl} יורד בצורה חדה יותר מ- T_{plh} .

ניתן לראות שגרף זה הוא ממוצע של T_{phl} ו T_{plh} .

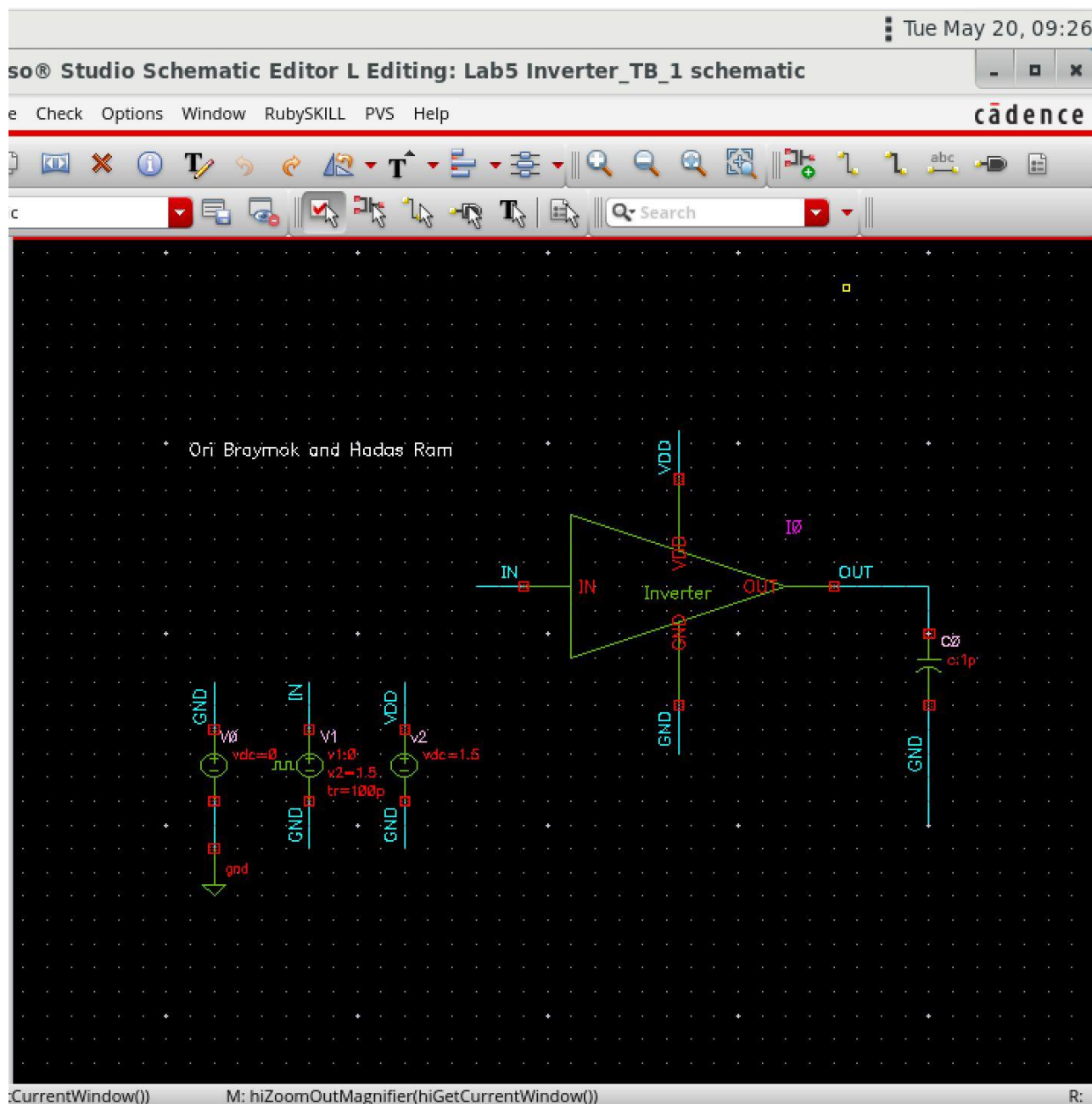


3. Simulate the tpd as a function of transistor's width (NMOS and PMOS, increase it from 1X to 4X for both of them simultaneously). Explain the results.

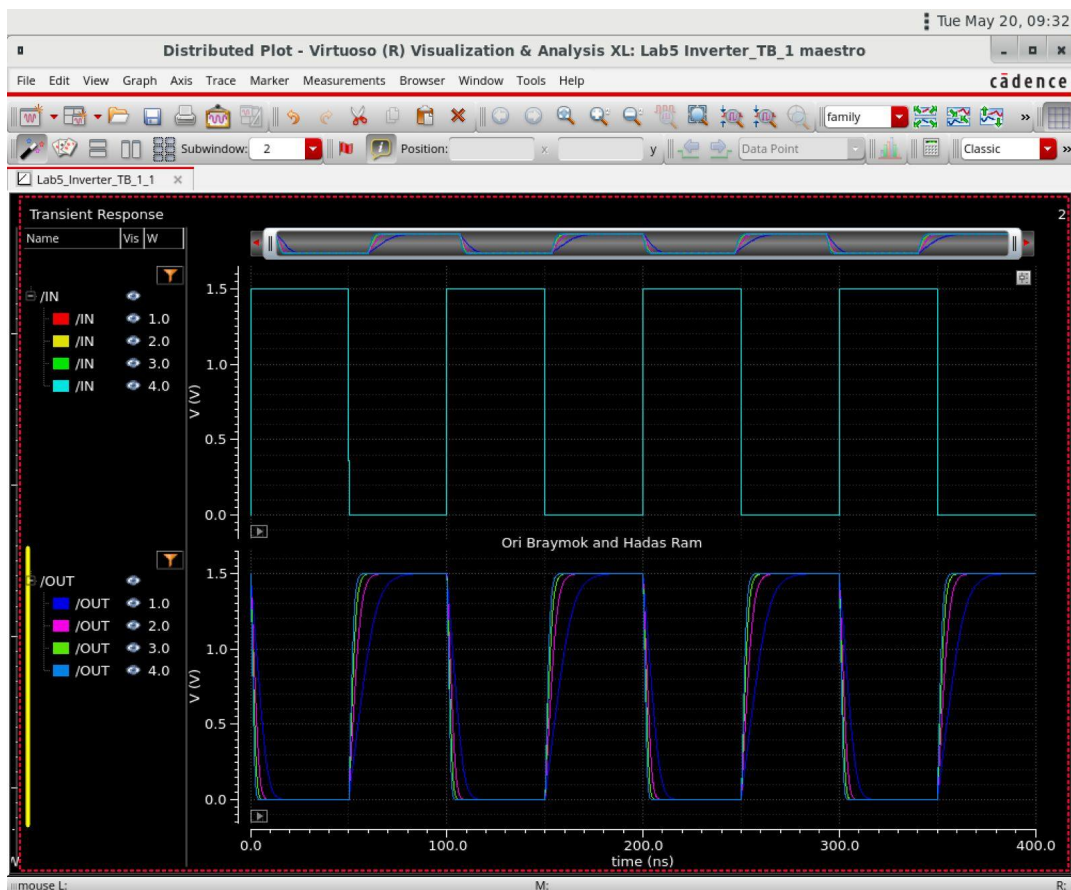
.התבקשנו להוציא פלט של Tpd כפונקציה של רוחב הטרנזיסטורים (PMOS, NMOS).
הגדרנו משתנה W רוחב פס בשני הטרנזיסטורים, כך שהוא כופל את Finger Width.



קיבענו את מתח הכניסה $VDD = 1.5[V]$.



הרצנו סימלוציית tran בדומה לסעיף ב' כאשר $\beta = 2$ והמשוואות של T_{phl} , T_{plh} , T_{pd} , רק שהפעם משתנה הריצה הוא W , שנע בין 1 ל 4 בקפיצות של 1. ניתן לראות שקיבלנו פלט של V_{in} כפונקציה של הזמן, כאשר V_{in} הוא אות מדרגה עם אמפליטודה קבועה של $1.5[V]$.



System

Virtuoso® ADE Assembler Editing: Lab5 Inverter_TB_1 maestro

Launch File Create Tools Options Run EAD Parasitics/LDE Window RubySKILL Help

No Parasitics/LDE No Sweeps Single Run, Sweeps and Corners Reference History Interactive

Data View

Name Value

Filter

Tests Global Variables Parameters Corners Documents Setup States Reliability Analyses Checks/Asserts

Run Summary

1 Test Nominal Corner

1 Point Sweep (Test Sweep Pc) 0 Corner

History Item Status

Interactive.13 finished

Outputs Setup Results Run Preview

Detail

Filter Filter Filter Filter Filter Filter

Parameters: W=1

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
1	Lab5_Inverter_T...	/IN				
1	Lab5_Inverter_T...	/OUT				
1	Lab5_Inverter_T...	Tphi	4.443n			
1	Lab5_Inverter_T...	Tphi	7.289n			
1	Lab5_Inverter_T...	Tpd	5.866n			

Parameters: W=2

2	Lab5_Inverter_T...	/IN				
2	Lab5_Inverter_T...	/OUT				
2	Lab5_Inverter_T...	Tphi	2.316n			
2	Lab5_Inverter_T...	Tphi	3.263n			
2	Lab5_Inverter_T...	Tpd	2.789n			

Parameters: W=3

3	Lab5_Inverter_T...	/IN				
3	Lab5_Inverter_T...	/OUT				
3	Lab5_Inverter_T...	Tphi	1.553n			
3	Lab5_Inverter_T...	Tphi	2.02n			
3	Lab5_Inverter_T...	Tpd	1.787n			

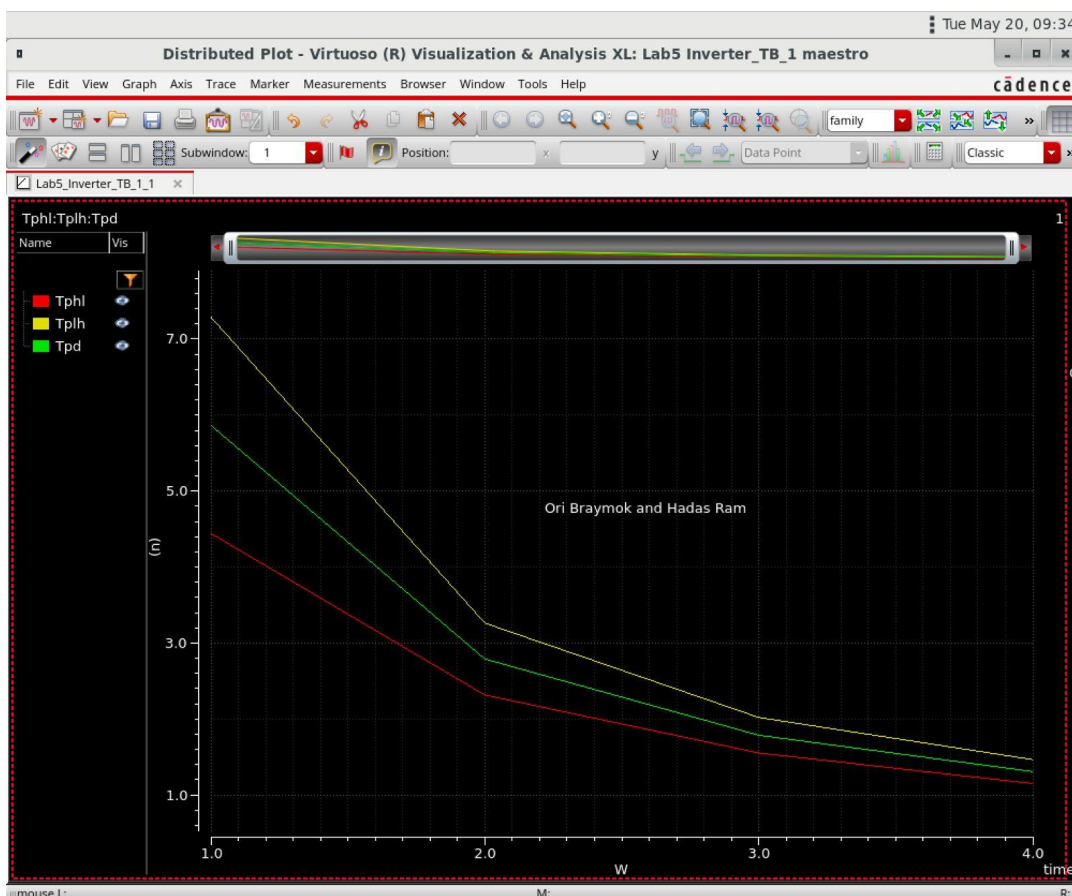
Parameters: W=4

4	Lab5_Inverter_T...	/IN				
4	Lab5_Inverter_T...	/OUT				
4	Lab5_Inverter_T...	Tphi	1.15n			
4	Lab5_Inverter_T...	Tphi	1.466n			
4	Lab5_Inverter_T...	Tpd	1.308n			

20 rows

Interactive.13

mouse L: M: R:



ניתן לראות שכלל שרוב הטרנזיסטורים (W) יותר גדול, כך עובר יותר זמן וכתוצאה מכך T_{phl} , T_{plh} מתקצרים ולכן גם T_{pd} קטן יותר. הקשר בין הזמן ל W הוא ליניארי. $I_{SD} = \frac{1}{2} K_n (V_{SG} - V_{TH})^2$.
 ולכן לפי המשוואה $T_{phl} \approx T_{plh} \approx \frac{C_{load} \Delta V}{I_{DS}}$ ניתן לראות שכלל הזמן גדול יותר הזמנים יהיו קטנים יותר.

4. Simulate VTC as a function of β (from 2 to 10 with steps of 2, for nominal VDD). Explain the results in terms of the Noise Margins (without calculations) and VM.

הגדרנו את β בין 2 ל 10 בקפיצות של 2, כאשר אנו שומרים על מתח אספקה קבוע - $V_{DD}=1.5[V]$.

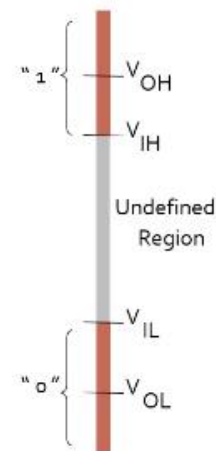
כאשר אנו משנים את ערך $\beta = \frac{\mu_p \frac{W_p}{L_p}}{\mu_n \frac{W_n}{L_n}}$, כלומר את היחס בין חוזק ה- PMOS ל- NMOS אנחנו משפיעים על נקודת האיזון של המהפך - שהיא הנקודה שבה הזרמים דרך שני הטרנזיסטורים משתווים זה לזה, נקודה זו מוגדרת כ- VM והיא מתקיימת כאשר: $V_{in} = V_{out} = V_m$.

NMH - "Noise Margin high":

$$NM_H = V_{OH} - V_{IH}$$

NML - "Noise Margin low":

$$NM_L = V_{IL} - V_{OL}$$



כפי שלמדנו שולי הרעש (NM) נקבעים לפי הערך המינימלי מבין NM_H , NM_L , כיוון שהצד הקטן יותר יקבע את רגישות המעגל.

במקרה שלנו כאשר $\beta = 4.156$, נקבל $V_m = \frac{V_{DD}}{2} = 0.750 [V]$, ובמצב זה יתקבל מצב סימטרי בין שולי הרעש ולכן $NM = NM_L = NM_H$.

כאשר $\beta < 4.156$ ה- NMOS דומיננטי יותר ולכן נקבל $V_m < \frac{V_{DD}}{2}$. ככל ש β קטן כך NM_H קטן יותר ו- NM_L גדול יותר ובנוסף לכך V_m קטן. במצב זה המעגל פחות עמיד לרעש ב'1' לוגי.

כאשר $\beta > 4.156$ ה- PMOS דומיננטי יותר ולכן נקבל $V_m > \frac{V_{DD}}{2}$. ככל ש β גדל כך NM_H גדול יותר ו- NM_L קטן יותר, ובנוסף לכך V_m גדל. במצב זה המעגל פחות עמיד לרעש ב'0' לוגי.

