

00, 07, 28

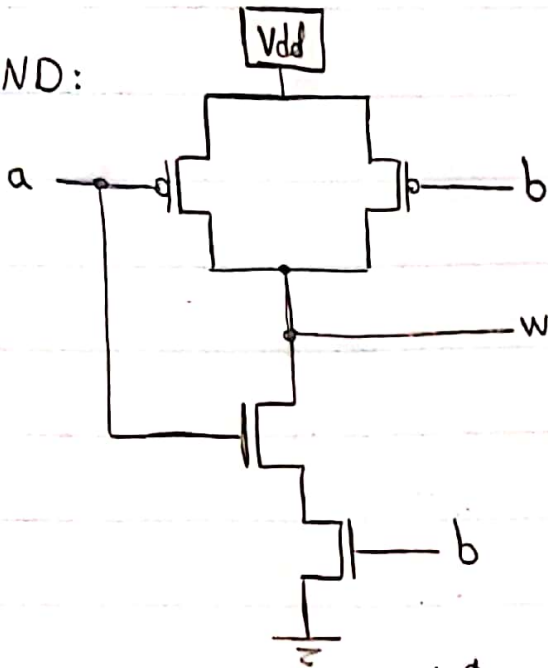
CA #01

استاد نوابی

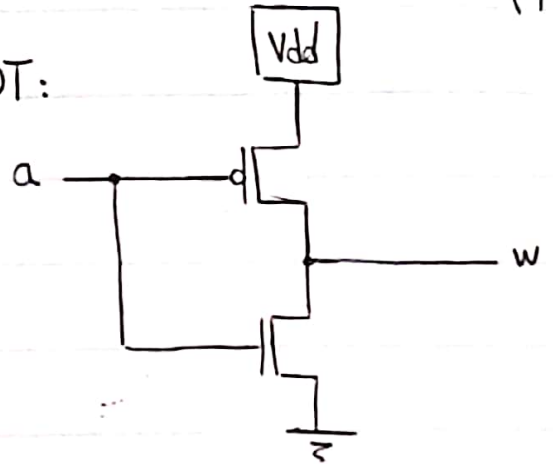
محمد هادي بابالو

810199380

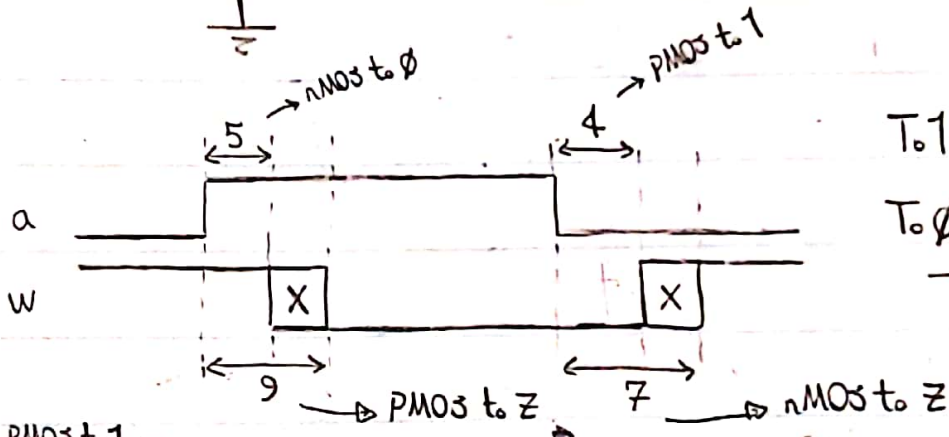
a. NAND:



NOT:

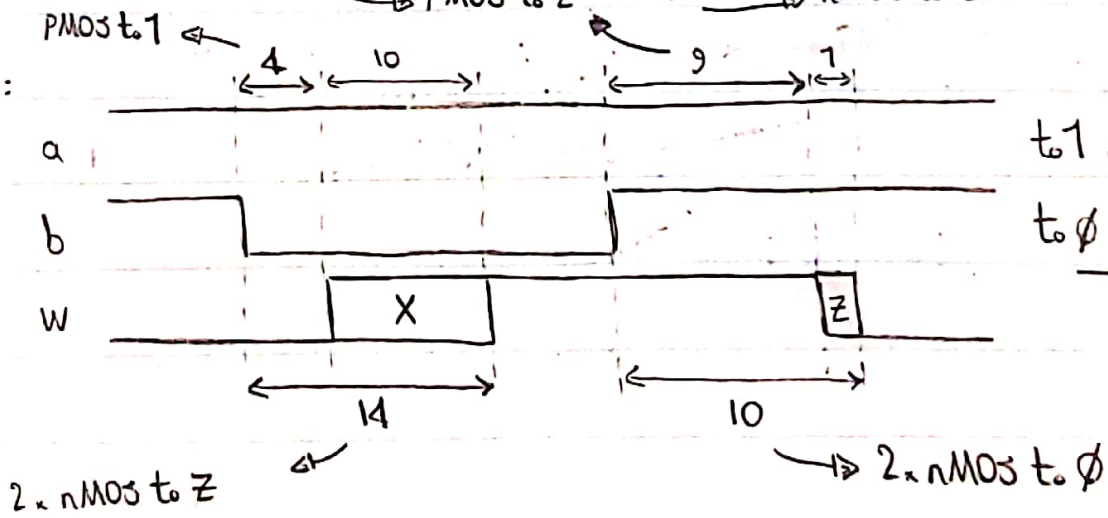


b. NOT:



$$\begin{aligned} T_{01} \text{ delay} &= 7 \\ T_{0\emptyset} \text{ delay} &= 9 \end{aligned}$$

NAND:

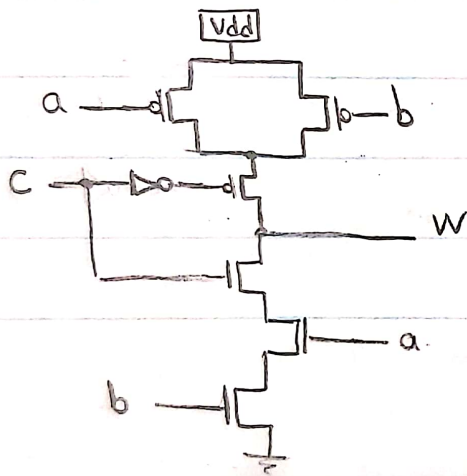


$$\begin{aligned} t_{01} \text{ delay} &= 14 \\ t_{0\emptyset} \text{ delay} &= 10 \end{aligned}$$

e.

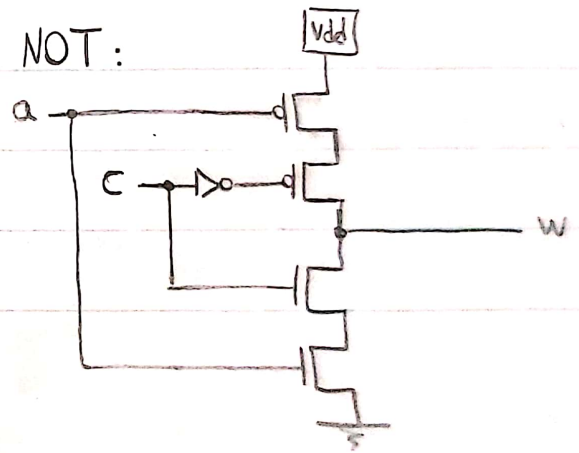
نتایج با هم مطابقت دارد.

a. NAND:

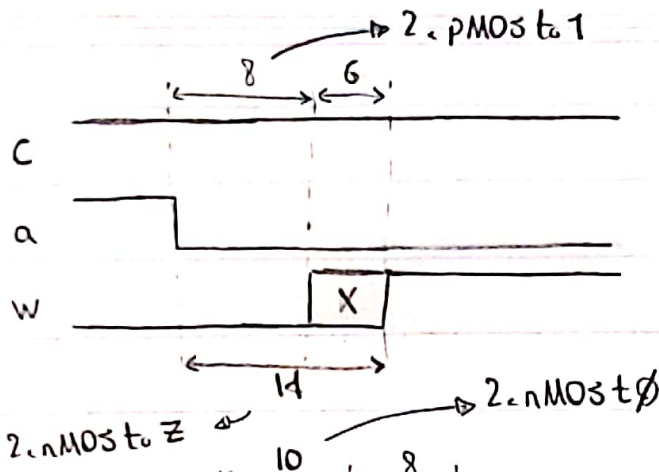


NOT :

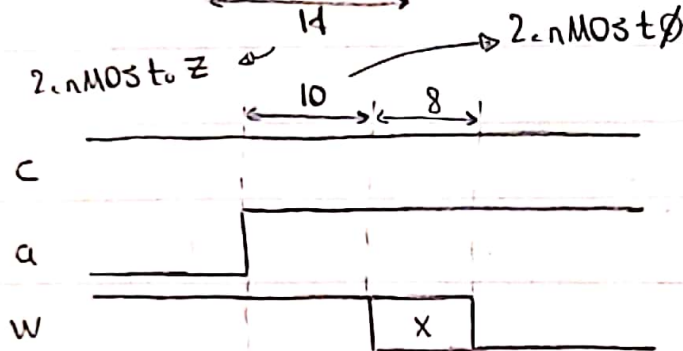
(2



b. NOT:

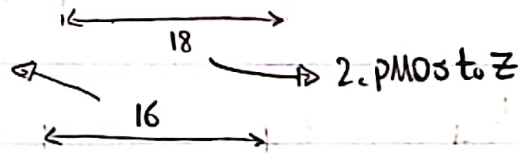


$$t_{01} \text{ delay} = 14$$



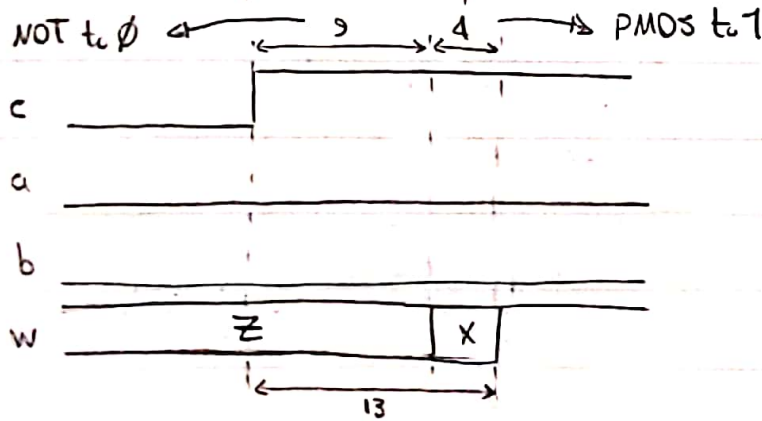
$$t_{0\phi} \text{ delay} = 18$$

NOT t_1 + PMOS t_0 Z

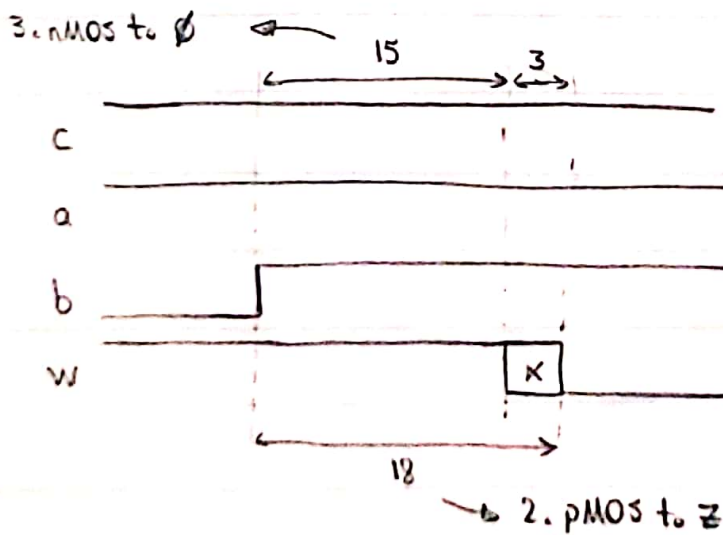


$$t_0 \text{ delay} = 16$$

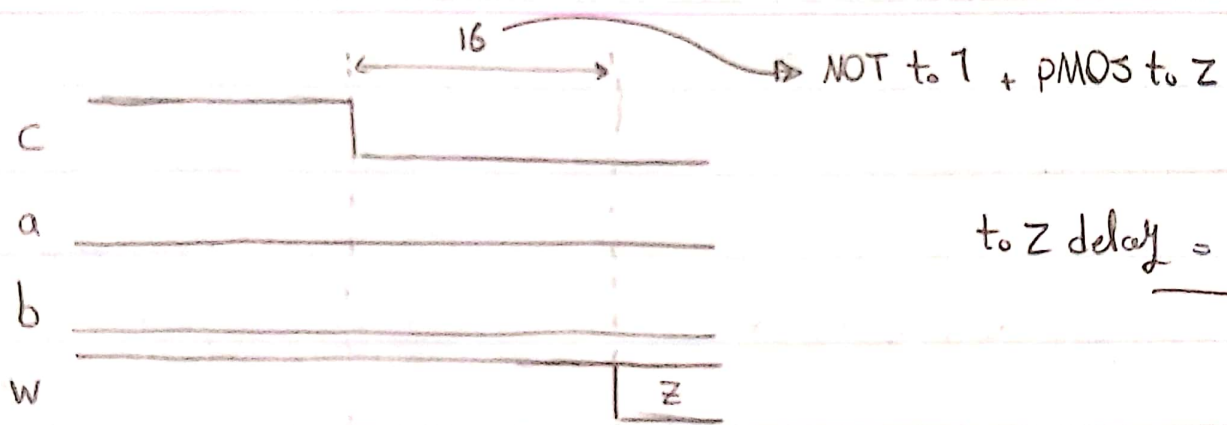
NAND:



$$t_{01} \text{ delay} = 13$$

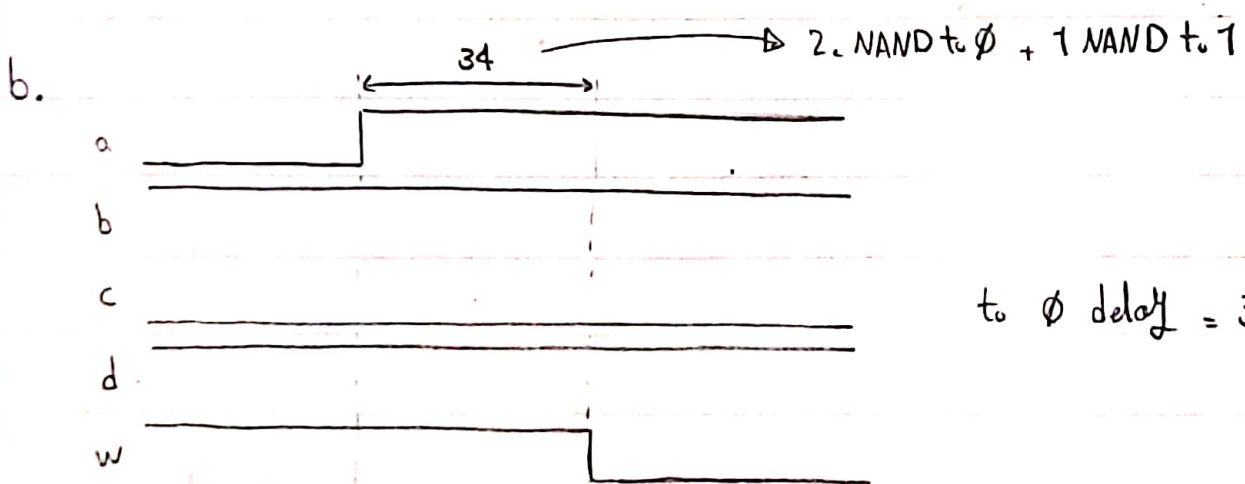
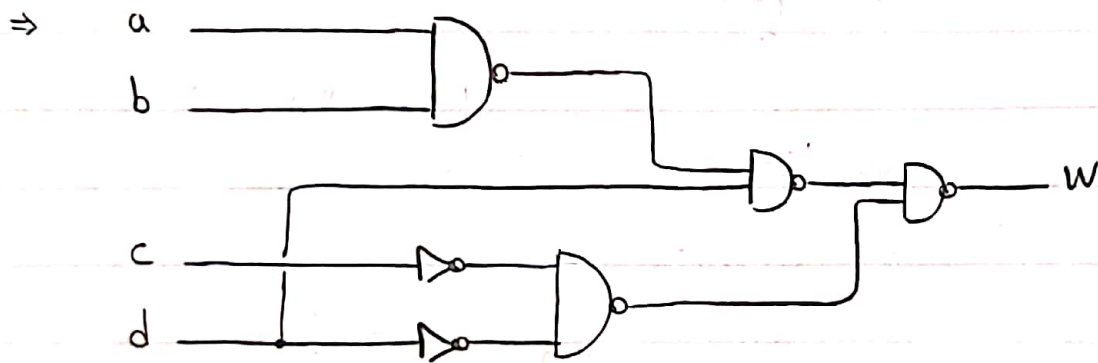
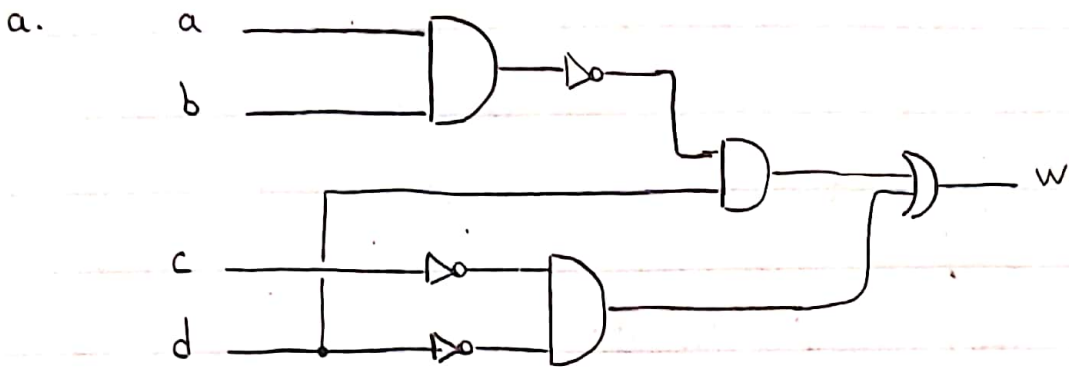


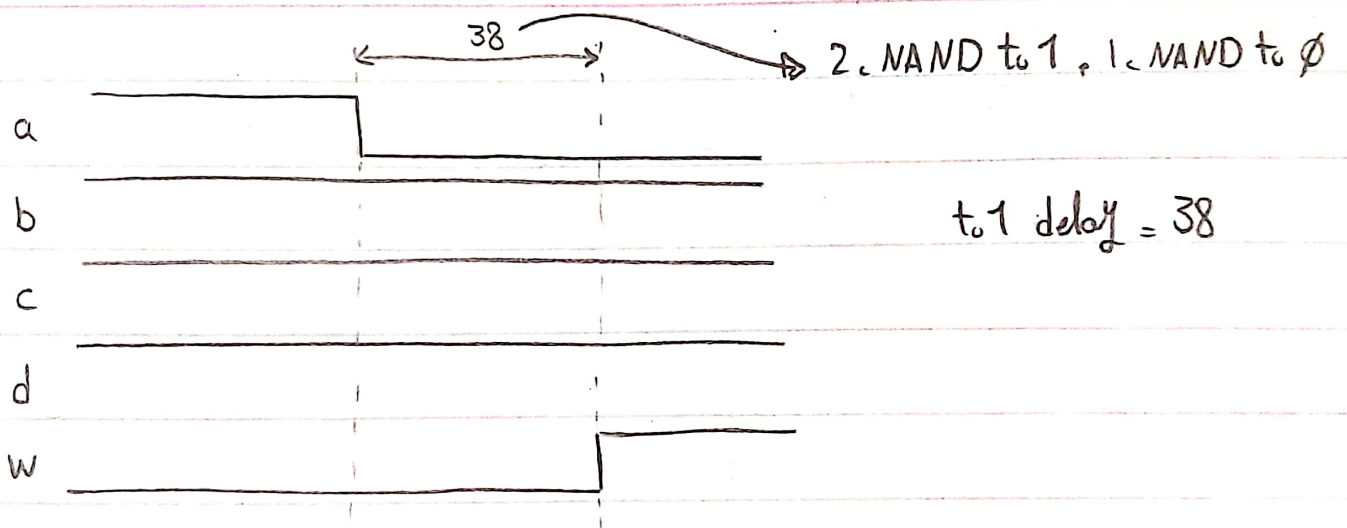
$$t_{0\phi} \text{ delay} = 18$$



e.

نتایج با هم مطابقت دارند، تعدادی دارند



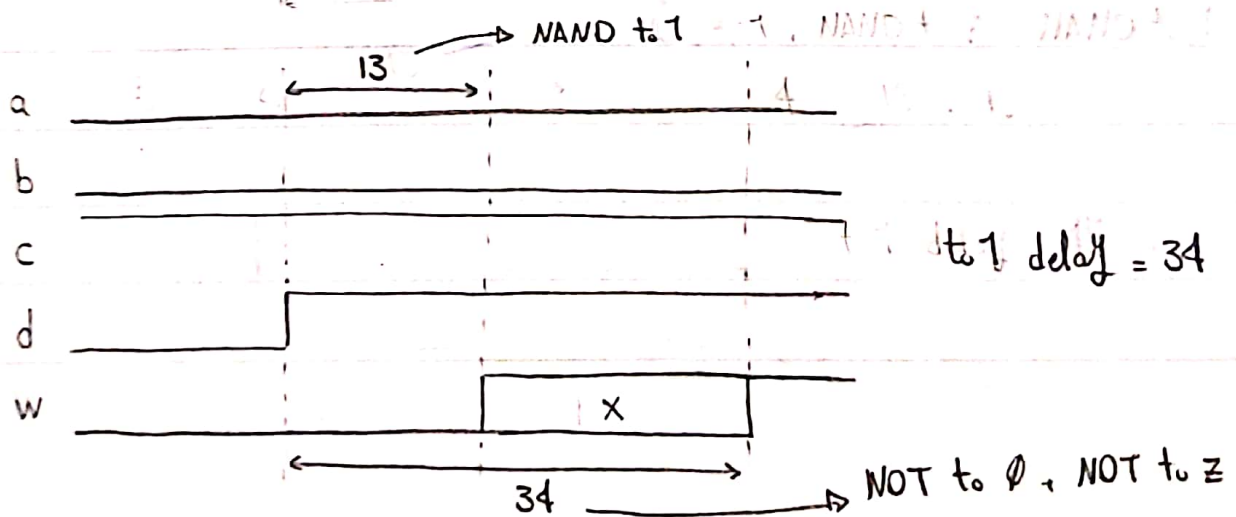
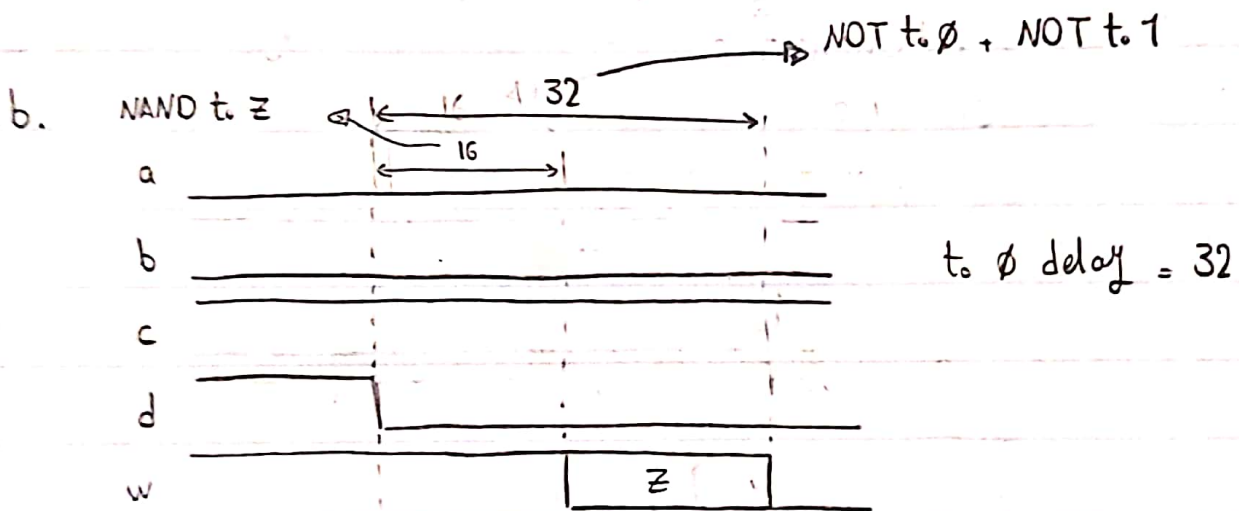
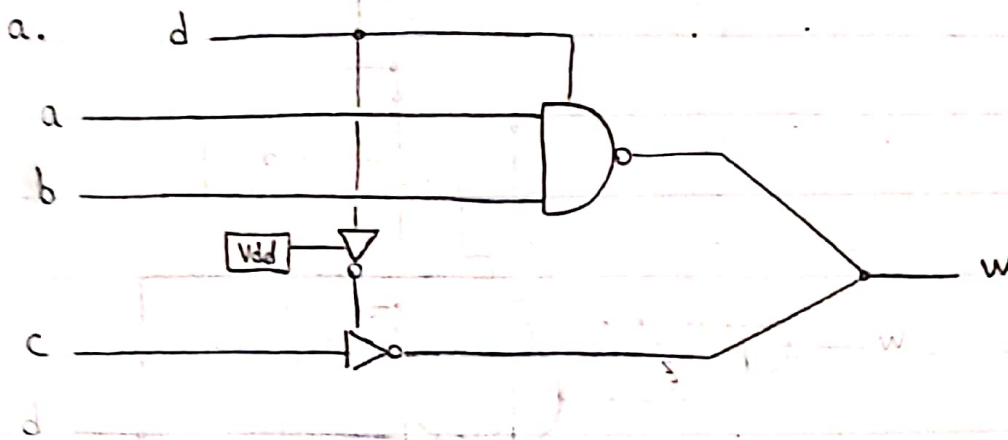


$t_{01} \text{ delay} = 38$

d.

نتائج مطابقند .

(-1)



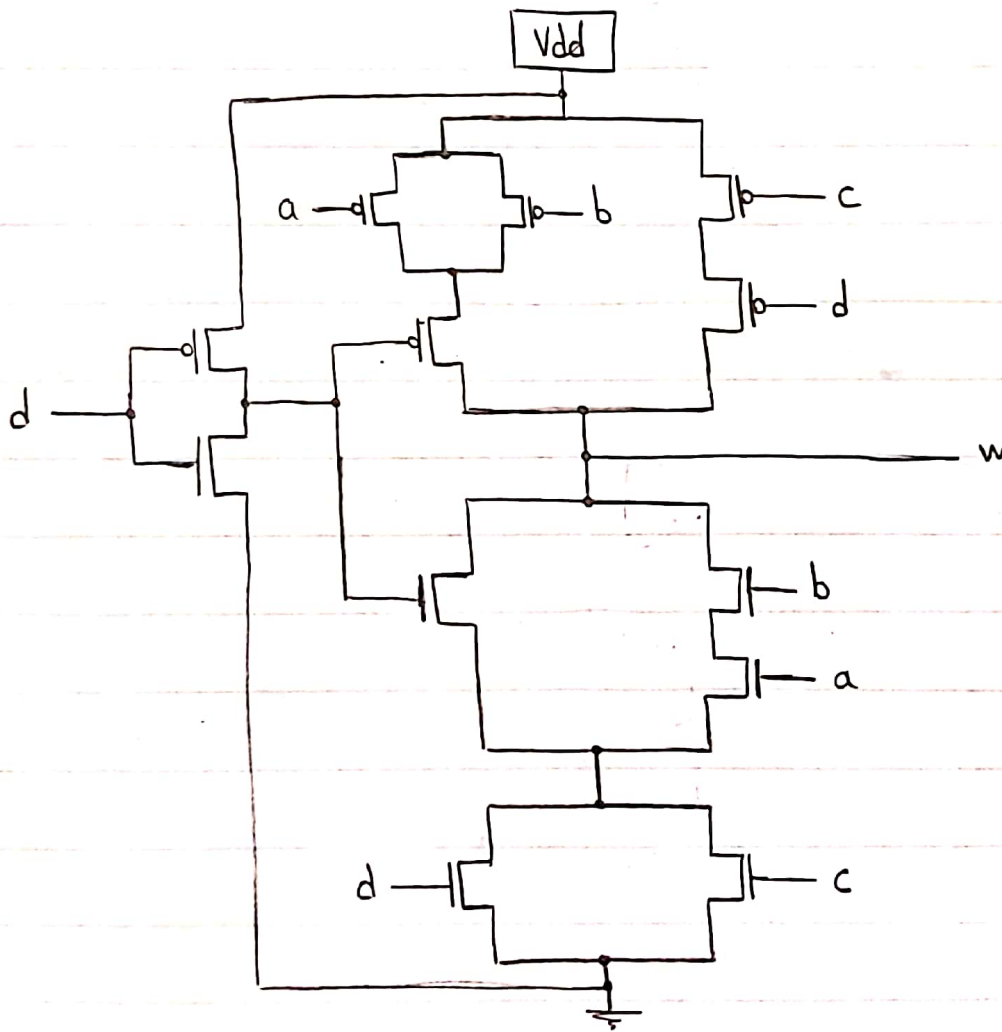
که لزوماً worst case نیست

e.

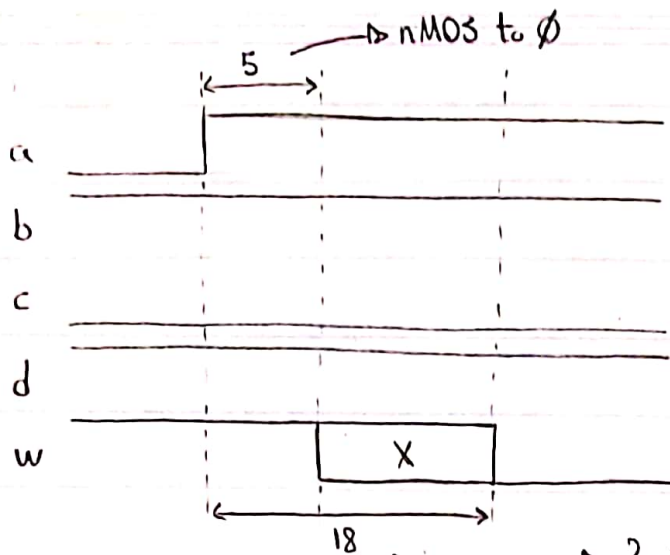
در \log_2 دلیلی ترنریستند حساب می شود ولی در محاسبات دستی ما worst case
گیت را تقریباً می گیریم که می تواند موجب تفاوت در نتایج شود.

(5)

$$a. \quad w = (d' \cdot c') + d \cdot (a \cdot b)' \Rightarrow w' = (d + c) \cdot (d' + (a \cdot b))$$

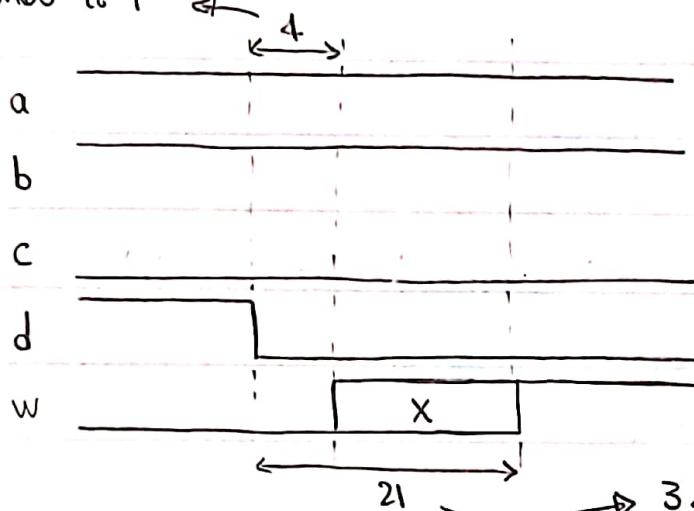


b.



$$t_{\phi} \text{ delay} = 18$$

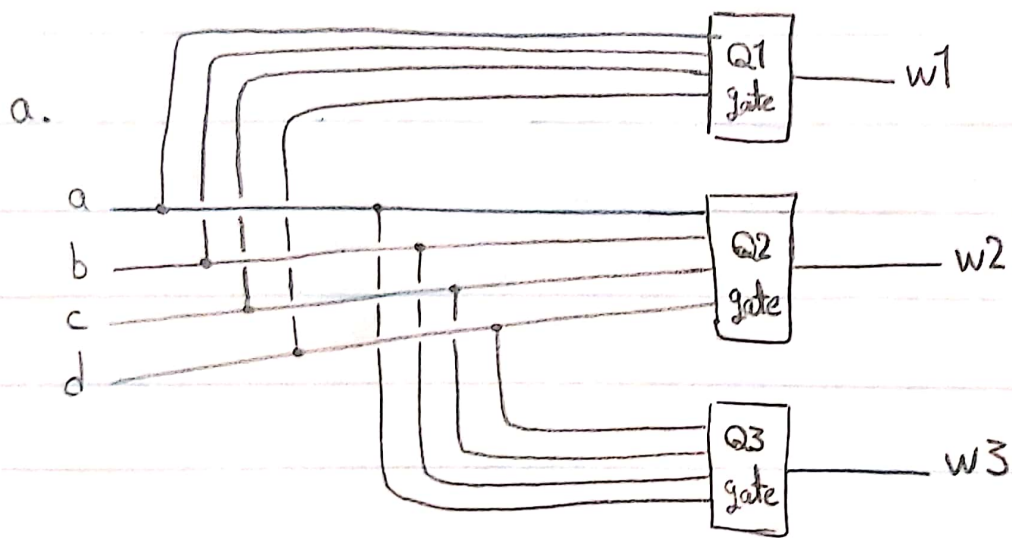
PMOS $t_{\phi 1}$



$$t_{\phi 1} \text{ delay} = 21$$

d.

نتائج منطقتين



c.

از لحاظ تأیید مدار سوال 5 ، سبب بهتر از 2 مدار دیگر است و

مدار 4 هم کسی از مدار 3 بهتر عمل نمی کند. (بر اساس $worst\ case\ delay$).

در ساخت مدار 3 ، 20 ، در ساخت مدار 4 ، 20 و در ساخت

مدار 5 ، 12 ترانزیستور استفاده می شود پس مدار 5 از این جهت از دو

مدار دیگر بهتر عمل کرده. از لحاظ مصرف انرژی هم ، مدار 4 ، دلیل

تکنولوژی قدیمتر است ، C_{mos} و امکان انتقال سیگنال مستقیم V_{dd} به Gnd

کتاب مصرف بهتری است ، در فرکانس پایین مدار 3 ، 5 که هر دو C_{mos}

هستند ، مدار 5 که کتاب ترانزیستور کمتری است ، به لحاظ میانگین مصرف کمتری

خواهد داشت.