

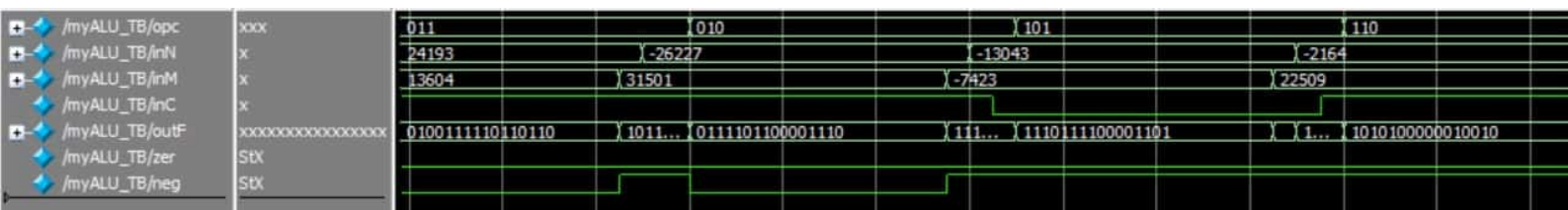
میرین کامیویری 3 مدار منلقی  
استاد نقای

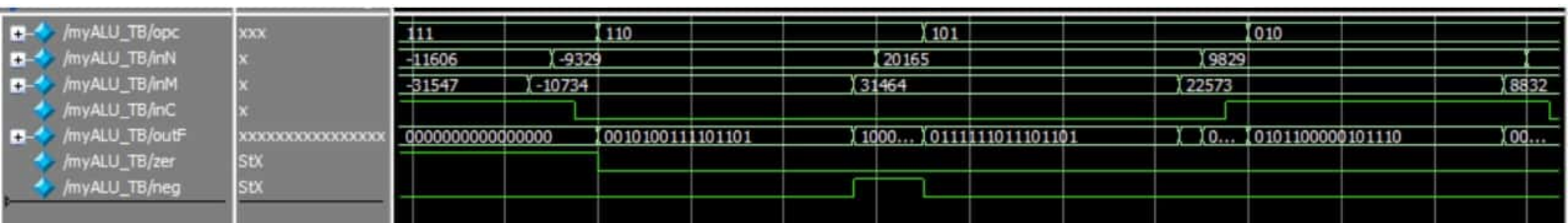
محمد هادی بابالو  
810199380

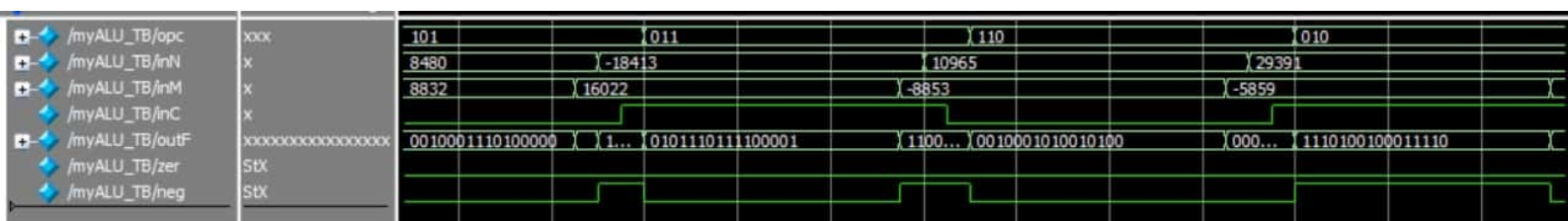
00, 09, 10

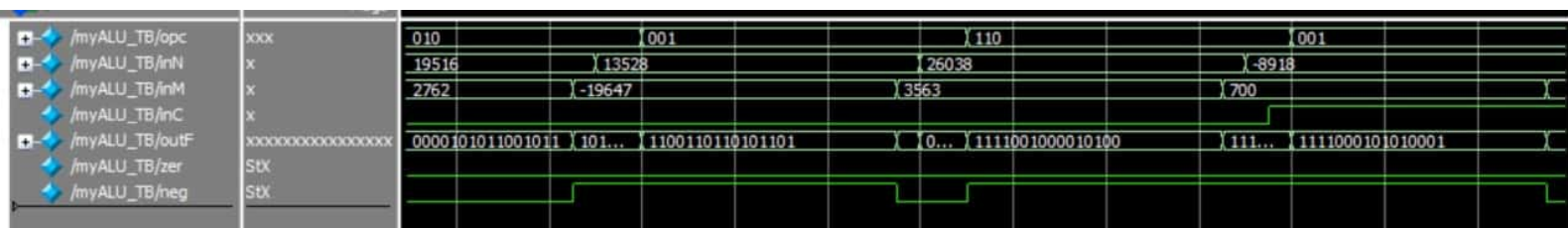
(1)








a.









 /myALU_TB/opc	xxxx	010			001			111			100		
 /myALU_TB/inN	x	21839		19221				-1204			24759		
 /myALU_TB/inM	x	16773		12926				1890			-22024		
 /myALU_TB/inC	x												
 /myALU_TB/outF	xxxxxxxxxxxxxxxxxxxx	0100000110000110	001...	0101100000001000				0...	0000000000000000		0010000010110000		
 /myALU_TB/zer	StX												
 /myALU_TB/neg	StX												

b.

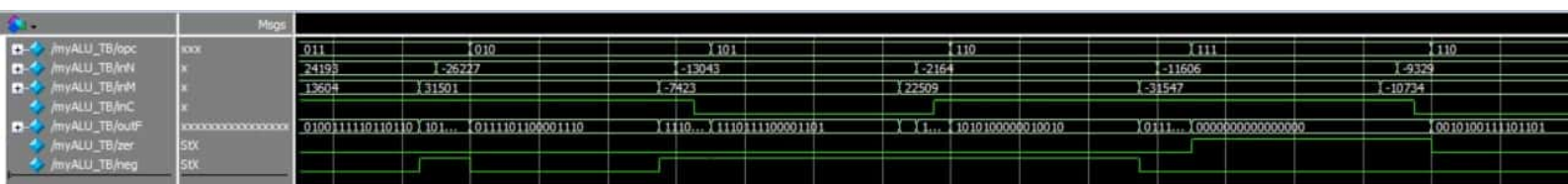
=== myALU\_1 ===

Number of wires:	471
Number of wire bits:	518
Number of public wires:	7
Number of public wire bits:	54
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	481
\$_AND_	53
\$_AOI3_	57
\$_AOI4_	2
\$_MUX_	16
\$_NAND_	19
\$_NOR_	56
\$_NOT_	76
\$_OAI3_	59
\$_OAI4_	17
\$_OR_	21
\$_XNOR_	94
\$_XOR_	11

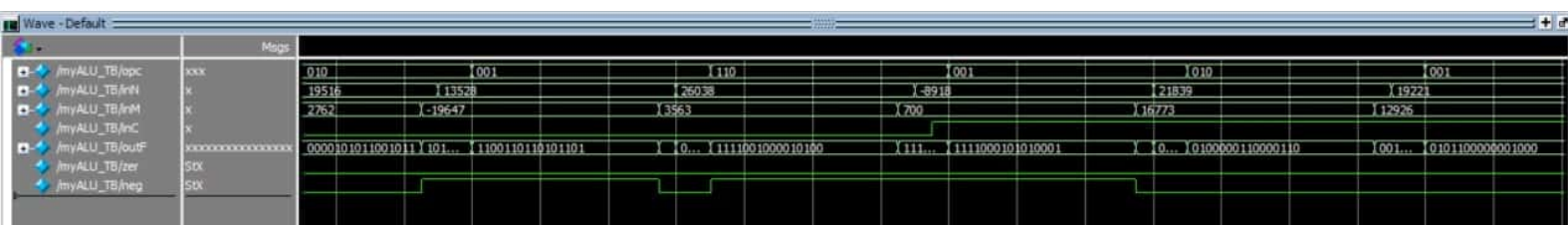


ABC RESULTS:	NAND cells:	181
ABC RESULTS:	NOR cells:	479
ABC RESULTS:	NOT cells:	160
ABC RESULTS:	internal signals:	464
ABC RESULTS:	input signals:	36
ABC RESULTS:	output signals:	17

C.







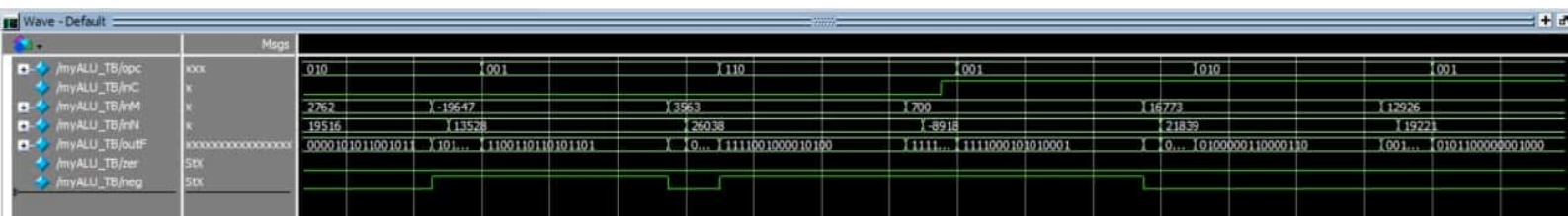
d. بارت a کاملاً فائز است و هیچ تفکر سخت افزای رستی نیست، بارت e هم  
syn. به بارت a باکیت ها تبدیل و نند و نالت بدون هیچ بهینه سازی است و هارود  
نیاید و آن استفاده به است.

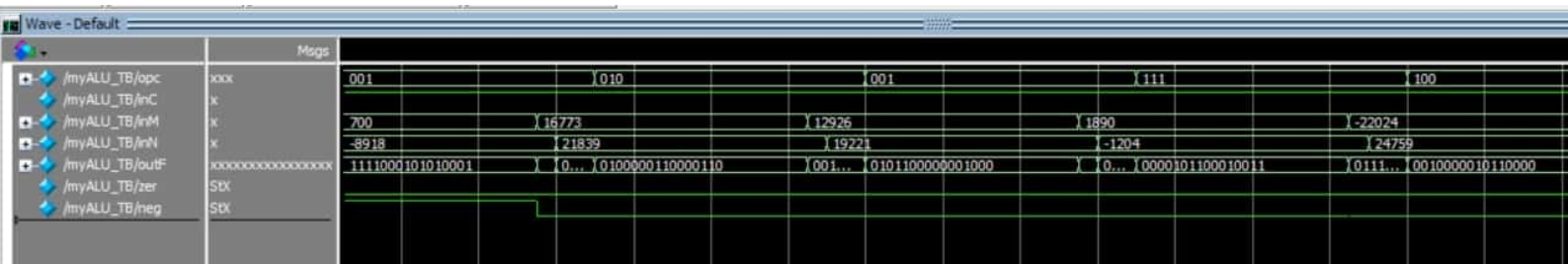
(2

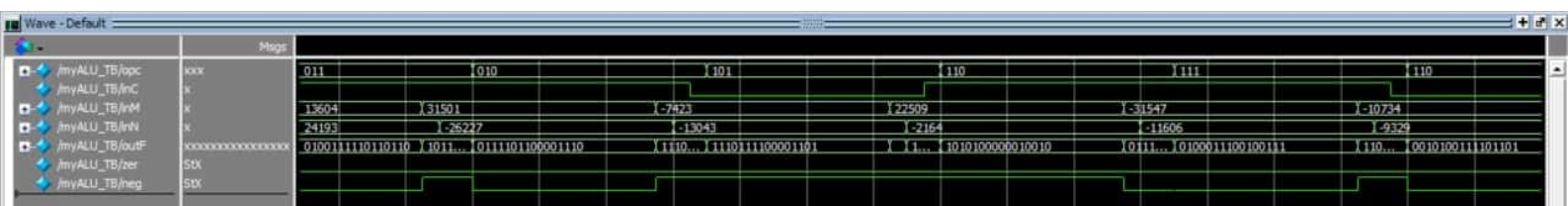
a.


















 /myALU_TB/opc	xxx	101			010				101				011				110				010	
 /myALU_TB/inC	x																					
 /myALU_TB/inM	x	31464			22573				8832				16022				-8853				-5859	
 /myALU_TB/inN	x	20165			9829				8480				-18413				10965				29291	
 /myALU_TB/outF	xxxxxxxxxxxxxxxx	011111101110110			0... 0101100000101110				0010... 10010001110100000				1... 0101110111100001				1100... 0010001010010100				000... 11110100100011110	
 /myALU_TB/zer	StX																					
 /myALU_TB/neg	StX																					

b.

# === design hierarchy ===

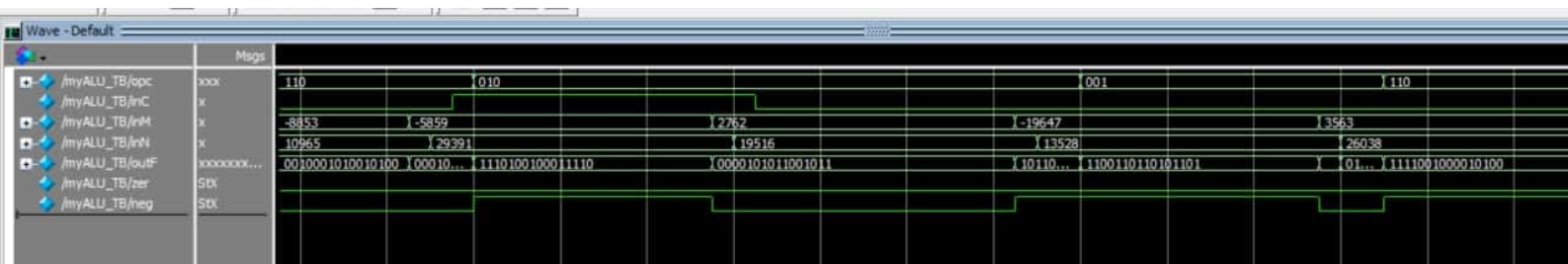
ALU	1
ADDER	1
BITAND	1
BITNOT	1
BITOR	1
MUX4_1	1
MUX4_16	2
OTRSHIFTER	2

Number of wires:	220
Number of wire bits:	750
Number of public wires:	51
Number of public wire bits:	581
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	269
\$_AND_	30
\$_AOI3_	11
\$_MUX_	99
\$_NAND_	21
\$_NOR_	7
\$_NOT_	26
\$_OAI3_	8
\$_OR_	34
\$_XNOR_	16
\$_XOR_	17

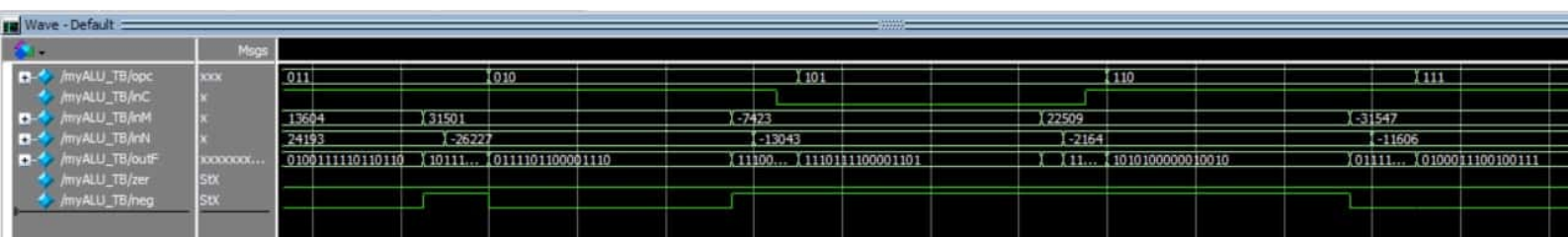
```
4.7.2. Re-integrating ABC results.  
ABC RESULTS:          NAND cells:          68  
ABC RESULTS:          NOR cells:           65  
ABC RESULTS:          NOT cells:           34  
ABC RESULTS:      internal signals:         36  
ABC RESULTS:      input signals:           66  
ABC RESULTS:      output signals:          16  
Removing temp directory.
```

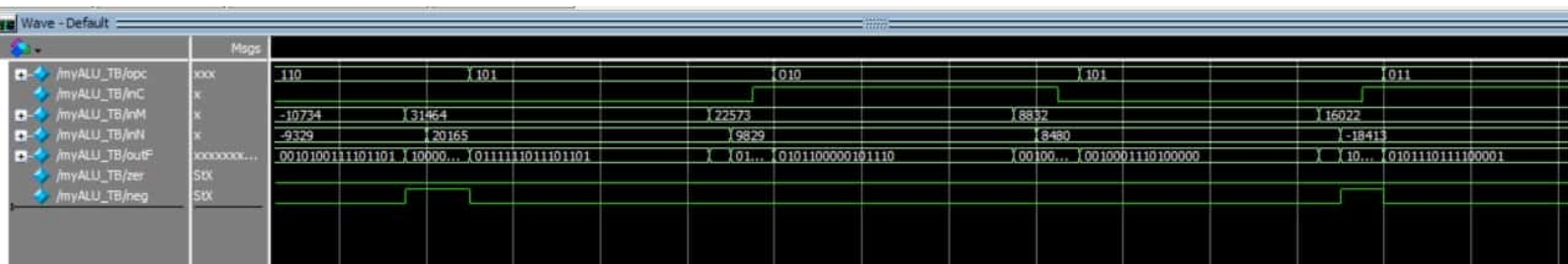
C.





Wave - Default												
	Mags											
/myALU_TB/opc	xxx	001		010			001			111		100
/myALU_TB/inC	x											
/myALU_TB/inM	x	700	16773			12926		1890		-22024		
/myALU_TB/inN	x	-8918	21839			19221		-1204		24759		
/myALU_TB/outF	xxxxxxxx...	1111000101010001	01... 0100000110000110			00110...	0101100000001000		00... 0000101100010011		01111...	0010000010110000
/myALU_TB/zer	StX											
/myALU_TB/neg	StX											





د یارۍ a ما از کامپونټ هغه ډول adder, mux, shifter, ... استازي  
کړم و ملاتړمان را ځایم و د یارۍ c همین کامپونټ هغه syn کړه و  
باځای هغه ځایم. د واقع یارۍ a د RTL لول اټ و یارۍ c  
پیاوړت یارۍ a د gate لول اټ و طبیعت هغه ریاضی هم د  
آن استازي ده است.

(3)

در سال اول بدن نتیجه به هارد و مفا با کاری که قرار بود ALU انجام دهد آن را پیاده ساز کردیم ولی در سال 2 با نتیجه به هارد و با استفاده از کامپوننت ها که داشتیم ALU را پیاده سازیم و کامپوننت ها را بین مانکس ها مختلف استفاده کردیم (shared hardware components). همین تفاوت باعث می شد که  $5/1$  در سال دوم بسیار بیشتر از  $5/1$  در سال اول باشد و از گیت ها بسیار کمتری در ساخت آن استفاده شد که موجب کم شدن دلیلی مدار هم می شد.