מכון טכנולוגי חולון
Holon Institute of Technology

שפת תכנון חומרה –
Verilog

מטלה מספר 3

מגיש :

חיים עוזר - 316063569

Ex3-תוסף ויזאולי TOP LVL

❖ Code:

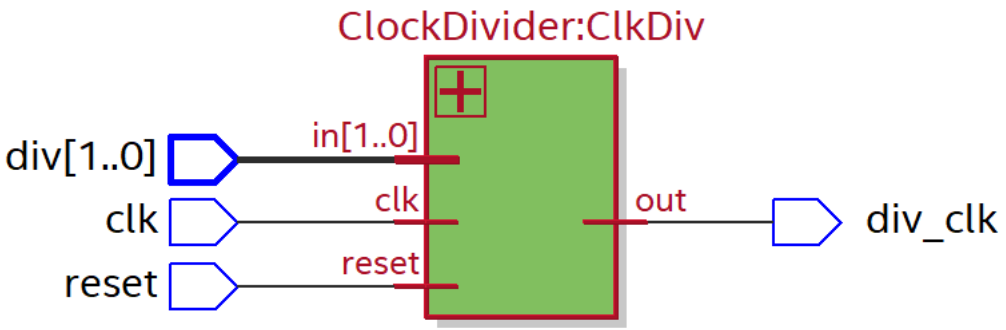
```
module ex3 (
    input wire clk,reset,
    input wire [1:0] div,           // input
    output wire div_clk);      // Output divided clock

ClockDivider ClkDiv
(.clk(clk),.reset(reset),.in(div[1:0]),.out(div_clk));

endmodule
```

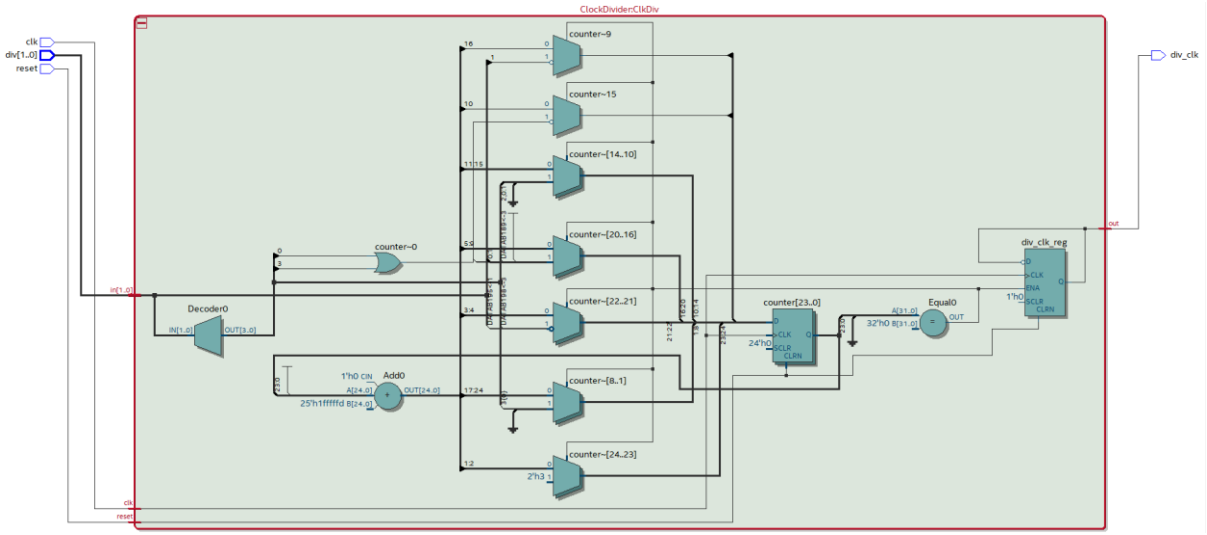
Clock Divider

❖ Code:

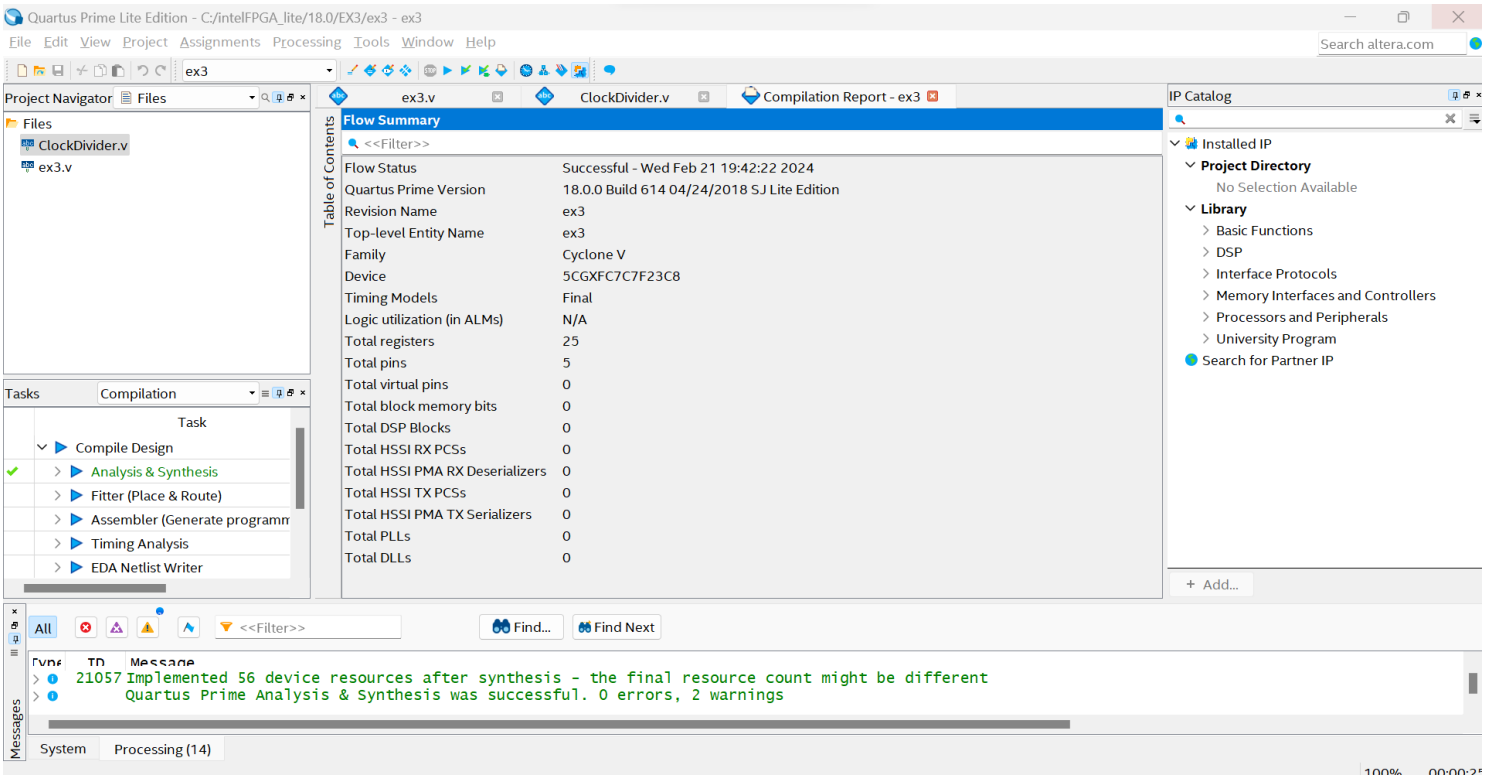
```
module ClockDivider (
    input wire clk, reset,
    input wire [1:0] in,
    output wire out
);

reg [23:0] counter;
reg div_clk_reg;

initial begin
    counter <= 0;  // Use non-blocking assignment
    div_clk_reg <= 1'b1;  // Use non-blocking assignment
end

always @(posedge clk or posedge reset) begin
    if (reset) begin // asynchronous
        counter <= 0;
    end
    else begin
        if (counter == 0) begin
            case (in)
                2'b00: counter <= 249_999;  // 100 Hz
                2'b01: counter <= 24_999;   // 1 kHz
                2'b10: counter <= 2_499;    // 10 kHz
                2'b11: counter <= 249;      // 100 kHz
                default: counter <= 0;
            endcase
            div_clk_reg <= ~div_clk_reg;
        end else if (counter > 0) begin   // synchronous and counter > 0
            counter <= counter - 1'b1;    // Decrement counter
        end
    end
end

assign out = div_clk_reg;

endmodule
```

❖ RTL:





❖ Compilation:



<u>הסבר הקוד במילים שלי:</u>

המונה הוא כמו טיימר שסופר לאחור מערך שנקבע על ידי האות div.
כאשר הוא מגיע לאפס, הוא מפעיל את עדכון השעון המחולק.
האיפוס האסינכרוני RESET מאפס באופן מידי את המונה ואת השעון המחולק כאשר הוא נטען.
חלוקת השעון הסינכרוני מבטיחה שתדר השעון המחולק נשלט על ידי אות ה-div.

<u>שיטת החלוקה להמרת התדר תתבצע בצורה הבא:</u>

לדוגמא עבור DIV = 00 המונה מאותחל לחלוקה של 249,999
ערך זה נקבע על ידי התחשבות בתדר השעון של 50 מגה-הרץ (שעון חיצוני) ותדר המוצא הרצוי של 100 הרץ.

$$\text{Counter Value} = \frac{\text{Clock Frequency}}{\text{Desired Output Frequency}} - 1$$

<u>במקרה שלנו:</u>

$$\frac{50{,}000{,}000}{100} - 1 = 499{,}999$$

המונה מוגדר ל-499,999 **אך בשביל לקבל עליה וירידה בזמן מחזור זה נחלק ב2 ו**נקבל 249,999 כדי להשיג תדר מוצא של 100 הרץ כאשר DIV הוא "00".
המונה סופר לאחור מהערך הראשוני הזה, וכאשר הוא מגיע לאפס, הוא מפעיל את עדכון אות השעון המחולק, ויוצר פלט של 100 הרץ.

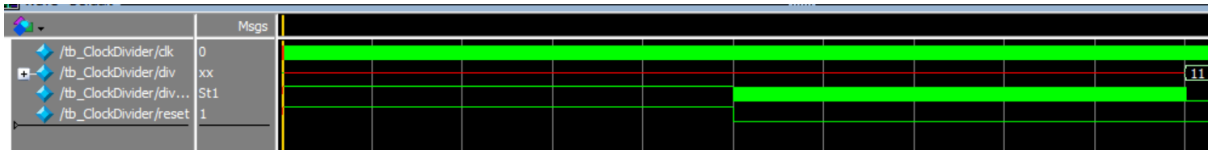
Test Bench:

- Code:

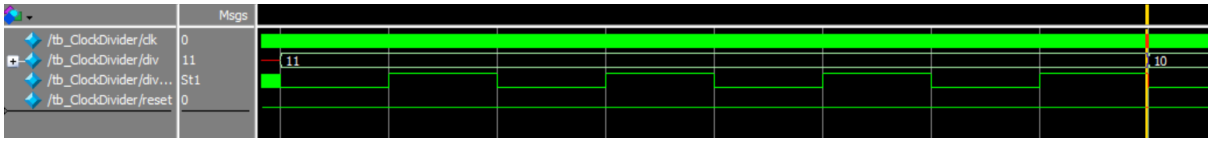
```
`timescale 1ns/1ns

module tb_ClockDivider;

    reg clk;
    reg reset;
    reg [1:0] div;
    wire div_clk;

    ClockDivider CD (.clk(clk), .reset(reset), .in(div), .out(div_clk));

    // Continuous clock generation
    always #10 clk = ~clk; // clock every 10 ns

    initial begin
        clk = 0;
              reset = 1; // Initial asynchronous reset
        #10_000 reset = 0; // Release reset after 10 ns
    end

    initial begin
             #20_000 // Wait for a while before changing div values

              div = 2'b11; #40_000       // Set DIV to 11 (100 kHz)
              div = 2'b10; #400_000   // Set DIV to 10 (10 kHz)
              div = 2'b01; #2_000_000   // Set DIV to 01 (1 kHz)
        div = 2'b00; #10_000_000; // Set DIV to 00 (100 Hz)

              //sum time to run in modlesim 12.47 mSEC

    end
endmodule
```

- Wave – Model sim:

Reset check:

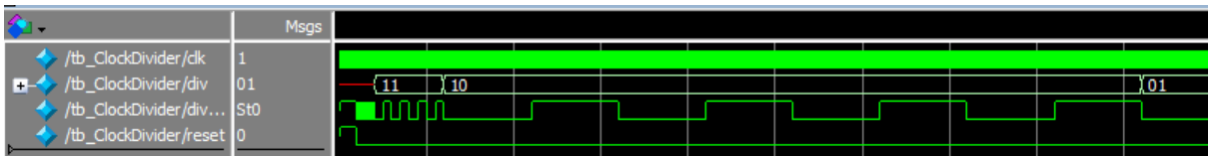


Div 11 check:



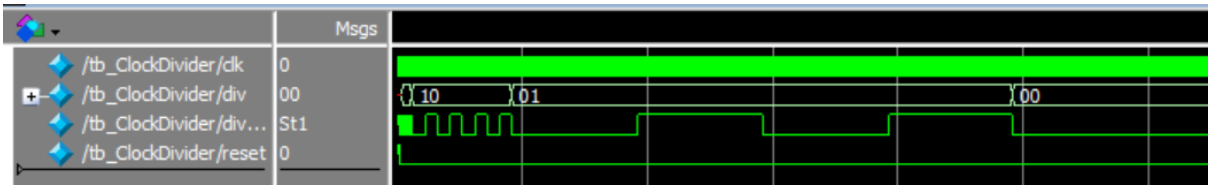
ניתן להבחין כי בזמן הבדיקה של 40KnSec נקבל 4 עליות שעון ו4 ירידות שעון, כלומר זמן מחזור יהיה 10KnSec ואז התדר שמתקבל יהיה 100Khz.

Div 10 check:



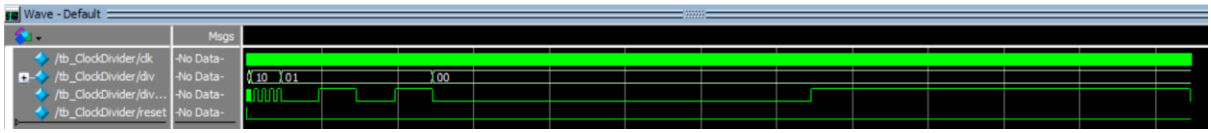
ניתן להבחין כי בזמן הבדיקה של 400KnSec נקבל 4 עליות שעון, כלומר זמן מחזור יהיה 100KnSec ואז התדר שמתקבל יהיה 10Khz.

DIV 01 check:



ניתן להבחין כי בזמן הבדיקה של 2M nSec נקבל 2 עליות שעון, כלומר זמן מחזור יהיה 1MnSec ואז התדר שמתקבל יהיה 1Khz.

DIV 00 check:



ניתן להבחין כי בזמן הבדיקה של 10M nSec נקבל עליית שעון בודדת וירידת שעון אחת, כלומר זמן מחזור יהיה גם 10MnSec ואז התדר שמתקבל יהיה 100 Hz.