

TP MODELISATION DES COMPOSANTS POUR LA CAO DES CIRCUITS INTEGRES

Nom LACHEB

Prénom HAITEM

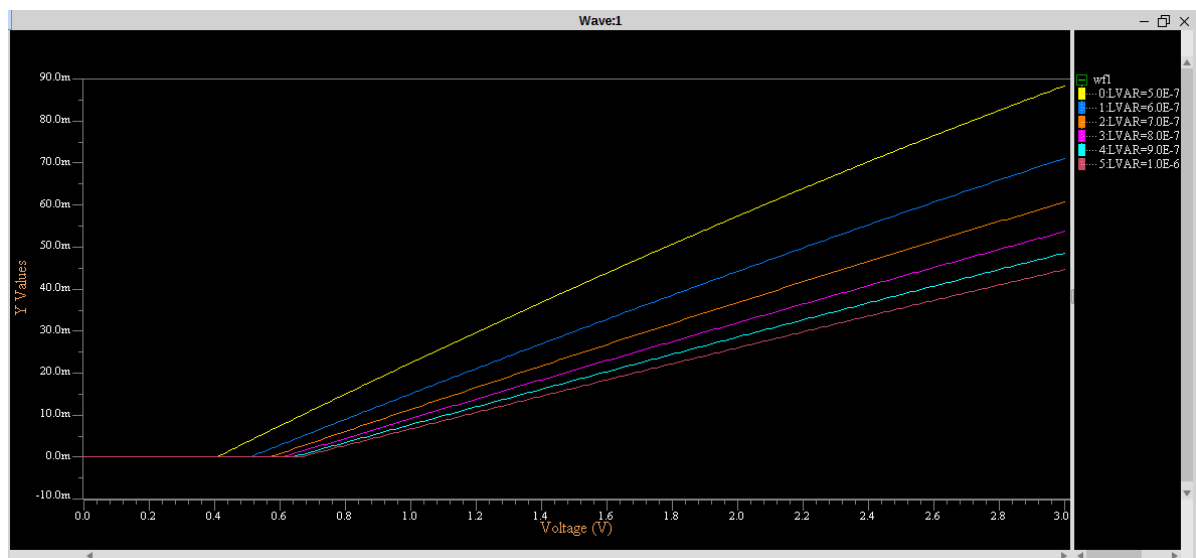
Nom BERGES

Prénom CLEMENT

On joindra les résultats de simulations les plus significatifs.

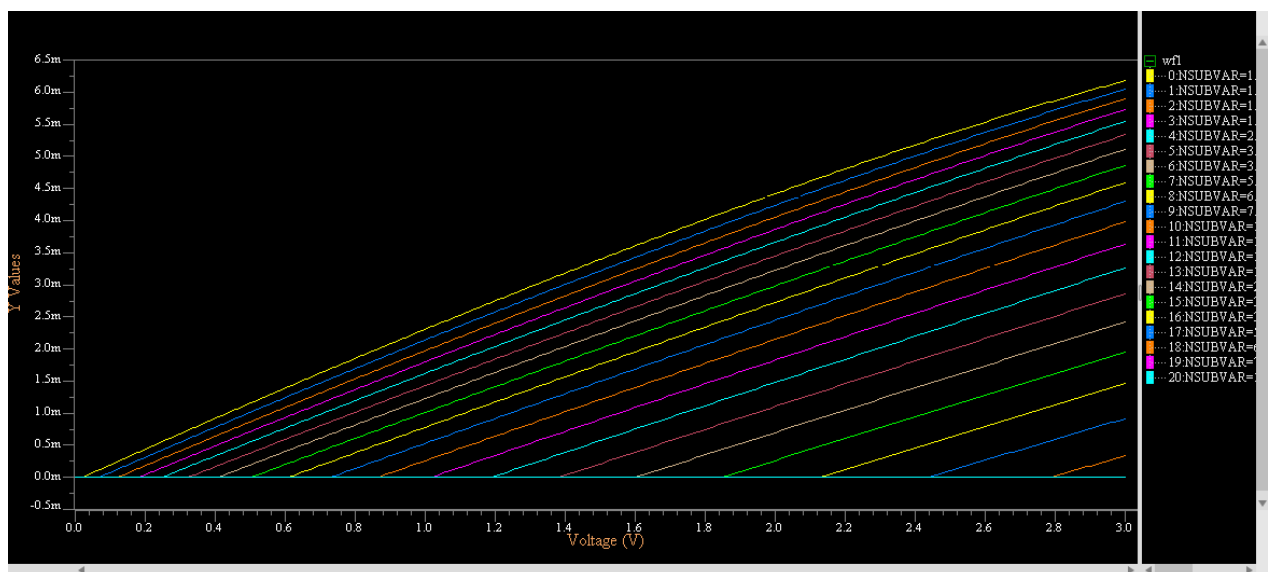
1. Citer les principaux paramètres qui fixent la tension de seuil d'un transistor MOS et **argumenter brièvement** (Joindre les principales courbes légendées).

Analyse paramétrique de la longueur du canal : (X :tension Y : courant, sqrt)



La tension de seuil est la tension pour laquelle le canal est formé. Si L est plus petit, le canal se forme plus rapidement, la tension de seuil est donc plus petite.

Analyse paramétrique du dopage du substrat : (X :tension Y : courant, sqrt)



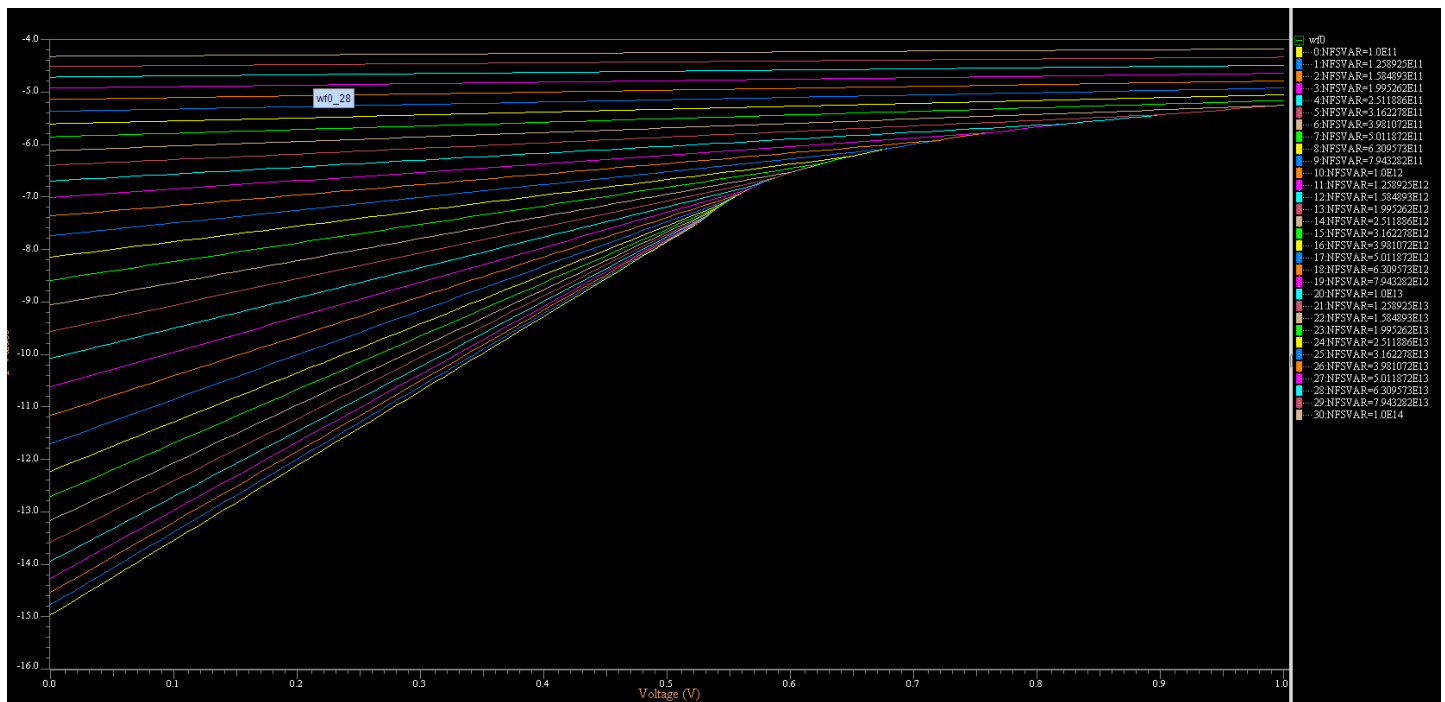
En augmentant le dopage, on augmente l'énergie nécessaire à la formation de pair électrons-trous. Ce qui correspond à une tension de seuil plus élevée.

2. Expliquer le phénomène de conduction sous le seuil ? citer des paramètres qui influent sur la conduction sous le seuil et détailler leurs effets.

Ce phénomène a lieu lorsque la longueur du canal est trop courte. La zone de charge d'espace s'étale, ce qui induit un courant de fuite pour une tension inférieure à la tension de seuil.

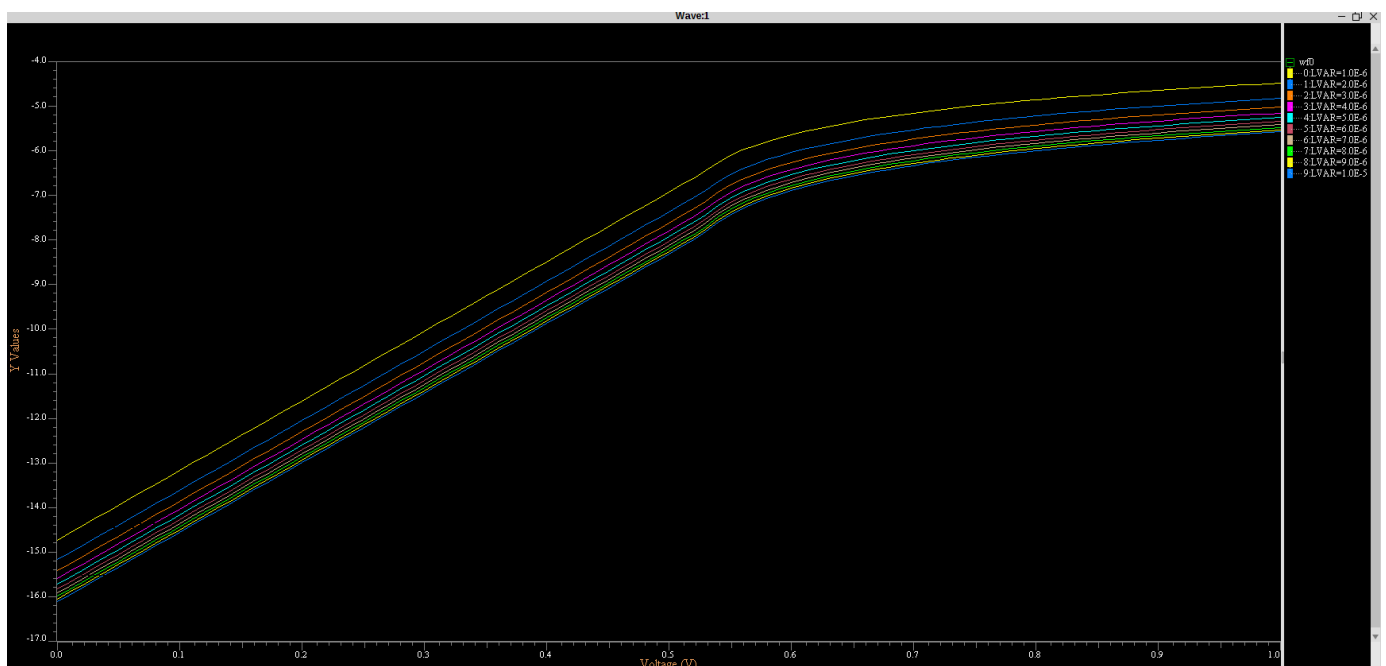
Comme on peut le voir sur cette analyse paramétrique, l'un des paramètres qui influe sur la conduction sous le seuil est le dopage localisé au niveau du canal. Plus le dopage est important, plus le courant de fuite est important.

Analyse paramétrique NFS (X :tension, Y : courant, échelle log)



Le deuxième paramètre est la longueur du canal. Le phénomène de courant de fuite dépend de cette dernière. Plus la longueur canal est court, plus la conduction sous le seuil est importante.

Analyse paramétrique longueur de canal (X :tension, Y : courant, échelle log)

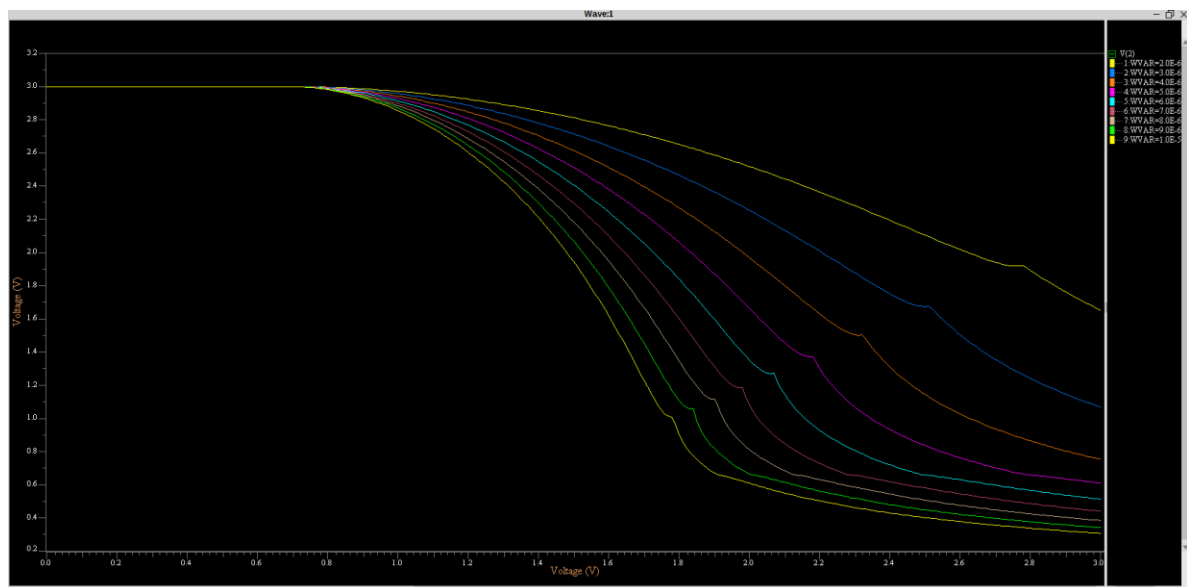


3. Quels paramètres doit-on faire varier pour ajuster les niveaux logiques (V_{IL} , V_{IH} , V_{OL} , V_{OH}) d'un inverseur de la filière NMOS **et dans quel sens** ? Quelle est la conséquence d'un facteur de forme trop proche de 1.

Pour ajuster les niveaux logiques d'un inverseur NMOS, il faut faire varier la largeur du canal (w) des deux transistors. La largeur du transistor de charge doit être 4 fois plus petit que le transistor de commande. En effet on souhaite avoir un $\beta = \frac{W_{Si}}{W_{ch}}$ compris entre 3 et 6.

Si le facteur de forme est trop proche de 1, on atteint pas les niveaux logiques, ce qui compromet tout le circuit.

Analyse paramétrique (Wvar) : (X : tension d'entrée, Y : tension de sortie)



4. Même question pour la filière CMOS.

5. Quelle est l'influence de la longueur de canal sur le comportement dynamique (Temps de montée, temps de propagation et consommation) de la filière CMOS ? (Joindre les courbes)
6. Quelle problématique impose un canal très court au niveau de la fonctionnalité du NMOS ? quelle alternative permet d'y remédier en partie ?