**UNIVERSITE PAUL SABATIER TOULOUSE III**

**Faculté de Sciences et d’Ingénierie**

**MASTER II EEA (SME-ESET)**

**Systèmes et Microsystèmes Embarqués**

**Modélisation des composants pour la CAO des circuits intégrés**

**Environnement CADENCE**

**Logiciel ELDO-HSPICE**

*Alain CAZARRE : Dep.EEA -* ***LAAS CNRS***

*cazarre@laas.fr*

*Karine ISOIRD : Dep.EEA -* ***LAAS CNRS***

*kisoird@laas.fr*

**SOMMAIRE :**

1. Filière MOS 4

1.1 Créer un modèle de MOS canal N et tracer ses caractéristiques I(V) 4

1.1.1 *A*nalyse DC sous tensions 3V 4

1.1.2 Influence des paramètres fondamentaux du modèle sur le comportement électrique du composant. On relèvera dans un premier temps la valeur de la tension de seuil VT calculée dans le fichier texte de sortie. 5

1.1.3 Caractéristique sous le seuil 6

1.2 Etude de l’inverseur NMOS ED (Figure 2) 6

1.2.1 Analyse DC : Caractéristique de transfert VS (VE). 6

1.2.2 Caractéristique en régime impulsionnel 7

1.2.3 Etude de sensibilité à la longueur de canal L sur les temps de montée et de descente d’une porte chargée. 7

1.2.4 Etude de la sortance 8

1.3 La filière CMOS 8

VDD 8

T3 8

VDD 8

1.3.1 Analyse DC : 8

1.3.2 Analyse Transitoire 8

1.3.3 Application aux portes NAND et NOR 9

2- ANNEXES A 9

2.1- Quelques indications pour démarer avec HSPICE : 9

3. ANNEXES B 9

3.2- Tableau 1 : nomenclature des paramètres de la diode 9

3.3- Tableau 2 : nomenclature des paramètres du transistor MOS 10

3.4- Tableau 3 : nomenclature des paramètres du transistor bipolaire 11

Objectifs des travaux pratiques

Ces exercices consistent en une approche physique et analogique du comportement des briques élémentaires constituant les CI numériques au moyen de simulations effectuées sur le logiciel HSPICE. Le Logiciel HSPICE est équivalent au classique PSPICE implanté dans ORCADE.

Pour mener à bien ces travaux pratiques, les notions sur les structures MOS de petites dimensions et sur le fonctionnement des portes de base vues en cours sont indispensables .**Les supports de cours sont donc recommandés durant les TPs.**

**HSPICE** appartient au vaste environnement **CADENCE.** Etant donné, la faible complexité des circuits abordés (niveau transistor et porte), les analyses qui vous sont demandées ne nécessitent pas d’utiliser la saisie de schéma, la simple description nodale suffit.

L’objectif de cette approche est de comprendre au travers de la modélisation à la fois le fonctionnement et la problématique posés par la réduction des dimensions au niveau transistor et le dimensionnement d’un inverseur tant en statique qu’en transitoire.

**L’analyse des résultats** sous forme graphique se fera quant à elle au moyen du **programme ezwave de ELDO**. **Outre ce qui est demandé dans le texte, l’étudiant pourra à son initiative faire des simulations supplémentaires selon sa curiosité.**

**En annexe** les nomenclatures des paramètres des composants : diode, transistor MOS et transistor bipolaire ainsi que les schémas des circuits TTL et ECL sont donnés

# Filière MOS

Le transistor MOS peut être modélisé dans SPICE au moyen de plusieurs niveaux de complexité correspondant à divers modèles. Ces modèles prennent en compte divers paramètres physiques et technologiques.

**Le LEVEL 1**: C’est le modèle de base très simplifié, il fait appel aux caractéristiques I (VD, VG ) simplifiées vues en cours.

**Le LEVEL 2** **:** C’est un modèle plus complexe prend en compte les phénomènes de petites dimensions (canal court, profondeur des jonctions..)

**Le LEVEL 3** : C’est un modèle empirique mais très complet qui rend compte des petites dimensions. Il est très utilisé.

D’autres modèles bien plus complets et comportant un très grand nombre de paramètres sont disponibles, mais leur compréhension nécessite une grande pratique de la modélisation, il s’agit des **modèles BSIM (Level 6 par exemple)**.

*En annexe les annotations SPICE des principaux paramètres électriques ou physiques sont données dans le tableau 1.*

## Créer un modèle de MOS canal N et tracer ses caractéristiques I(V)

A partir des **e**xemples de fichiers de simulations de TMOS adaptés à l’environnement graphique azwave, on étudie l’influence des divers paramètres du modèle sur les caractéristiques au travers d’une analyse DC. On donne ci-dessous un exemple de modèle standard réel comme base de départ.

**Important**: dans ce qui suit, la tension de seuil vto ne sera pas inscrite dans le modèle, sa valeur sera extraite du fichier de sortie tout comme les paramètres Cox , PHI ou GAMMA qui sont calculées à partir des données du transistor (tox, Nsub).

**Fichier de sortie** : il présente les calculs pour un MOS de 100µmx100µm. Faire : **t nom.chi** une fois le programme compilé avec succès.

### *A*nalyse DC sous tensions 3V

Le fichier suivant décrit le circuit fig.1:

**On note** que les dimensions géométriques de grille, L et W ne sont pas placées dans le modèle.

a-**Ecriture du fichier : eldo nom fichier.e**

**Titre obligatoire** *(Caractéristiques)*

Vdd 1 0 3

**Vcom 2 0 (***tension à 0V en vue de l’analyse dc)*

**.dc vcom 0 3 0.01** (*prendre un pas très fin*)

.model mod1 nmos level=3

+ld=0.1u

+tox=0.025u

+nsub=7e16

+nss=1e10

+uo=500

+xj=0.5u theta=0.01

**M1 1 2 0 0 mod1 L=1u w =5u**

**.option post**

.end

**b-Exploitation des graphes** : **ezwave** nom fichier**.wdb**

Sur ces graphes, on peut ajouter des commentaires.

### Influence des paramètres fondamentaux du modèle sur le comportement électrique du composant. On relèvera dans un premier temps la valeur de la tension de seuil VT calculée dans le fichier texte de sortie.

On comparera les caractéristiques pour diverses valeurs du paramètre, pour ce faire on utilisera la notion de variable et l’instruction **notée .PARAM** **(L=Lvar remplacera la valeur de L dans M, toxvar remplacera la valeur de tox dans .model…).**

**Important** : L’analyse .dc sera munie de la consigne **sweep xvar**

1. **Exercice1**: Impact du paramètre de modulation de la mobilité :theta (µ fonction de VGS, voir cours)

Analyse DC sur le paramètre **thetavar**

Vds 1 0 3

Vgs 2 0

**.param thetavar=0.01** *(valeur quelconque)*

.dc vgs 0 3 0.01 **sweep thetavar** 0.05 0.2 0.05 *(par exemple)*

.model mod1 nmos level=3 ld = 0.1u tox=0.025u nsub = 7e16

+nss=1e10 uo=500 xj=0.5u **theta=thetavar**

M1 1 2 0 0 mod1 L=1u w = 10u *(par exemple)*

.option post (obligatoire)

.end

-Evaluer l’impact de la polarisation de grille sur la transconductance du dispositif ( on tracera de préférence ID ½(VGS). Comment peut-on compenser cet effet au niveau de la structure ?

**b-Exercice2**: Impact de la longueur de grille L (canal)

Cette longueur sera au départ choisie assez grande (0,6µm ou plus) puis sera réduite jusqu’aux limites possibles du modèle (0,1µm voire moins selon la valeur de LD et xj)

On comparera les caractéristiques pour diverses longueurs de canal L à largeur W donnée (W/L entre 4 et 10). Pour ce faire on utilisera la notion de variable et l’instruction **notée .PARAM** comme indiqué dans l’exemple de fichier ci-dessous, **L=Lvar remplacera la valeur de L dans M )**

**Analyse L grille**

Vds 1 0 3

Vgs 2 0

**.param Lvar=1u** *(valeur quelconque)*

.dc vgs 0 3 0.01 **sweep Lvar** 0.5u 1u 0.1u *(on relèvera 5 courbes)*

.model mod1 nmos level=3 ld = 0.1u tox=0.025u nsub = 7E16

+nss=1e10 uo=500 xj=0.5u theta = 0.01

M1 1 2 0 0 mod1 **L=Lvar** w = 10u

.option post *(obligatoire)*

.end

On s’attachera à étudier l’évolution de la tension de seuil par rapport à la valeur calculée initialement (fichier texte de sortie) et à appréhender les limites de la modélisation HSPICE. Pour une longueur de grille réduite à l’extrême, on fera aussi varier la diffusion latérale LD qui de nos jours est presque inexistante ainsi que la profondeur de jonction xj.

**-Influence du dopage** au moyen de la commande: **NsubVAR DEC 10 1e 16 1e 18** correspondra à 10 points par décade sur 2 décades. Pour une valeur de L très faible, quel dopage permet de relever la tension de seuil à une valeur acceptable positive.

**c- Exercice 3**: Impact de l’oxyde de grille (épaisseur tox et permittivité)

Pour une longueur de grille de L=0,1µm (100nm), étudier au travers de ID (VGS) à faible VDS l’impact de l’épaisseur de l’oxyde tox dans la gamme 5-30nm (toxvar). Quel paramètre peut-on modifier pour gagner en transconductance sans s’imposer des oxydes trop minces ?

### Caractéristique sous le seuil

Dans cette approche, on utilisera un modèle BSIM contenant les paramètres nécessaires au calcul : **level=6** par exemple

La caractéristique sous le seuil est obtenue pour VDS fixé et V GS compris entre 0V et la tension de seuil VT.

1. Faire la simulation et tracer, en semilog ID(VGS). Quelle est la forme de cette caractéristique ? A quelle caractéristique peut-on la comparer ? Evaluer le courant de fuite à VGS = 0V.
2. Etudier son évolution lorsque l’on augmente le dopage de substrat en introduisant le paramètre NFS (Channel surface doping que l’on peut faire varier de 1010 à 10 13 cm-2 par exemple)
3. Puis lorsque l’on **diminue la longueur de canal.**
4. A partir de la pente et de l’équation du cours, calculer le facteur de non idéalité n.

## Etude de l’inverseur NMOS ED (Figure 2)

L’objectif est de dimensionner un inverseur de manière à obtenir des niveaux compatibles convenables pour une puissance dissipée fixée.

VDD

VE

VS

Figure 2 : Inverseur NMOS à charge à déplétion

### Analyse DC : Caractéristique de transfert VS (VE).

Bien qu’un circuit numérique fonctionne en régime impulsionnel, son gabarit doit être obtenu en régime statique à partir des modèles des composants.

Dans ce cadre, vous devez créer 2 modèles distincts, l’un pour le TMOS de Charge (MOSdep) et un pour le MOS de commande (MOSsign). Les tensions de seuil seront imposées à 0,2.Vdd et – 0,8Vdd à Vdd =3v. La longueur de grille sera commune aux 2 transistors et au libre choix de chacun. On rappelle que le facteur de forme s’écrit : , la longueur L de canal étant la même pour tous les transistors.

**Nota**

On pourra au paravent étudier la caractéristique du MOS à déplétion par rapport à sa tension de seuil qui ne peut, dans ce logiciel, qu’être imposée.

En choisissant convenablement les modèles des deux transistors étudier, au moyen d’une analyse DC, la caractéristique de transfert de l’inverseur. On fixera par exemple le niveau logique bas VL à V T/2.

* Effectuer une analyse DC portant sur la sensibilité à la largeur W du canal d’un des transistors.
* Tracer la caractéristique I (VS) afin de connaître la puissance consommée par une porte au niveau bas.

Pour un facteur de forme (rapport Wsignal / Wcharge) de l’ordre de 4 relever les niveaux compatibles VIL et VIH ainsi que les marges de bruit.

### Caractéristique en régime impulsionnel

Tout circuit numérique travaillant en régime d’impulsions, une analyse transitoire est indispensable afin d’étudier la réponse sous une charge capacitive équivalente à une ou plusieurs portes connectées en sortie et tenant compte des interconnections.

On considèrera un inverseur alimenté sous VDD =3V , convenablement dimensionné quant aux tensions de seuil et au géométries des transistor et chargé par une capacité CL de valeur typique 1pF (bien supérieure à la capacité d’une porte qui est égale en valeur indicative à quelques dizaines de fF) que l’on pourra faire varier afin de traduire le fan out.

**Modèle de l’impulsion (exemple) :**

**VE (2 0) pulse 0 3 1n 1n 1n 5n 12n**

**Analyse transitoire : .tran 0.1n 50n** (durée de l’analyse 50ns)

* + Evaluer les temps de montée et de decsente et calculer le rapport Tm/Td
  + Pour une frequence donnée, une géométrie donnée et un modèle donné des transistors,
  + Etudier le Fanout en faisant varier CL dans une gamme raisonnable.

### Etude de sensibilité à la longueur de canal L sur les temps de montée et de descente d’une porte chargée.

Construire un oscillateur en anneau de **5 inverseurs minimum (11 recommandé)** et refaire cette étude. En déduire la **fréquence maximale** et le **temps de propagation** par porte.

Pour ce faire, on utilisera la notion de sous circuit comme suit : Le contenu du modèle peut être agrémenté de paramètres complémentaires.

**\*oscillateurtech1µm**

**VDD 1 0 3** (alimentation)

.**subckt inv 1 2 3** (ce sont les 3 connections de la porte).

**M1 1 3 3 0 mod1 L= W=**  (connexion du transistor de charge à déplétion M1)

**M2 3 2 0 0 mod2** **L= W=** (connexion du transistor de commande à enrichissement M2)

**.ends** *(obligatoire)*

**.model mod1 nmos level=3 vto = -3 xj = 0.5u** (ce modèle peut être complété, MOS à déplétion)

**.model mod2 nmos level =3 vto = 0.8**

**\*description de l’oscillateur**

**x1 1 2 3 inv**

**x2 1 3 4 inv**

**x3 1 4 5 inv**

**x4 1 5 6 inv**

**x5 1 6 2 inv**

**\*condition initiale**

**.ic V(2) 3 (impose un niveau haut impulsionnel à l’entrée)**

**.tran 0.1n 10n** (durée de l’analyse 10ns)

**.option post**

**.end**

### Etude de la sortance

Dans une filière MOS, la sortance est relative aux capacités de chaque porte connectée .En faisant varier la charge CL, étudier la forme de la tension de sortie.

Comment peut-on remonter cette sortance au niveau des dimensions des grilles ?

## La filière CMOS

On reprendra les points de l’exercice 1 dans le cas d’un inverseur CMOS en remarquant que : pour les PMOS le substrat N est à VDD, pour les NMOS le substrat P est à la masse (figure 3)

***Rappelons que****: Les NMOS ont une tension de seuil positive, les PMOS l’ont négative.*

L’objectif recherché est la symétrie des transistors. Le modèle proposé est celui du fondeur AMS **L = 0.6µm et W variable.** Le modèle du NMOS est celui de l’exemple 1. Le PMOS se distingue principalement par sa tension de seuil négative et la mobilité plus faible des trous dans le canal.

PMOS

# VDD

NMOS

VE

VS

S

E1

E2

T1

T4

T2

# T3

# VDD

Figure 3 : Portes CMOS

### Analyse DC :

Simuler la caractéristique VS(VE) ainsi que la caractéristique I(Vs) et donner les valeurs des niveaux compatibles (VIL, VIH, VOL et VOH) dans les deux cas suivants

* Sans tenir compte de la compensation des mobilités électrons et trous (rapport µn / µp)
* En ajustant la largeur du PMOS pour compenser ce rapport des mobilités.

Pour ce faire, on rappelle l’expression du facteur de forme de l’inverseur CMOS :

. Il vaut 1 dans le cas idéal.

### Analyse Transitoire

Effectuer l'analyse transitoire de l'inverseur CMOS au moyen de train d'impulsions d'amplitudes 5V ou 3.3V par exemple voire moins.

Relever les valeurs des temps de montée et de descente et de propagation et comparer les .résultats à ceux obtenus pour la porte NMOS pour une même longueur de canal, étudier l’influence de la longueur de canal sur la vitesse. Etudier l'influence de la montée en fréquence sur la puissance consommée en dynamique. Quelle est la limite de fonctionnement du circuit pour un composant ayant une longueur de canal de 1µm.

### Application aux portes NAND et NOR

#### Cas de la porte NAND

Déterminer les niveaux les niveaux compatibles VOL, VOH puis VIL et VIH et les comparer avec ceux de l’inverseur simple.

#### Cas de la porte NOR

Lorsque les deux entrées sont hautes et lorsque l’une est Haute et l’autre basse, conclure.

Reprendre la simulation avec un canal très court (L = 0,2 µm par exemple) et comparer les résultats obtenus avec votre modèle et un modèle BSIM.

# ANNEXES A

## 2.1- Quelques indications pour démarrer avec HSPICE :

**ssh – Y quercy**

Créer un répertoire de travail : **mkdir nom du repertoire**

Se placer dans un répertoire **: cd nom du repertoire**

Pour se placer dans l’environnement **ELDO** taper: **adms**

Pour créer un fichier taper : **t nom de fichier**

Taper les lignes de commandes dans le fichier que vous venez de créer (Attention: La première ligne est le titre de la simulation). Pour vous aidez dans la syntaxe des commandes consulter l’aide en ligne :

[**http://www.aime-toulouse.fr**](http://www.aime-toulouse.fr)**....**

**Nota:**

**Ne pas mettre de blanc avant ou après le = : uo=500 et jamais uo = 500**

L’ordre des lignes n’a pas d’importance

Pour lancer la simulation taper : **eldo nom de fichier**

**Pour visualiser les resultats : t nom fichier.chi**

Pour visualiser les résultats de la simulation taper **: ezwave nom de fichier.wdb**

# ANNEXES B

## Tableau 1 : nomenclature des paramètres de la diode

|  |  |  |  |
| --- | --- | --- | --- |
| **Nom** | **Définition** | **Unité** | **Val. par défaut** |
| IS | Courant de saturation | A | 10-14 |
| N | Coefficient d'émission | - | 1 |
| ISR | Courant de saturation De la diode modélisant la très faible injection | A |  |
| NR | Coefficient d'émission correspondant | - | 2 |
| IKF | Courant de début de forte injection | A | ∞ |
| RS | Résistance d'accès | Ω | 0 |
| CJO | Capacité de jonction à tension nulle | F | 0 |
| VJ | Potentiel de diffusion | V | 1 |
| M | Coefficient de gradualité |  | 0.5 |
| FC | Coefficient lié à la capacité de jonction en direct (Linéarisation) | - | 0.5 |
| TT | Temps de transit des Porteurs | s | 0 |
| BV | Tension de c | V | ∞ |
| IBV | Courant de claquage | A | 10-10 |
| EG | Tension de band gap | eV | 1.11 |
| XTI | Coefficient de T° de IS | - | 3 |
| KF, AF | Coefficient de bruit | - | 0 - 1 |

## Tableau 2 : nomenclature des paramètres du transistor MOS

|  |  |  |  |
| --- | --- | --- | --- |
| **Nom** | **Définition** | **Unité** | **Val. par défaut** |
| LEVEL | Type de modèle |  | 1 |
| L | Longueur de canal | m | DEFL |
| W | Largeur de canal | m | DEWL |
| LD | Diffusion latérale (largeur) | m | 0 |
| WD | Diffusion latérale (Profondeur) | m | 0 |
| VTO | Tension de seuil à polarisation nulle - | V |  |
| KP | Paramètre de transconductance | A/V2 | 2.10-5 |
| GAMMA | Paramètre d'effet substrat | V1/2 | 0 |
| PHI | Potentiel de surface | V | 0.6 |
| LAMBDA | Modulation de la longueur du canal | V-1 | 0 |
| TOX | Epaisseur d'oxyde de grille | m | 10-7 |
| NSUB | Dopage du substrat | cm-3 | 0 |
| NSS (et NFS) | Densité de charges effectives en surface | cm-2 | 0 |
| UO | Mobilité en surface | cm2/V.s | 600 |
| UCR | Champ critique dégradant la mobilité | V/cm | 104 |
| XJ | Profondeur de la jonction métallurgique | m | 0 |
| CGDO | Capacité de recouvrement Grille Drain | F/m | 0 |
| CGSO | Capacité de recouvrement Grille Source | F/m | 0 |
| CGBO | Capacité de recouvrement Grille Substrat | F/m | 0 |
| CGD | Capacité de jonction Substrat Drain à Tension nulle | F | 0 |
| CGS | Capacité de jonction Substrat Source à Tension nulle | F | 0 |
| CJ | Capacité de jonction par unité de surface | F/m2 | 0 |
| PB | Potentiel de jonction PN | V | 0.8 |
| MJ | Coefficient de gradualité des jonctions substrat |  | 0.5 |
| CJSW | Capacité de mur des jonctions substrat par unité de longueur | F/m | 0 |
| MJSW | Coefficient de gradualité des jonctions substrat (mur) |  | 0.33 |
| FC | Coefficient de linéarisation lié aux capacités substrat (pol directe) |  | 0.5 |
| RD, RS | Résistance ohmique de drain et de source | Ω | 0 |
| RSH | Résistance par carré des diffusions source et drain | Ω/🞏 | 0 |
| IS ou JS | Courant (ou densité de courant) de saturation des jonctions PN | A ou A/m2 | 10-14 A |
| KF, A | Coefficients de bruit |  | 0, 1 |
| RG, RB | Résistances ohmiques de Grille et de Substrat | Ω | 0 |

Remargue : Le Transistor MOS contrairement aux autres éléments semiconducteurs dispose de plusieurs niveaux de modélisation indiqué par le paramètre LEVEL :

* LEVEL = 1 : Modèle de base (Composants de "grande dimension")
* LEVEL = 2 : Modèle faisant intervenir les phénomèmes de second ordre non négligeables dans les transistors de petites dimensions **( L < 10µm)**
* LEVEL = 3 : Modèle semi empirique utilisé dans les VLSI.
* LEVEL = 4 : Modèle décrit uniquement à partir des caractéristiques du processus de fabrication.

## Tableau 3 : nomenclature des paramètres du transistor bipolaire

|  |  |  |  |
| --- | --- | --- | --- |
| **Nom** | **Définition** | **Unité** | **Valeur par défaut** |
| IS | courant de saturation | A | 10-14 |
| BF | Gain max en direct |  | 100 |
| VAF(VA) | Tension d’EARLY direct | V | ∞ |
| IKF(IK) | Courant au début la forte injection (direct) | A | ∞ |
| ISE (C2) | Courant saturation de la diode BE non idéale | A | 0 |
| NE | Coefficient d' émission de la diode non idéale BE | - | 2 |
| BR | Gain max en inverse |  | 1 |
| VAR (VB) | Tension d'Early inverse | V | ∞ |
| IKR( | Courant au début de la forte injection (inverse) | A | ∞ |
| ISC (C4) | Courant de saturation de la diodr BC non idéale | A | 0 |
| NC | Coefficient d'émission de la diode non idéale BC | - | 2 |
| RB | Résistance de base | Ω | 0 |
| RC | Résistance de Collecteur | Ω | 0 |
| RE | Résistance d’émetteur | Ω | 0 |
| CJE | Capacité de jonction BE à tension nulle | F | 0 |
| VJE (PE) | Potentiel de diffusion BE | V | 0.7 |
| MJE(ME) | Coefficient de Gradualité de la jonction BE |  | 0.33 |
| CJC | Capacité de jonction BC à tension nulle | F | 0 |
| VJC (PC) | Potentiel de diffusion BC | V | 0.75 |
| MJC (MC) | Coefficient de Gradualité de la jonction BC |  | 0.33 |
| CJS | Capacité de jonction C-Substrat à tension nulle | F | 0 |
| VJS | Potentiel de diffusion CS | V | 0.75 |
| MJE (ME) | Coefficient de Gradualité de la jonction CS |  | 0.5 |
| FC | Coefficient lié à la capacité de jonction en direct (Linéarisation) |  | 0.5 |
| TF | Temps de transit des porteurs en direct | s | 0 |
| TR | Temps -de transit des porteurs en inverse | s | 0 |
| XTF, VTF, ITF | Coefficients de T° liés à TF | -, V, A | 0, ∞, 0 |
| PTF | Excès de phase | ° | 0 |
| EG | Tension de band gap | eV | 1.11 |
| XTB | Coefficient de T° lié au gain | - | 0 |
| XTI | Coefficient de T° de IS | - | 3 |