

基于 MicroBlaze 的嵌入式系统设计

赵泽才,常 青
(国防科学技术大学 湖南 长沙 410073)

摘 要:当今时代,嵌入式系统已经无所不在,与人们的日常生活息息相关。嵌入式系统以微处理器为核心,以计算机技术为基础,其主要特征是实时性强。据统计,目前世界上微处理器每年生产总量的 95 % 以上都是面向嵌入式系统应用,围绕 Xilinx 公司的 MicroBlaze 微处理器,对其体系结构、设计流程和相关开发工具一一做出介绍,并且通过一个简单的实例来说明以 MicroBlaze 处理器为内核的嵌入式系统的开发过程。

关键词:微处理器;EDK;SOPC;FPGA
中图分类号:TP332 **文献标识码:**B **文章编号:**1004-373X(2006)10-056-02

Design of Embedded System Based on MicroBlaze

ZHAO Zecai, CHANG Qing
(National University of Defense Technology, Changsha, 410073, China)

Abstract: In nowadays, embedded system has been closed to our life, it can be seen everywhere. The core of the embedded system is microprocessor, it is based on computer technique and with high real-time application. For statistic, on the amount of yearly production, more than ninety five percent of microprocessors are faced the application of embeded system. In this text, we describe the system architecture, design flow and the development tools for the MicroBlaze micorprocessor which is based on the Xilinx Company, and through a simple example to illustrate the development process of an embedded system with MicroBlaze.

Keywords: microprocessor; EDK; SOPC; FPGA

1 MicroBlaze 处理器结构

MicroBlaze 处理器是 Xilinx 公司针对嵌入式处理器开发应用推出的一种 32 位嵌入式处理器内核,他是一种软核结构,简单但灵活性强,在目标器件中可以进行任意配置。他采用 RISC 指令集、Harvard 体系结构,该处理器有以下一些特征:

- (1) 32 个 32 位通用寄存器和 2 个专用寄存器。
- (2) 32 位指令系统,支持 3 个操作数和 2 种寻址方式。
- (3) 分离的 32 位指令和数据总线,符合 IBM 的 OPB 总线规范。
- (4) 通过本地存储器总线(LMB)直接访问片内块存储器(BRAM)。
- (5) 具有高速的指令和数据缓存(cache),三级流水线结构。
- (6) 具有硬件调试模块(MDM)。
- (7) 带 8 个输入/输出快速链路接口(FSL)。

说明:

DOPB 器件内部的外围设备数据接口总线,用于处理器与片内的设备进行数据交换。

DLMB 实现数据交换的本地块存储器总线,该总线为处理器内核与块存储器(BRAM)之间提供专用的高速数据交换通道。

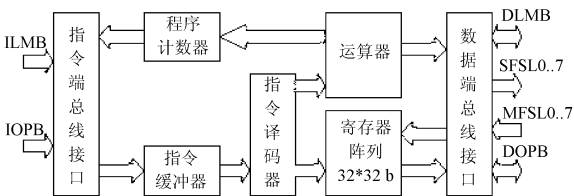


图 8 MicroBlaze 处理器结构

IOPB 用于实现外部程序存储器的总线接口。当程序较大时,需要外接大容量的存储器,该总线提供读取指令的通道。

ILMB 用于取指令的本地存储器总线,该总线与器件内部的块存储器(BRAM)相连,实现高速的指令读取。

MFSL0..7 主设备数据接口,提供点对点的通信通道。

SFSL0..7 从设备数据接口,提供点对点的通信通道。

收稿日期:2005-11-14

2 EDK 开发流程

EDK(Embedded Development Kit)是 Xilinx 公司针对 FPGA 内部 32 位嵌入式处理器开发而推出的开发套件。EDK 的工具包中集成了硬件平台产生器、软件平台产生器、仿真模型生成器、软件编译器和软件调试等工具,利用其集成开发环境 XPS(Xilinx Platform Studio)可以方便、快速地完成嵌入式系统开发的整个流程。EDK 以 IP core 的形式,提供诸如 LMB,OPB 总线接口、外部存储控制器、SDRAM 控制器、UART 中断控制器、定时器及其他一些外围设备接口等资源,利用这些资源,设计者能够轻松构建一个完善的嵌入式处理器系统,其完整的设计框图如图 2 所示。

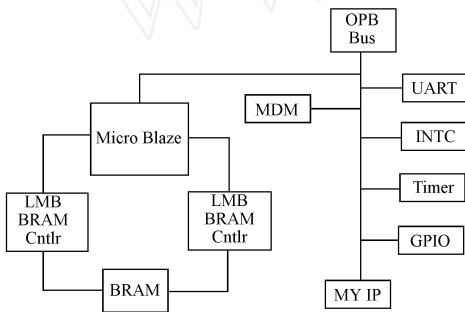


图 2 完整的设计框图

一个完整的嵌入式处理器系统设计通常包括 3 个部分:硬件系统的构建;存储器映射及软件的开发;应用程序开发。

在 XPS 集成开发环境下,嵌入式处理器硬件系统的构建由微处理器硬件规范(MHS)文件和微处理器外围设备描述(MPD)文件定义;软件系统结构由微处理器软件规范(MSS)文件定义,其开发流程如图 3 所示。

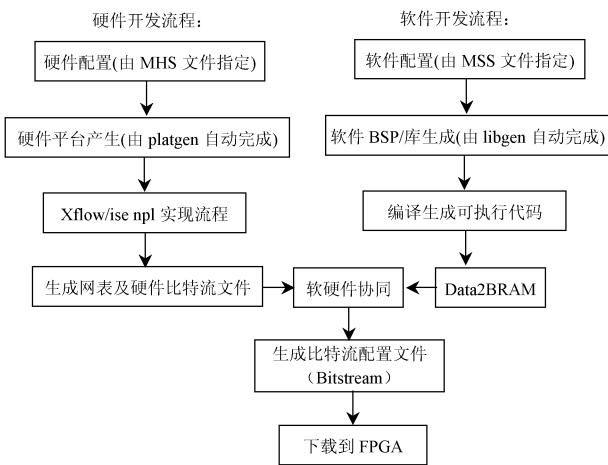


图 3 系统硬件设计流程图

MHS 文件用于描述硬件系统结构,定义处理器类型、总线接口、外设接口、中断处理和地址空间。该文件可用任意文本编辑器创建,是文本化的原理图输入。MPD 文件包含外围设备的所有有效输入/输出接口和硬件参数。

MSS 文件主要用来定义软件库、驱动程序和文件系统。说明:Data2BRAM 的作用是把软件代码文件(*.elf)、FPGA 位流文件(*.bit)和块存储器(BRAM)初始化数据文件(*.bmm)转换成新的 FPGA 位流文件(*.bit)和存储器数据文件(*.mem)。关于应用程序的编写将在下面的实例中详细介绍。

3 一个简单的实例

本实例基于 e 元素科技的数字刀剑系列之火龙刀 3 评估板,简要叙述一个嵌入式处理器系统的开发流程,着重讲述应用程序的编写。对于其他评估板,只需对用户约束文件(*.ucf)稍做修改即可。为简单起见,与图 2 所示一个完整的系统相比,本例所述系统只在 OPB 总线上挂 MDM(硬件调试模块)和 GPIO(通用输入/输出设备)2 个外围设备,GPIO 对应评估板上 8 个 LED 输出,当完成下载到 FPGA 后,8 个 LED 将不停地闪烁。具体描述如下:

第一步,硬件系统构建,在 XPS 集成开发环境下,利用 BSP(Base System Builder)向导自动创建一个以 MicroBlaze 处理器为核心的简单硬件系统,设置处理器时钟频率为 50 MHz,总线时钟频率为 50 MHz,设置片上读/写调试模块为调试接口,在处理器 IP 中,只加入 MDM 和 GPIO。根据向导逐步操作,即可完成硬件系统的构建。

第二步,在硬件系统建立后,利用 XPS 的集成工具,完成网表的生成和软件的配置,存储器地址映射(默认由系统自动生成,分配的地址随系统而异)如表 1 所示。驱动配置和存储器映射的标识符及地址分配包含在文件 xparameters.h 中,以上两步具体操作实现细节可参考 EDK 相关文档。

表 1 存储器地址映射

设备	地址	
	最低地址	最高地址
OPB _ MDM	0x80002000	0x800020ff
OPB _ GPIO	0x80002200	0x800023ff
LMB _ BRAM	0x00000000	0x00003fff

第三步,应用程序的开发。应用程序的编写使用 C 语言,其方法有 2 种,第一种是可以采用 EDK 提供的应用程序接口函数(API),接口函数既多又复杂,不易搞懂;第二种方法是采用访问硬件的通用方式即简单的对地址赋值的方式。本例选用后者,要采用地址赋值方式,首先要了解 GPIO 的寄存器地址映射,参见表 2。

表 2 GPIO 的寄存器地址映射

寄存器	地址(十六进制)	大小	类型	描述
GPIO _ DATA	0x00	32 位	读/写	GPIO 数据寄存器
GPIO _ TRI	0x04	32 位	读/写	GPIO 三态控制寄存器

相关代码及描述如下:
首先设定一个指针变量,将系统分配给 GPIO 的地址
(下转第 64 页)

率,这些都为地面杂波的高保真度模拟带来麻烦。

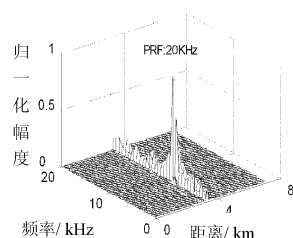


图2 距离-频率二维杂波图(一)

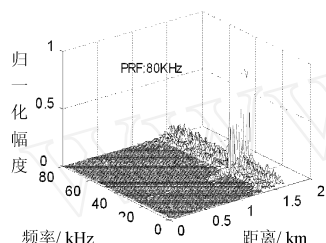


图3 距离-频率二维杂波图(二)

本文讨论了载机和天线处于任意姿态情况下机载雷达的地杂波模型及其仿真问题,建立了机载雷达地杂波的相关信号仿真的相关模型,并给出适于工程应用的具体仿真流程。最后,结合实际测量数据,给出了部分典型情况下的杂波仿真结果,结果证明该模型的合理性和仿真方法的有效性。

作者简介 陈登伟 男,1975年出生,研究生。主要研究方向为电磁场与微波技术。

汪连栋 男,1966年生,研究员。主要研究方向为电子信息系统仿真试验鉴定与评估。

(上接第57页)

赋给指针变量,即让指针指向 GPIO 的基地址,也就是 GPIO 的数据寄存器(GPIO_DATA),接着向 GPIO 三态控制寄存器写零(其地址为基地址加上偏移量4,即让指针变量加4),将 GPIO 设置为输出,接下来就可以往 GPIO 数据寄存器送数,以控制8个LED的状态。

```
#include "xbasic_types.h"
#include "xparameters.h"
#include "xutil.h"
#include "xgpio_1.h"
#define LED_DELAY 2000000
void main()
{
    Xuint32 Data = 0xaa;
    int Delay;
    int count = 0;
    Xuint32 *ledptr;
    ledptr = (int *)0x80002200; // 指针指向 GPIO
    *(ledptr + 4) = 0x00000000;
    // 向 GPIO_TRI 寄存器写零,将 GPIO 初始化为输出
    while (1)
    {
        count++;
        if (count % 2 == 0)
        {
            *ledptr = 0x55;
            // 向 GPIO_DATA 寄存器送数,驱动 LED
        }
        else
        {

```

参考文献

- [1] Diani M, Corsini G, Berizzi F, et al. Ground Clutter Model for Airborne MPRF Radars in Look-down Search Mode [J]. IEE Proceedings - Radar, Sonar, Navigation, 1996, 143 (2): 113-120.
- [2] 康士峰,罗贤云,葛德彪,等.任意姿态机载PD雷达三维地杂波算法研究[J].电子学报,2000,28(3):21-24.
- [3] 刘建成,王雪松,施龙飞.机载雷达相干杂波模型研究[J].系统工程与电子技术,2005,27(7).
- [4] David Greig. Time-domain Clutter Model for Airborne Pulse Doppler Radar. Radar System Modeling, IEE Colloquium on, 1998, 7/1-7/5.
- [5] Ringel M B. An Advanced Computer Calculation of Ground Clutter in an Airborne Pulse Doppler Radar [J]. NAECON 77 Record, 1977, 921-928.
- [6] Browning D J, Summers J E. Computer Modeling of the Effects of Ground Clutter upon Airborne Radar. IEE Conf. RADAR-97, 1997.
- [7] D J Browning, J E Summer. Computer Modeling of Ground Clutter in Airborne Radar. IEE Conf. RADAR-98, 1998.
- [8] 王岩松,张长隆.常规脉冲多普勒地面雷达杂波建模与仿真[J].雷达与对抗,2003(4):26-30.

```
*ledptr = 0xaa;
// 向 GPIO_DATA 寄存器送数,驱动 LED
}
for (Delay = 0; Delay < LED_DELAY; Delay++);
// 延时以看清 LED 在闪烁
if (count % 2 == 0)
{
    *ledptr = 0x0f;
    // 向 GPIO_DATA 寄存器送数,驱动 LED
}
else
{
    *ledptr = 0xf0;
    // 向 GPIO_DATA 寄存器送数,驱动 LED
}
for (Delay = 0; Delay < LED_DELAY; Delay++);
// 延时以看清 LED 在闪烁
}
}
```

参考文献

- [1] 孙航. Xilinx 可编程逻辑器件的高级应用与设计技巧[M].北京:电子工业出版社,2004.
- [2] 徐欣,于红旗,易凡,等.基于FPGA的嵌入式系统设计[M].北京:机械工业出版社,2005.