

# Programowanie niskopoziomowe

Jarosław Bilski

## Struktura przedmiotu

- Wykład
- Laboratorium

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

2

## Literatura

- Adam Błaszczyk - Win32ASM. Asembler w Windows, Helion 2004
- Randall Hyde - Asembler. Sztuka programowania, Helion 2004
- Stanisław Kruk - Asembler w koprocesorze, Mikom 2003

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

3

## Literatura c.d.

- Ryszard Goczyński, Michał Tuszyński – Mikroprocesory 80286, 80386 i i486, Komputerowa Oficyna Wydawnicza „HELP” 1991
- Michał Tuszyński, Ryszard Goczyński – Koprocesory arytmetyczne 80287 i 80387 oraz jednostka arytmetyki zmiennoprzecinkowej mikroprocesora i486, Komputerowa Oficyna Wydawnicza „HELP” 1992

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

4

## Literatura c.d.

- Eugeniusz Wróbel – Praktyczny kurs asemblera, wyd. II, Helion 2011
- Vlad Pirogow – Asembler , Podręcznik programisty, Helion 2005

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

5

## Literatura c.d.

- Intel® 64 and IA-32 Architectures Software Developer's Manual
  - Basic Architecture
  - Instruction Set
  - System Programming Guide

[www.intel.com](http://www.intel.com)

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

6

Narzędzia

- MASM, FASM, ...
- Delphi, Visual Studio, ...

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

7

Języki programowania

- Wysokiego poziomu – Ada, Basic, C, C++, C#, Fortran, Java, Pascal (Delphi), SQL, ...
- Niskiego poziomu – asemblery – odpowiadają kodowi wykonywanemu przez procesor

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

8

Porównanie

	Języki wysokiego poziomu	Języki niskiego poziomu
Trudność programowania	niska	duża
Przenośność	duża	mała
Wykorzystanie możliwości procesora i sprzętu	średnie	duże
Programowanie zadań wymagających czasowo	słabe	dobrze
Przejrzystość kodu źródłowego	duża	mała
Przejrzystość kodu wynikowego	bardzo mała	duża
Szybkość tworzenia	duża	mała
Szybkość działania	mała	duża
Rozmiar kodu źródłowego	mały	średni
Rozmiar kodu wynikowego	duży	mały
Zajętość pamięci/dysku	duża	mała

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

9

Porównanie

- Iloczyn skalarny

Procesor	Wartość	Skala	Wartość	Skala
Intel Core i7-4770K	2796	1.0	2796	1.0
AMD Ryzen 5 3600	886	0.317	886	0.317
Intel Core i5-9600K	451	0.161	451	0.161
AMD Ryzen 3 3300X	357	0.128	357	0.128
Intel Core i3-9100	430	0.154	430	0.154
AMD Ryzen 7 2700	225	0.080	225	0.080
Intel Core i7-8700K	189	0.068	189	0.068
AMD Ryzen 9 3900X	208	0.075	208	0.075

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

10

Porównanie

- Rekonstrukcja obrazu – tomograf komputerowy

Opis programu	Ilość wątków	1 iteracja [ms]	20k iteracji [s]	Przyspieszenie
Oryginalny	1	688	13760 3h49m20s	
Asembler x64	1	8,1	162 2m42s	84,938
Asembler x64 wielowątkowy i9-7900X	8	1,119047	22,38095	614,809
	10	0,994545	19,89089	691,774
	16	1,017738	20,35476	676,009
	20	0,930187	18,60375	739,636
NVIDIA 1080Ti - 3584r		1,74473	34,8946	394,330
NVIDIA Titan V - 5120r		0,961224	19,22448	715,754

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

11

Producenci procesorów

- AMD
- Cyrix
- IBM
- Intel
- Nec
- Siemens
- Transmeta
- VIA
- Acorn Computers
- HP
- MOS Technology
- Motorola
- Silicon Graphix
- Zilog
- Texas Instruments
- Samsung

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

12

### Trochę historii

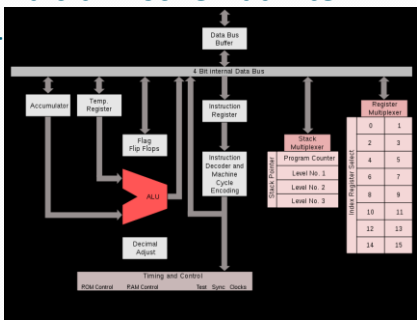
- F14 CADC (F-14A Central Air Data Computer) - mikroprocesor zaprojektowany przez Steve'a Gellera i Raya Holta na potrzeby US Navy do myśliwca F-14 Tomcat.
- Powstał w czerwcu 1970
- niezwykle zaawansowany, 20-bitowy układ z techniką potokową
- istnienie F-14 CADC zostało ujawnione dopiero w 1998 (z powodu tajemnicy wojskowej)

### Historia c.d.

- Intel 4004 - 4-bitowy mikroprocesor zaprojektowany i produkowany przez firmę Intel od 1971
- Powszechnie uznany za pierwszy mikroprocesor
- Maksymalna częstotliwość taktowania - 740 kHz.
- Osobna pamięć dla programu i danych (tzw. "architektura harwardzka").
- 46 instrukcji.
- 16 czterobitowych rejestrów.
- 3-poziomowy stos.
- 2300 tranzystorów (technologia produkcji 10 μm).



### Historia c.d. – schemat Intel 4004



### Historia c.d.

- Intel 8008 – pierwszy mikroprocesor 8-bitowy Intela
- obudowa DIP18
- 8-bitowa magistrala
- dostęp do większej ilości RAM
- 3-4 razy więcej mocy obliczeniowej niż procesory 4-bitowe.

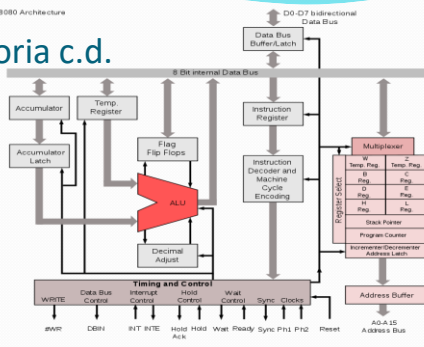


### Historia c.d.

- Intel 8080
- wyprodukowany przez Intela w kwietniu 1974
- 8-bitowa szyna danych, pamięć adresowana 16-bitową szyną adresową.
- słowo 8-bitowe
- 72 instrukcje
- bezpośrednie adresowanie pamięci o pojemności do 64 KB
- arytmetyka dwójkowa i dziesiętna kodowana dwójkowo (BCD)
- 8 rejestrów programowych dostępnych dla programisty cykl pracy 2μs,
- zegar zewnętrzny o częstotliwości 2-3 MHz (podstawowy cykl rozkazowy – 4 takty)



### Historia c.d.



## Historia c.d.

- **Intel 8086 - procesor 16-bitowy wprowadzony w 1978**
  - traktowany jako tymczasowy projekt przejściowy. Intel pokładał wówczas swoje nadzieje w znacznie bardziej zaawansowanym 32-bitowym układzie 8800 (iAPX 432).
  - Głównym konstruktorem był Stephen Morse, który specjalizował się w oprogramowaniu. "Gdyby szefostwo Intel'a chciało, by architektura ta przetrwała wiele generacji i przetrodziła się w dzisiejsze procesory, to nigdy nie zleciliby tego zadania jednej osobie"



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

19

## Historia c.d.

- W 1980 IBM rozpoczyna pracę nad komputerem 5150
- Microsoft ma już gotowy interpreter języka Basic, który działał na układach 8086 i 8088
- IBM 5150 staje się standardem  
"Pytaliśmy ich, czy chcą mieć komputer od International Business Machines czy od firmy, która swą nazwę wzięła od owocu"



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

20

## Historia c.d.

- rozszerzenie listy rozkazów
- rozszerzenie możliwości adresowania operandów
- wprowadzenie segmentacji obszaru pamięci
- mechanizmy przyspieszenia pracy
- mechanizmy dla pracy wieloprocesorowej

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

21

## Historia c.d.

- **Intel 80186 - procesor opracowany w firmie Intel w 1982.**
- posiadał nieco większą wydajność, kilkanaście nowych rozkazów i szybszy zegar
- niektóre instrukcje były wykonywane 10-20 razy szybciej.
- procesor wykorzystywany był głównie w systemach wbudowanych jako mikrokontroler.



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

22

## Historia c.d.

- **Intel 80286 - 16-bitowy procesor opracowany przez firmę Intel, pokazany po raz pierwszy 1 lutego 1982**
  - mniej więcej dwa razy bardziej wydajny w porównaniu do procesora Intel 8086
  - posiadał 24-bitową szynę adresową mógł adresować aż 16MB pamięci RAM
  - wprowadzono nowe instrukcje,
  - nowy tryb adresowania pamięci (tryb chroniony)



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

23

## Historia c.d.

- **Intel 80386 - 32-bitowy procesor opracowany przez firmę Intel w 1986**
  - pierwszy 32-bitowy procesor z rodziny x86. Architektura tego procesora została opracowana jeszcze zanim Intel wypuścił na rynek procesory poprzedniej serii 286, jednak procesor był zbyt skomplikowany, aby go w tamtym czasie wyprodukować.
  - 32-bitowa magistrala adresowa oraz 32-bitowa magistrala danych
  - rozszerzone do 32-bitów rejestry
  - nowe tryby adresowania
  - praca w trzech trybach: rzeczywistym, chronionym i wirtualnym
  - dodanie do procesora jednostki MMU



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

24

## Historia c.d.



- **Intel 80486 - poprawna nazwa handlowa i486**
  - kilka (7) dodatkowych instrukcji
  - cache na dane i instrukcje
  - zintegrowany koprocessor arytmetyczny x87
  - poprawiony interfejs szyny danych
  - zastosowano pięciostopniowy potok.
  - usprawnienia spowodowały, że i486 był mniej więcej dwukrotnie szybszy od podobnie taktowanego 80386

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

25

## Historia c.d.



- **Pentium – mikroprocesor się 22 marca 1993**
  - architektura superskalarna (wykonywanie kilku instrukcji w kilku potokach)
  - 64-bitowa szyna danych
  - jednostka *branch prediction* do przewidywania skoków (80% skuteczność)
  - przeprojektowany koprocessor (5-6x wydajniejszy niż w i486)

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

26

## Historia cd.



- **Pentium Pro - mikroprocesor szóstej generacji należący do rodziny x86 (październik 1995)**
  - Podział kodu x86 na mikrorozkazy
  - Wykonywanie poza kolejnością
  - Wykonywanie spekulatywne
  - Dodatkowy potok ("pipeline") dla prostych instrukcji.

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

27

## Historia c.d.



- **Pentium II – mikroprocesor zaprezentowany 7 maja 1997**
  - dodatkowe instrukcje MMX (MultiMedia eXtensions lub Matrix Math eXtensions)
  - poprawiona obsługa programów 16-bitowych
  - cache pierwszego poziomu (L1) dla kodu i danych: 16 kB

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

28

## Historia c.d.



- **Pentium III - procesor w 32-bitowej architekturze Intel (IA-32).**
  - architektura RISC (Reduced Instruction Set Computers)
  - rozmiar pamięci cache pierwszego poziomu (L1) dla kodu: 16 KB
  - liczba etapów przetwarzania rozkazu (w potoku): 12
  - liczba jednostek zmienoprzecinkowych: 1 (z potokowaniem)
  - liczba jednostek całkowitoliczbowych: 6 potoków
  - liczba jednostek MMX: 2
  - Instrukcje SSE (Streaming SIMD Extensions)
  - możliwość pracy w systemie wieloprocessorowym (do 2 procesorów).

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

29

## Historia c.d.



- **Pentium 4 – siódma generacja procesorów firmy Intel (od 20 listopada 2000) (wiele wersji)**
  - architektura NetBurst
  - instrukcje SSE2, w nowszych wersjach jądra – SSE3
  - niektóre wersje posiadają wbudowaną wielowątkowość (HyperThreading)
  - zwiększona pamięć poziomu L2
  - pojawia się technologia EM64T (2003)
  - pierwszy procesor dwurdzeniowy

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

30

## Historia c.d.

- **Intel Core 2 to ósma generacja mikroprocesorów firmy Intel w architekturze x86**
  - mikroarchitektura Intel Core
  - wysoki współczynnik IPC (Instructions Per Cycle) - około 3,5
  - wspólna pamięć cache dla obu rdzeni procesora
  - EM64T,
  - technologia wirtualizacji,
  - XD bit (eXecute Disable - wyłącza możliwość wykonywania instrukcji z oznaczonych stron),
  - ulepszoną technologię SpeedStep,
  - wersja czterordzeniowa



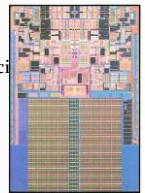
(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

31

## Historia c.d.

- **Intel Core i7**
- modułowa budowa
- ośmiordzeniowy Nehalem składa się z 731 milionów tranzystorów
- SSE 4.2.
- technologia współbieżnej wielowątkowości
- dynamiczne zarządzanie zasilaniem
- wbudowanie kontrolera pamięci RAM
- technologia Quick-Path



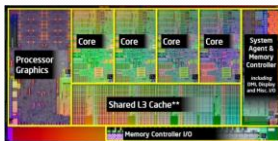
(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

32

## Historia c.d.

- **Intel Core i7 - 2 generacja - Sandy Bridge**
- modułowa budowa
- 32-nanometrowy proces
- wbudowany układ graficzny
- instrukcje AVX
- Turbo Boost 2.0
- pamięć cache L3



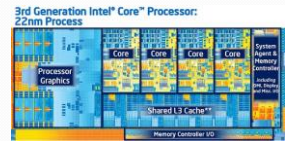
(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

33

## Historia c.d.

- **Intel Core i7 - 3 generacja - Ivy Bridge**
- modułowa budowa
- 22-nanometrowy proces (tanzystory 3D)
- wbudowany układ graficzny Intel HD Graphics
- instrukcje AVX
- gen. liczb losowych
- PCI Express 3.0



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

34

## Historia c.d.

- **Intel Core i7 - 4 generacja - Haswell**
- podniesiona wydajność pamięci cache
- Zwiększona wydajność i energooszczędność
- instrukcje AVX2, FMA3
- rozbudowany układ graficzny
- wsparcie Direct3D 11.1 i OpenGL 4.0



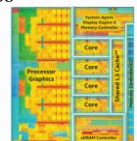
(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

35

## Historia c.d.

- **Intel Core i7 - 5 generacja - Broadwell**
- technologia 14 nm
- zwiększona wydajność i energooszczędność
- obsługa pamięci DDR3L
- rozbudowany układ graficzny Iris Pro 6200
- 128 MB pamięci podręcznej eDRAM
- wsparcie Direct3D 11.2 i OpenGL 4.4




(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

36

### Historia c.d.

- Intel Core i7 – 6 generacja - Skylake
- technologia 14 nm
- zwiększenie liczby rejestrów ogólnego przeznaczenia do 32
- obsługa pamięci DDR3L i DDR4
- instrukcje AVX 2 i rejestry ZMM – 512 bitowe – w wersji XEON
- wsparcie Direct3D 12
- wsparcie dla Thunderbolt 3.0



(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

37

### Historia c.d.

- Intel Core i7 – 7 generacja - Kaby Lake
- technologia 14 nm+
- zwiększenie częstotliwości zegara
- zwiększenie wydajności układu graficznego
- wsparcie Intel Optane Memory storage caching




(C) IISI d.KIK PCz 2019


Programowanie niskopoziomowe

38

### Historia c.d.

- Intel Core i7 – 8 generacja - Coffee Lake
- technologia 14++ nm
- zwiększenie liczby rdzeni do 6
- zwiększenie częstotliwości zegara
- zwiększenie wydajności układu graficznego






(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

39

### Historia c.d.

- Intel Core i7 – 9 generacja - Coffee Lake
- technologia 14++ nm
- zwiększenie liczby rdzeni do 8
- zwiększenie rozmiaru pamięci cache L3
- AVX512 – rejestry ZMM – 512 bitowe – w wersji X



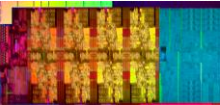
(C) IISI d.KIK PCz 2019

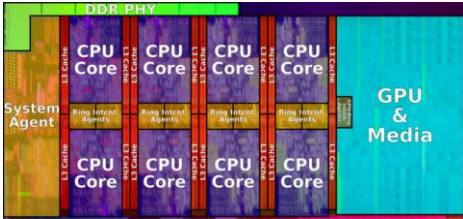
Programowanie niskopoziomowe

40

### Historia c.d.

- Intel Core i9 – 9 generacja - Coffee Lake





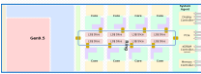
(C) IISI d.KIK PCz 2019

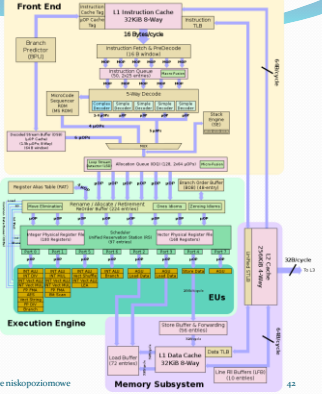
Programowanie niskopoziomowe

41

### Historia c.d.

- Intel Core i9 – 9 generacja - Coffee Lake





(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

42



Zestawienie

Nazwa procesora	Rok	Maks. częstotliwość taktowania (w momencie wprowadzenia, MHz)	Liczba tranzystorów (mln.) Dane szacunkowe
Intel 8086	1978	8	0,029
Intel 80186	1982	12	0,055
Intel 80286	1982	12,5	0,134
Intel 80386	1985	20	0,275
Intel 486	1989	25	1,2
Pentium	1993	66	3,1
Pentium Pro	1995	200	5,5
Pentium MMX	1995	233	4,5
Pentium II	1997	266	7
Pentium III	1999	500	8,2
Pentium 4	2000	1500	42
Pentium 4 x EM64T	2003	2200	228
Pentium D	2004	3200	290
Intel Core 2	2006	3000	321
Intel Core i7	2008	3400	731
Intel Core i7 2600K	2011	3400-3800	995
Intel Core i7 3770K	2012	3500-3900	1400
Intel Core i7 6700K	2015	4000-4200	1750
Intel Core i9 9900K	2018	3600-5000	>3000
Intel Xeon Phi KNM-72r	2017	1500-1600	8000

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

43

Intel Xeon Phi - Knights Corner

- do 61 rdzeni połączonych w dwukierunkowy pierścień

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

44

Xeon Phi

- rdzenie wykonują instrukcje SIMD - FMA3 na danych 512 bitowych, co oznacza, że jedna instrukcja przetwarza osiem zestawów danych podwójnej precyzji albo 16 pojedynczej precyzji - zwiększa to jeszcze stopień zrównoleglenia wykonywanych operacji.
- każdy rdzeń jest czterowątkowy,
- rdzenie posiadają dużą pamięć podręczną - 512KB.

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

45

Intel Xeon Phi - Knights Landing

- do 72 rdzeni połączonych pierścieniami

(C) IISI d.KIK PCz 2019

Programowanie niskopoziomowe

46