

# ELO212: Laboratorio de Sistemas Digitales

## Guía 0

### Actividades Introdutorias

19 al 22 de Marzo de 2024

Las siguientes actividades están orientadas a que, a partir de investigación independiente y discusión con sus compañer@s de grupo, se vayan familiarizando con las primitivas y procesos fundamentales de diseño y análisis de circuitos digitales. Muchos de Uds. probablemente no han visto varias de las cosas mencionadas en esta guía en cursos previos y muchas cosas (o quizás todas) pueden resultar nuevas. En el contexto de esta actividad, esto es completamente intencional, y el objetivo es que aprendan a buscar y procesar información sobre tópicos que puede que aún no dominen, y los apliquen a la resolución de problemas discutiendo con los demás integrantes de su grupo. Con este fin, se han dejado también intencionalmente ambiguas algunas indicaciones, con el fin de que puedan analizar, discutir, y tomar decisiones en forma acorde.

Al completar estas actividades, se espera que entiendan el funcionamiento de las compuertas fundamentales de diseño lógico, puedan dibujar e interpretar un esquemático basado en estas compuertas, entiendan el concepto de un diagrama temporal, y manejen la nomenclatura de bloques lógicos más avanzados que usaremos más adelante en el curso.

El nivel que se espera es de entendimiento básico de la nomenclatura y terminología necesaria para poder seguir el proceso de descripción e implementación de un circuito sencillo, además de adquirir el lenguaje técnico necesario para las primeras sesiones de laboratorio. Todos los tópicos indicados en esta guía se revisan con mayor profundidad y detalle en cursos asociados (por ejemplo, ELO211) y se profundizarán en este curso a lo largo del semestre.

**Al inicio de la siguiente sesión de laboratorio, cada grupo deberá entregar un informe simple, de no más de cinco páginas, con respuestas a las actividades que se plantearan a continuación**<sup>1</sup>. **Se requiere un informe simple y corto (no es necesario incluir portada, índice, introducción, etc.), pero conciso. Notar que simple no es sinónimo de desprolijo. Cuide los aspectos de presentación y escritura.**

---

<sup>1</sup> Si aún no tiene grupo de tres personas, deberá trabajar de a dos o individualmente, pero debe entregar un reporte. Se insta a que aproveche los medios de comunicación para formar un grupo cuanto antes.

## 1. Actividades para discutir y desarrollar en grupo.

### 1.1. Diseño de un circuito digital para un full-adder.

Un full-adder es un circuito que realiza la suma de dos números de 1 bit cada uno. El full-adder tiene tres entradas de 1-bit (correspondientes a los dos operandos de la suma más una entrada de carry-in) y dos salidas (correspondiente a la suma de los operandos y al carry-out que se genera al sumar números grandes). Haciendo una analogía con la suma en papel y lápiz, el carry-out corresponde a la reserva que se pasa al dígito siguiente cuando el resultado de la suma de los dígitos en cierta posición sobrepasa el máximo representable en un símbolo de la base numérica correspondiente, mientras que el carry-in corresponde a la reserva que se recibe desde el dígito inmediatamente menos significativo (sume  $791+110$  en papel y lápiz e identifique los carry-in y carry-out). La funcionalidad de un full-adder se puede representar por medio de la Tabla 1, donde A y B son los dos bits de entrada a sumar,  $C_{in}$  es el carry-in (reserva que viene de otro bloque), S es el resultado de la suma de A y B, y  $C_{out}$  es la reserva que se genera y puede traspasarse a otro sumador:

Cuadro 1: Tabla de verdad para un full-adder

A	B	$C_{in}$	S	$C_{out}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A partir de la tabla de verdad, diseñe un circuito que implemente un full-adder utilizando solo compuertas NOT, AND, y OR. Muestre el esquemático resultante. No es necesaria una implementación óptima, solo se requiere que cumpla con el funcionamiento.

Si no está familiarizado con alguno de los conceptos antes mencionados, estúdielos y discútalos con los integrantes de su grupo (es parte de la actividad).

### 1.2. Diagrama temporal para un full-adder.

En base al esquemático obtenido en la actividad anterior, complete el diagrama temporal mostrado en la Figura 1 para las señales de entrada dadas, de manera de representar la funcionalidad del circuito diseñado. Estudie la relación entre el resultado del diagrama temporal y la tabla de verdad entregada en actividad anterior. ¿Es posible reemplazar una tabla de verdad con un diagrama temporal (y viceversa)? De ser posible, ¿bajo que condiciones?

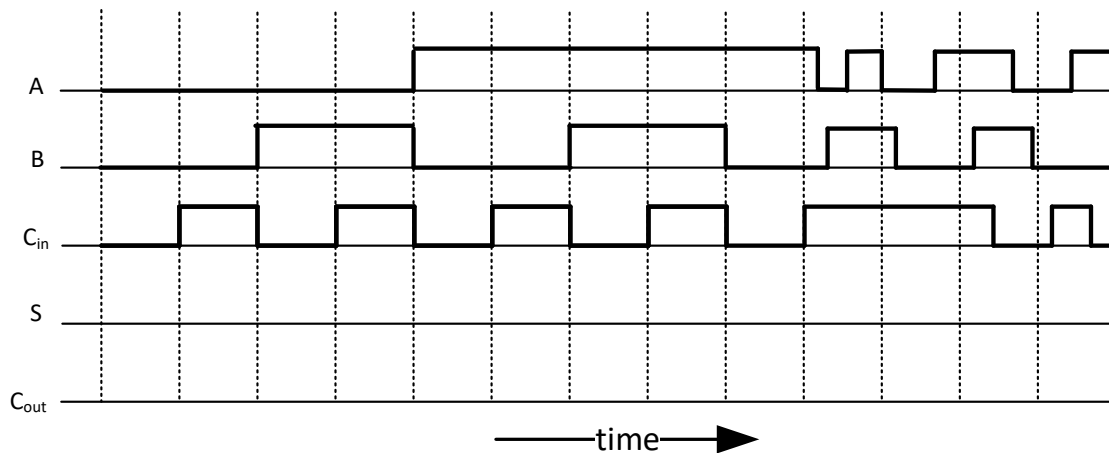


Figura 1: Diagrama temporal de un full-adder.

### 1.3. Extensión a sumador de múltiples bits.

Con base en lo aprendido en las actividades anteriores, describa la tabla de verdad de un sumador que permita realizar la suma de dos números de 2-bits (analice bien el número total de salidas y entradas requeridas), y obtenga el esquemático correspondiente utilizando compuertas AND, OR, y NOT. Analice el procedimiento para obtener la tabla de verdad y el esquemático correspondiente para sumadores de tres a cuatro bits. ¿Cómo escala la complejidad del diseño? ¿Qué pasaría si se quisiera diseñar un sumador de dos números de 32 bits? ¿Cómo se puede hacer más eficiente el diseño de sumadores de varios bits? Discuta con los integrantes de su grupo (palabras claves: abstracción, modularidad, jerarquía.).

### 1.4. The NAND game.

Junto a los integrantes de su grupo, complete al menos los primeros 11 niveles del NAND game: [www.nandgame.com](http://www.nandgame.com). Compare los diseños descritos en el juego con los propuestos por Uds. en las actividades anteriores (estudie el comportamiento de la compuerta XOR). En base a lo realizado, explique brevemente y en palabras simples que principios de diseño se aplican para el diseño de sistemas complejos. Considere una perspectiva de alto nivel en base a lo observado en el procedimiento, no es necesario explicar las actividades una a una.

### 1.5. Primitivas lógicas adicionales.

Estudie además las simbologías y comportamiento de los multiplexores (MUX), look-up tables (LUTs), y flip-flops (FFs) tipo D (para este último busque e interprete el datasheet de un chip 7474 como referencia). Explique en palabras simples la funcionalidad de cada una de estas componentes.

Analice el circuito de la Figura 2 y complete el diagrama temporal de la Figura 3. Para el diagrama temporal, se da como referencia la señal de reloj  $\text{clk}$ . Asuma que, antes del primer canto positivo de reloj, las señales  $q_0$  y  $q_1$  están en alto (valor lógico 1) y la señal  $q_2$  está en bajo (valor lógico 0), tal como se muestra en el diagrama. En estas condiciones, complete el comportamiento

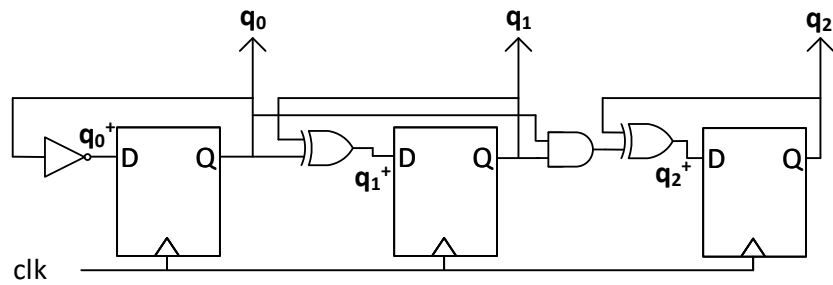


Figura 2: Circuito secuencial síncrono a analizar en Pregunta 1.5.

temporal para todas las señales indicadas. Si considera que falta información, asuma alguna condición razonable y explíquela explícitamente. Con base en lo observado en el diagrama temporal resultante, infiera la funcionalidad del circuito al ver la secuencia de valores a lo largo del tiempo que toma la salida de tres bits conformada por  $q_2q_1q_0$ .

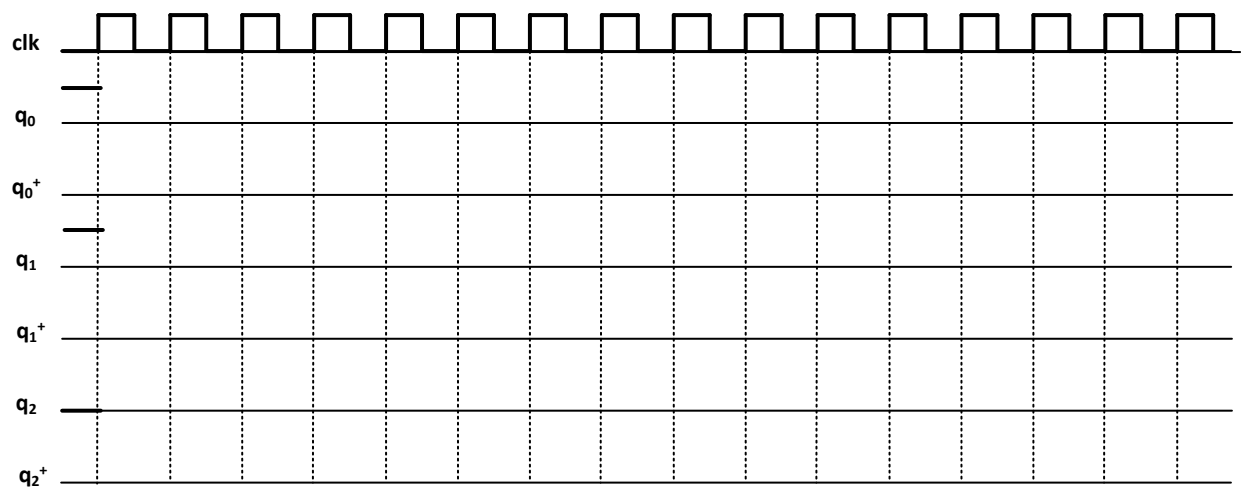


Figura 3: Diagrama temporal del esquemático con FF-D.