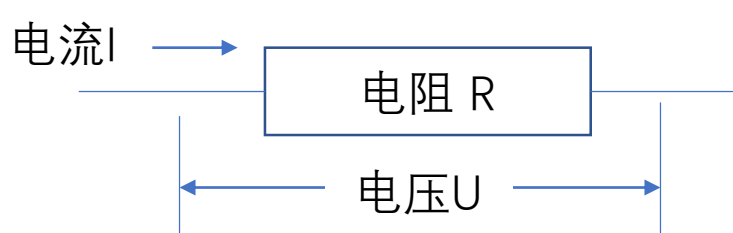


# 附录1、电阻和晶体管

# 电阻

在温度一定的情况下，材料的电阻的电阻值为：

$$R = \frac{\rho L}{S} \quad \text{其中, } \rho \text{ 为电阻率, } L \text{ 为材料长度, } S \text{ 为材料截面积}$$



$$I = \frac{U}{R}$$

$$R = \frac{U}{I}$$

$$U = I \times R$$

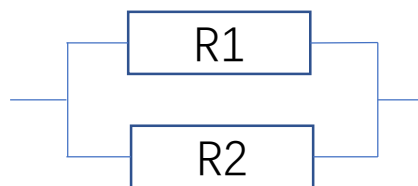
电流：安培(A) 电压：伏特(V) 电阻：欧姆( $\Omega$ )

串联的电阻的阻值R为它们的电阻值之和：



$$R = R1 + R2$$

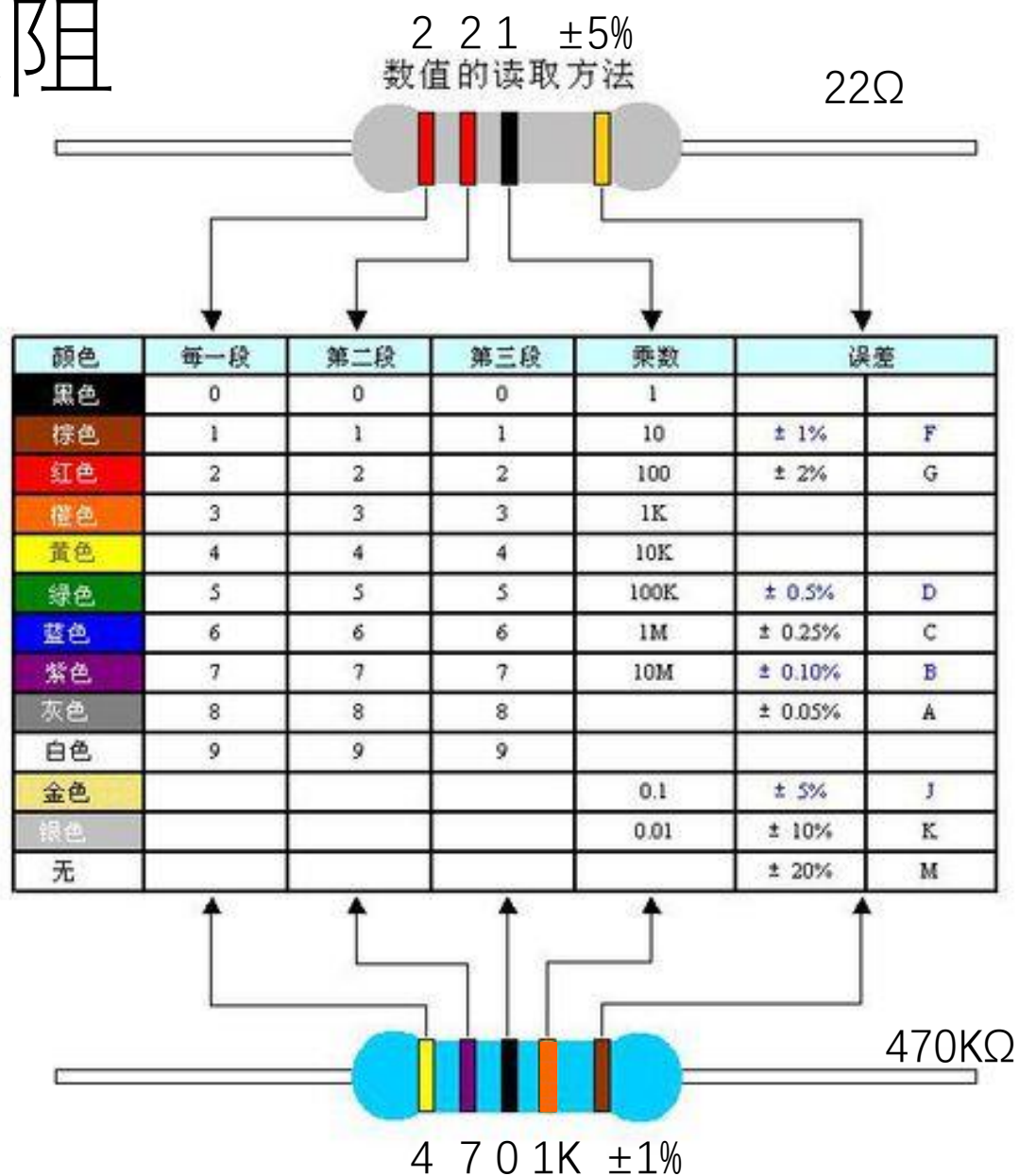
并联的电阻的阻值R的倒数为它们的电阻值倒数之和：



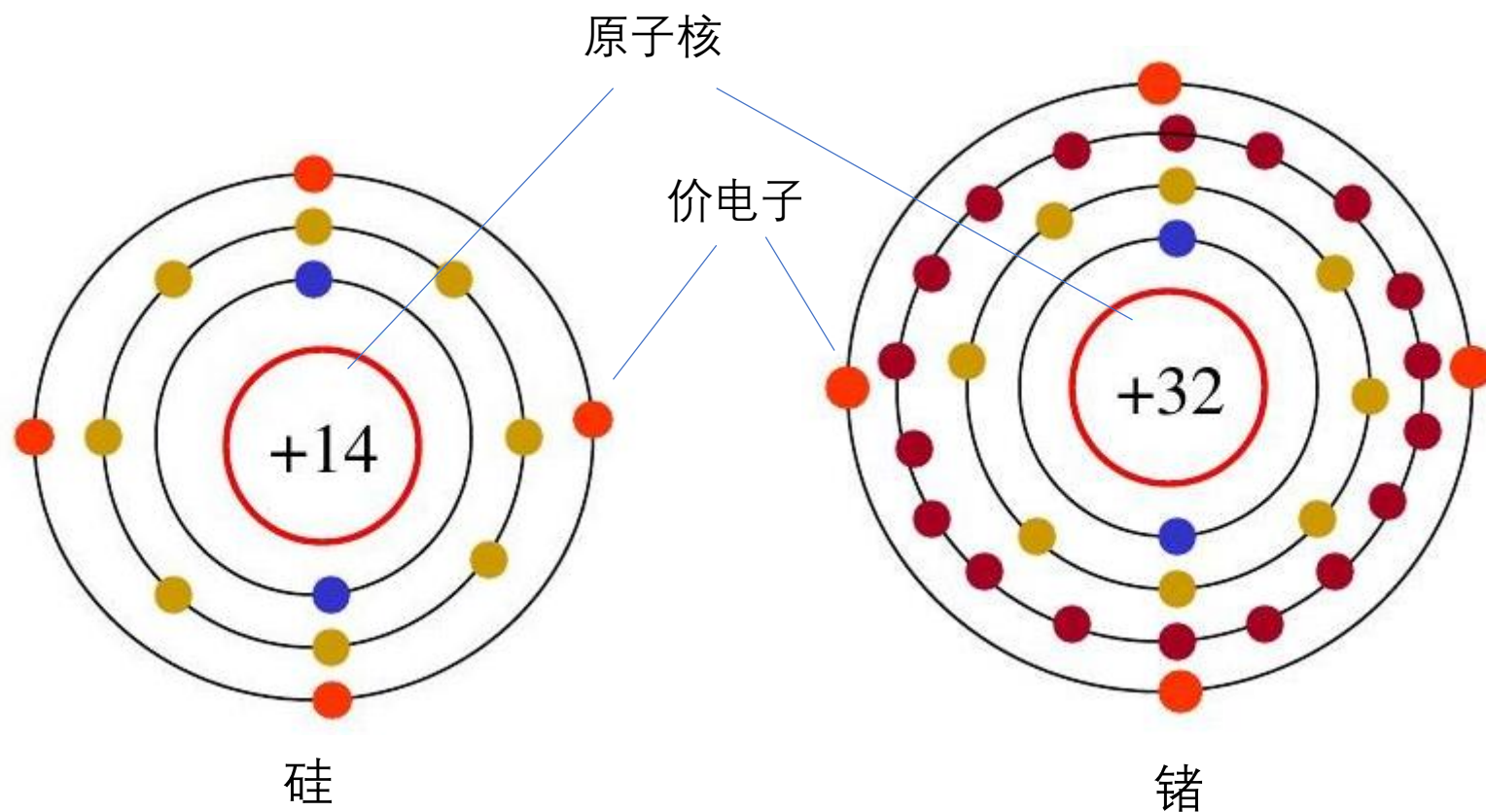
$$1/R = 1/R1 + 1/R2$$

$$R = R1R2/(R1+R2)$$

# 色环电阻

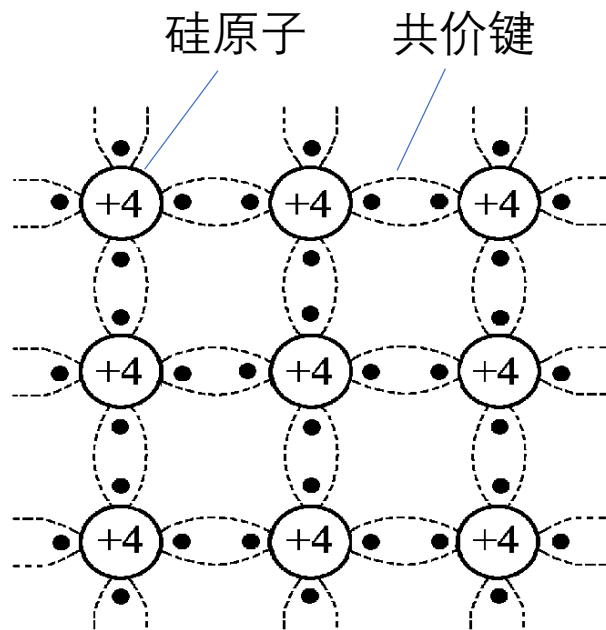


# 半导体(semiconductor)

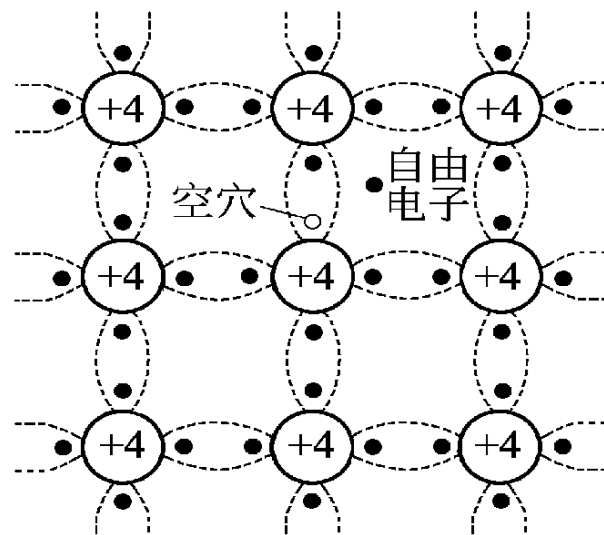


硅(14)和锗(32)都是4价元素，其原子核对外层电子的束缚介于导体(conductor)和绝缘体(insulator)之间，其运载电荷的粒子(载流子)的数量和导电性也介于导体和绝缘体之间。

# 硅晶体



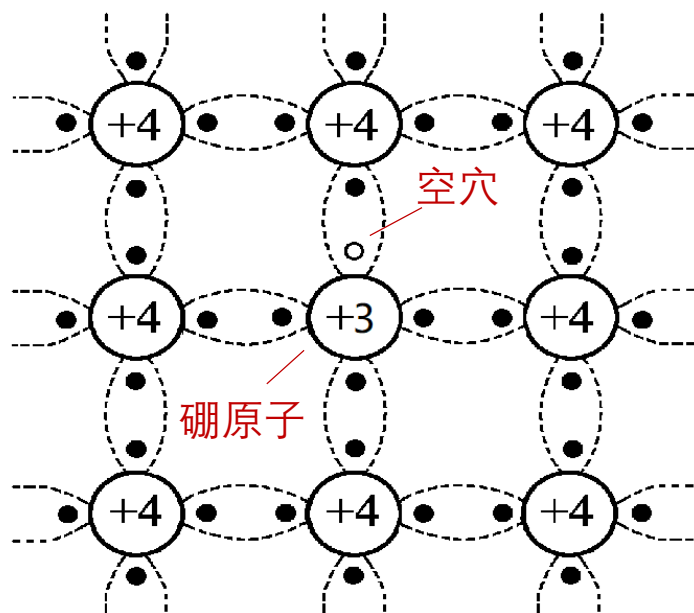
硅单晶共价键结构



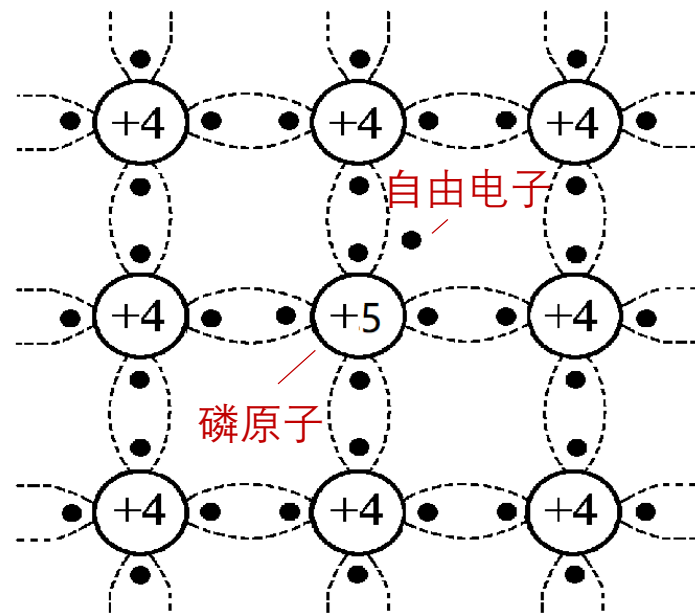
热激发产生的电子-空穴对

非常纯净且原子排列整齐的半导体，称为**本征半导体**。在本征半导体两端**加上电压进行激发**后会产生自由电子(电子载流子)，电子将跑向正极，空穴跑向负极，从而产生电流。不过产生的电子-空穴对非常少，因此，电流很小，而且**对温度非常敏感**，温度上升时，有热激发产生的电子-空穴对的数量按指数方式增加，因而，这种材料的性能**非常不稳定**。

# p型半导体和n型半导体



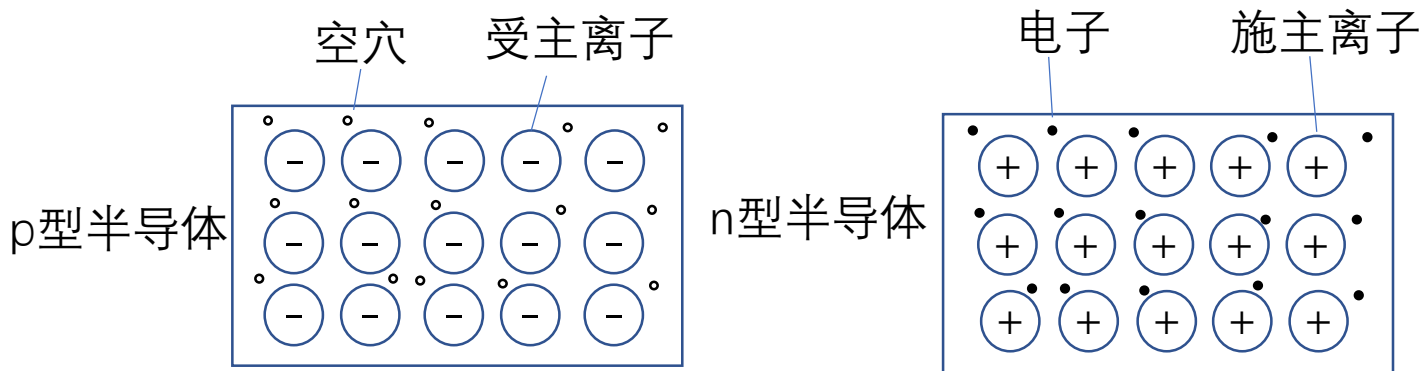
在本征半导体硅中掺入少量的三价元素硼形成p型半导体(positive)



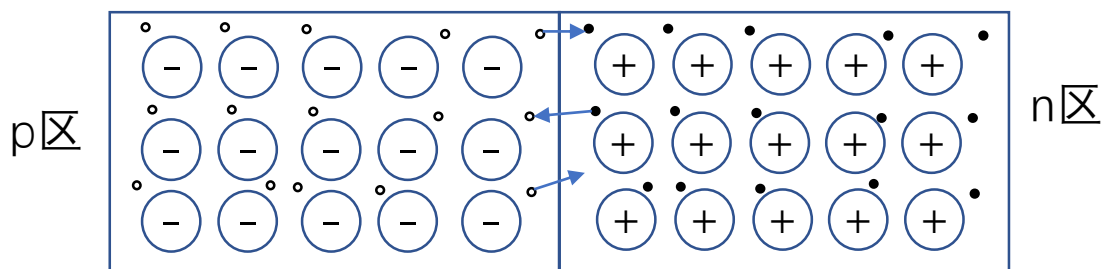
在本征半导体硅中掺入少量的五价元素磷形成n型半导体(negative)

在p型半导体中，空穴是多数载流子，电子是少数载流子，而n型半导体则相反。  
杂质补偿作用：同时掺入两种杂质(硼和磷)，看哪种浓度更高，就表现出哪种特性(p型或n型)。

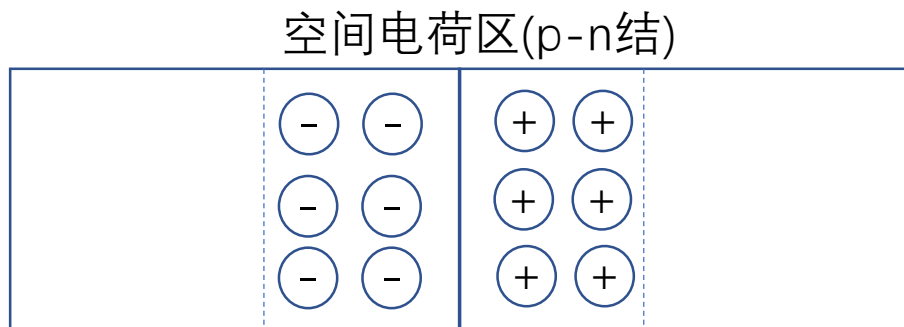
# p-n结



此时整体呈现中性



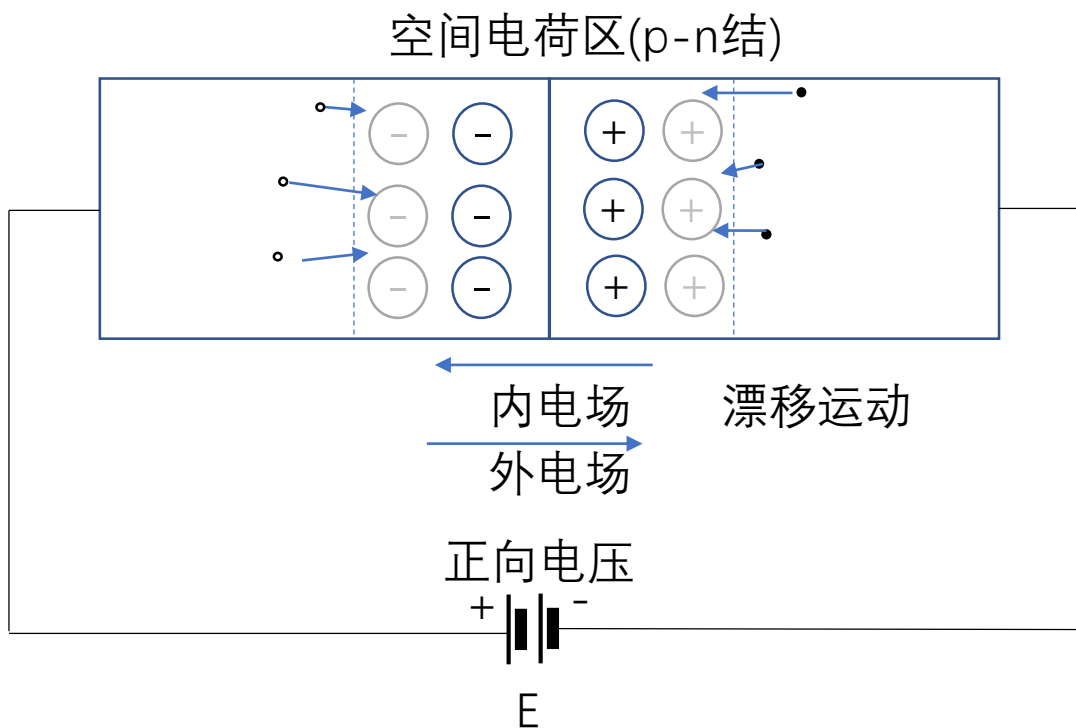
p-n结载流子  
扩散运动



平衡状态下的  
p-n结, 它是  
高阻区(阻挡层)



# p-n结的单向导电性

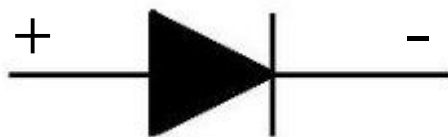
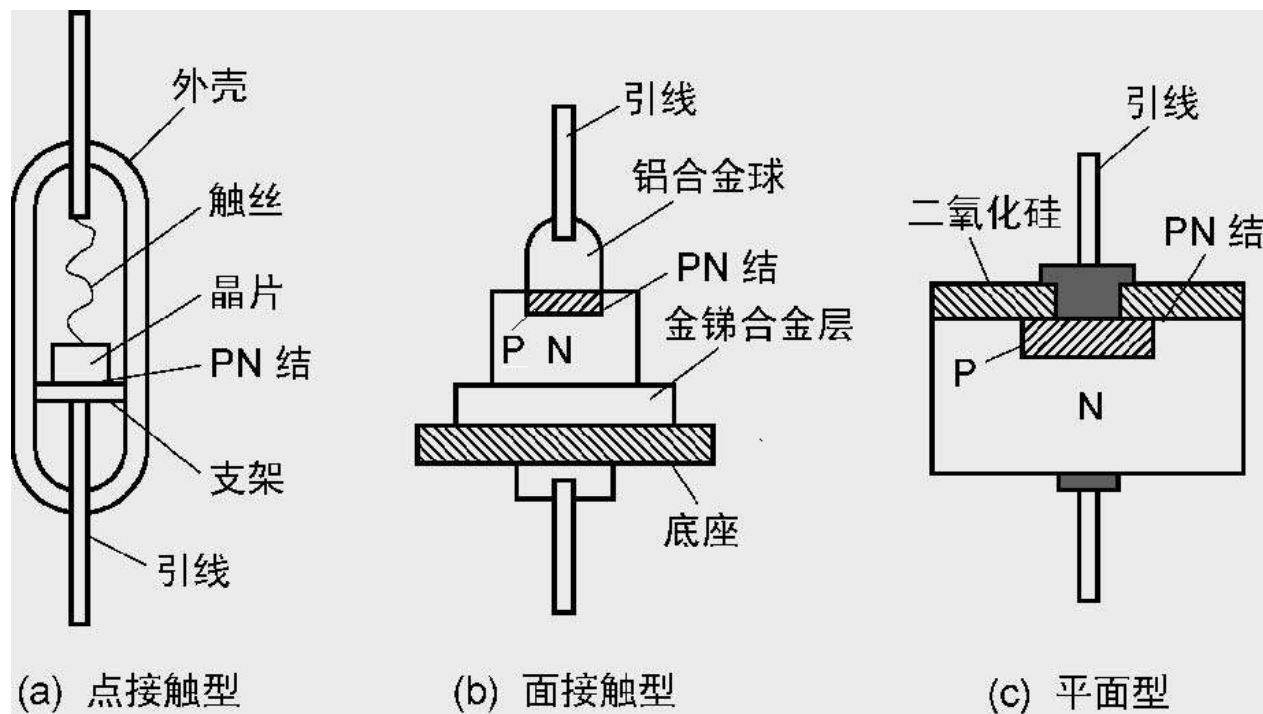


加上正向电压后，外电场把电子和空穴推向p-n结，结果p-n结变薄，扩散运动超过漂移运动，更多载流子越过p-n结，形成较大的正向电流。

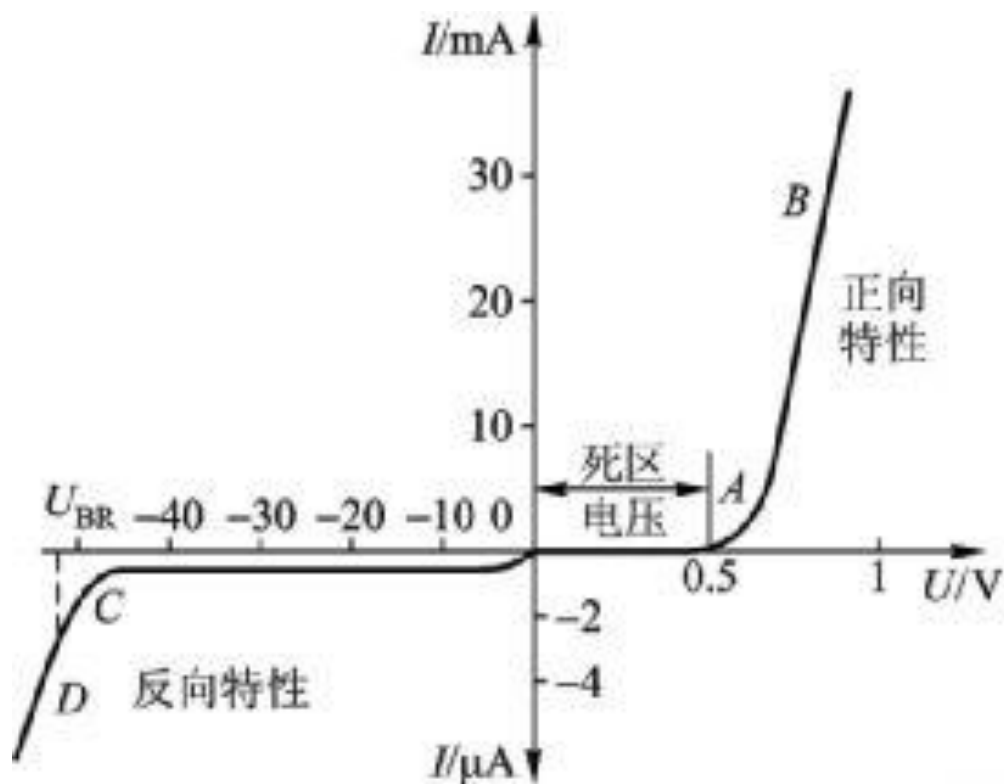
加上反向电压后，p-n结变厚，扩散运动无法进行，由少数载流子产生的反向电流非常微弱，基本上与外加电压大小无关。



# 半导体二极管(diode)



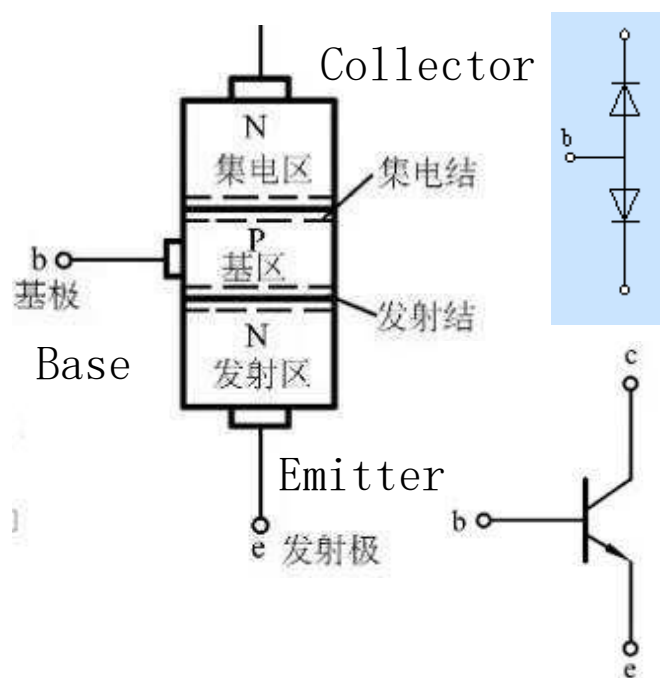
[威廉·肖克利 \(William Shockley\)](#)



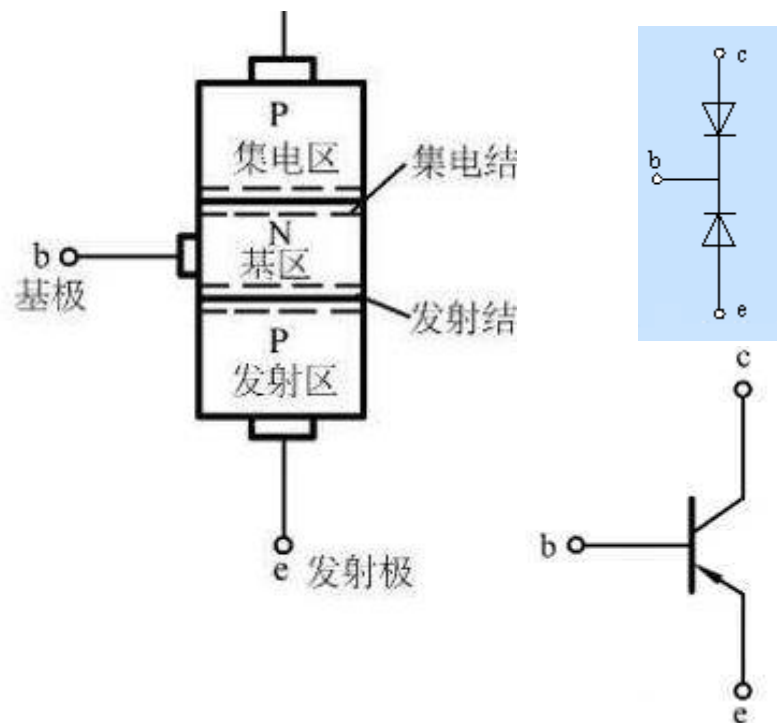
当加上的**正向电压**超过门限电压时，二极管的电阻变小，电流开始显著上升，当加上**反向电压**时，产生的反向电流很小，并且不会随着电压加大而变大，但是会随温度增加而增长很快。

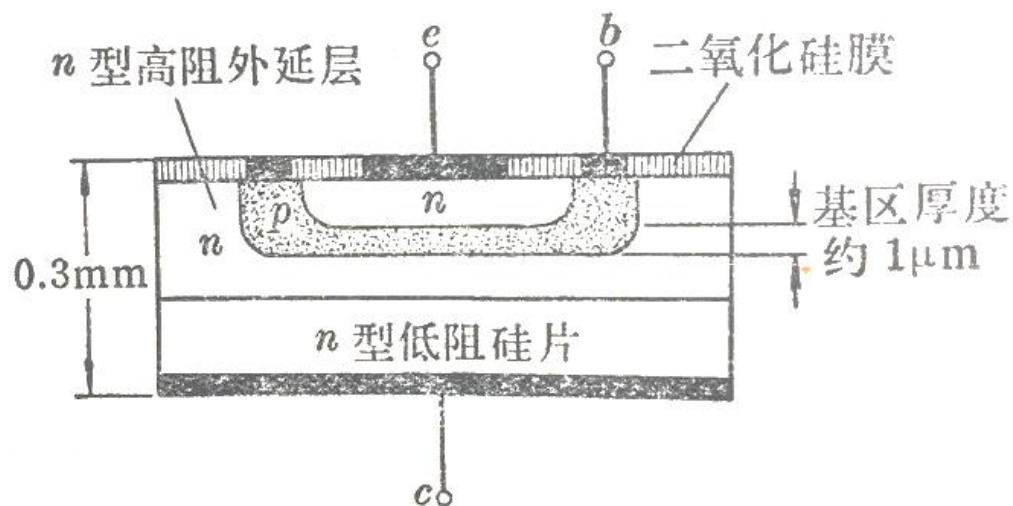
# 晶体三极管(transistor)

n-p-n型晶体管



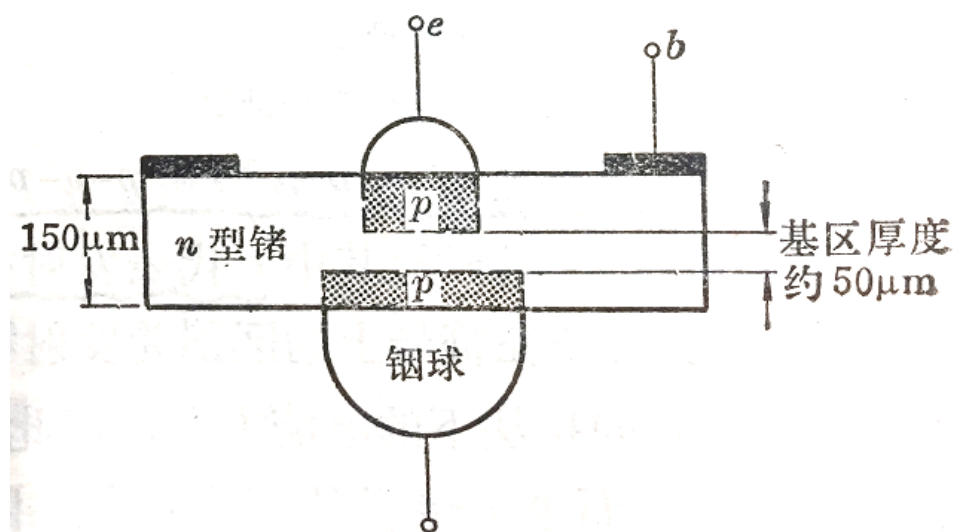
p-n-p型晶体管



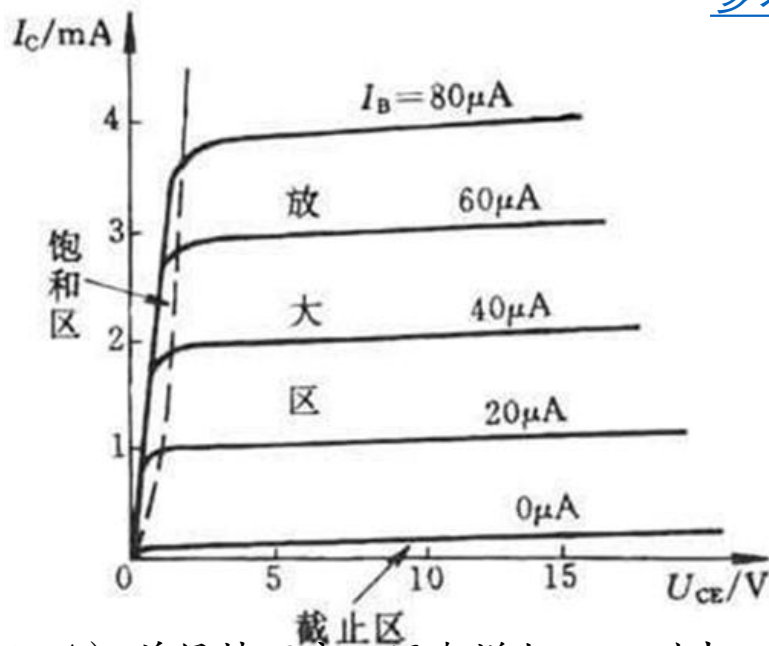
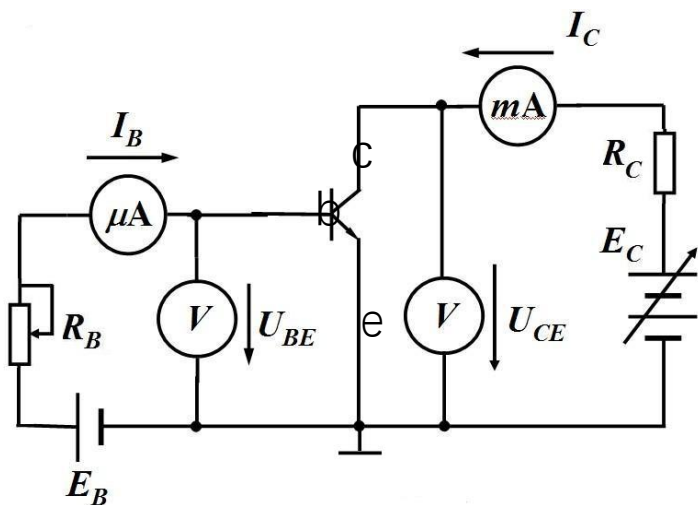


高频硅平面管

- (1) 在n型低阻硅片上，先形成一层同型n高阻外延层（为提高集电极的击穿电流），并在其上生成一层二氧化硅的保护膜，光刻出一个窗口，再进行硼杂质扩散，获得p型基区。
- (2) 然后在表面生成氧化膜，再次光刻出一个窗口，进行高浓度的磷扩散，形成n型发射区。
- (3) 最后把表面氧化和光刻引线接口，蒸发一层金属铝，焊接引线，编制做成了一个n-p-n型晶体管的管芯。



低频镍平面管



改变 $R_B$ 使 $I_B$ 为某一个固定的数值(例如,  $20\mu\text{A}$ ) 并保持不变。逐渐增加 $E_C$ , 测出一系列 $I_C$ 的值和 $U_{CE}$ 的值, 就可以得到一条**输出曲线**。

在**放大区**,  $I_C$ 随 $I_B$ 按 $\beta$ 倍增加,  $I_C = \beta * I_B$ ; 此时, 发射结正偏(正向偏置), 集电结反偏。

在**饱和区**,  $I_B$ 增加时 $I_C$ 变化不大, 此时发射结和集电结都正偏, 晶体管没有放大作用。当 $U_{CE} = U_{BE}$ 时, 会形成临界饱和区, 即虚线部分。

在**截止区**, 发射结和集电结都反偏,  $I_B = 0$ ,  $I_C \approx 0$ , 集电结的电流直接穿透基极流向发射极, 即形成穿透电流, 该电流非常小, 此时, 晶体管没有放大作用。

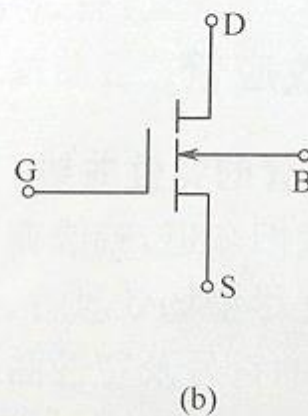
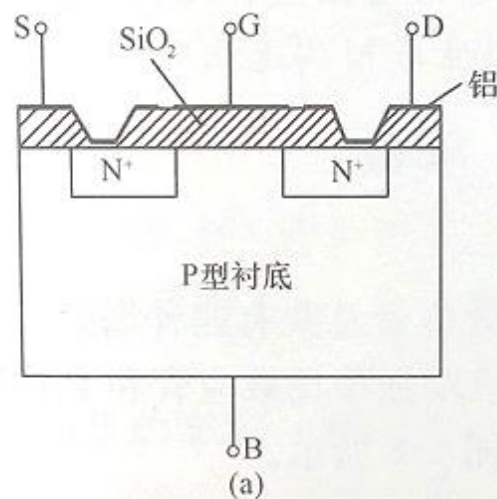
n-p-n型正偏:  $U_{BE} > 0$ ,  $U_{BC} > 0$ ,  $U_{CE}$ 越大,  $I_C$ 越大, 处于连通状态。

n-p-n型反偏:  $U_{BE} < 0$ ,  $U_{BC} < 0$ , 发射区没有电子注入基区,  $I_{CE}$ (穿透电流)很小, 处于截止状态。

双极性晶体管(BJT)是晶体三极管的学名, 用其做成的电路称为TTL(Transistor-TransistorLogic)电路

# 场效应管

- 场效应晶体管(Field Effect Transistor)主要有两种结型场效应管(junction FET—JFET)和金属-氧化物半导体场效应(metal-oxide semiconductor FET, 简称MOS-FET)。由于它由多数载流子参与导电, 所以也称为单极型晶体管。
- 它属于电压控制型半导体器件, 具有输入电阻高 ( $10^7 \sim 10^{15} \Omega$ )、噪声小、功耗低、动态范围大、易于集成、没有二次击穿现象、安全工作区域宽等优点, 现已成为双极型晶体管和功率晶体管的强大竞争者。除了模拟电路中双极型晶体管还有身影外, 基本上现在的集成电路都是由MOS管组成的了。

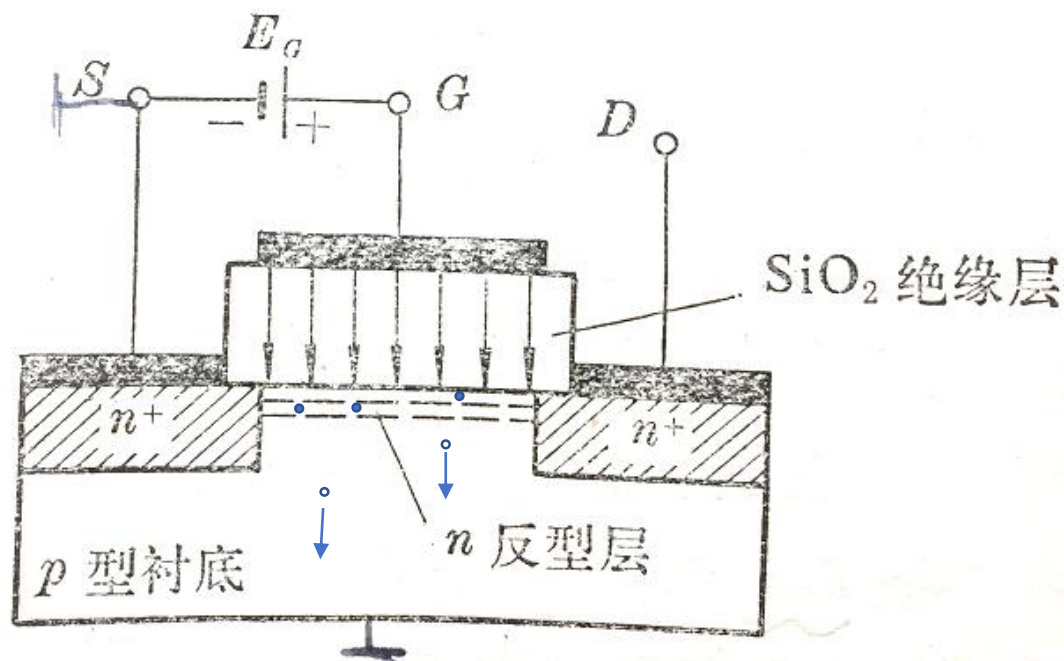


Source 源极  
Drain 漏极  
Gate 栅极

Electrode 电极

N 沟道增强型 MOS 场效应管的结构和符号  
(a)结构示意图; (b)电路符号。

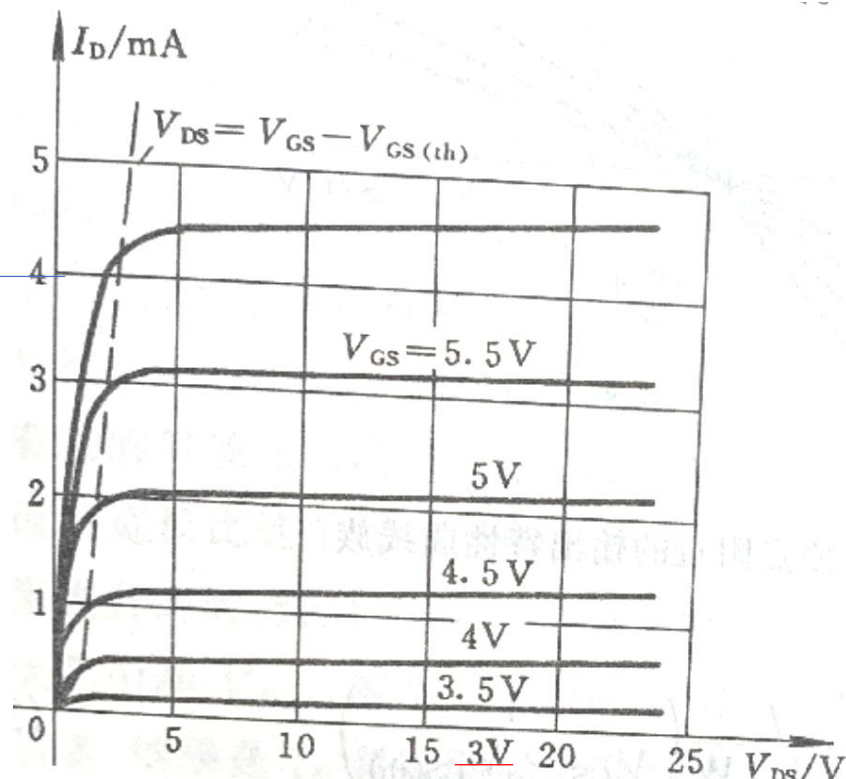
nMOS



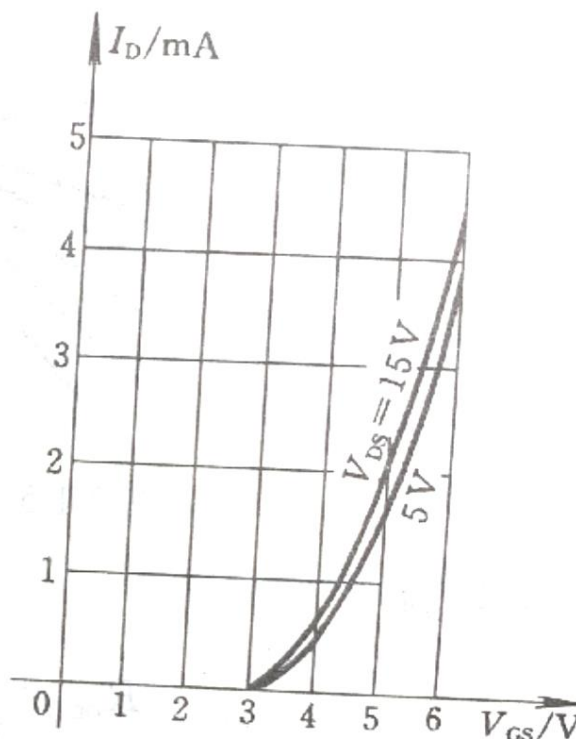
- 栅极电压 $U_G$ 很小时也可以产生很强的电场，而栅极电压加大到一定数值时，在强电场作用下会将表面层的部份空穴赶走，形成**耗尽层**，继续加大栅极电压，会将表面层的空穴全部赶走，而吸引来的电子占了多数，此时，这个p型表面层就转化成了多数载流子为电子的n型薄层，叫做**n反型层**。
- 原来隔开的两个n型区(源区和漏区)被n反型层连成一体了，原来处于“**关断**”状态的场效应管变成了“**导通**”状态。我们把电流开始导通时的栅极电压称为开启电压，n反型层称为导电沟道。



不饱  
和区



输出特性曲线族



转移特性曲线族

$$V_{GS(th)} = 3V$$

$V_{GS(th)}$ : GS之间的阈值电压

N沟道EMOS管的伏安特性

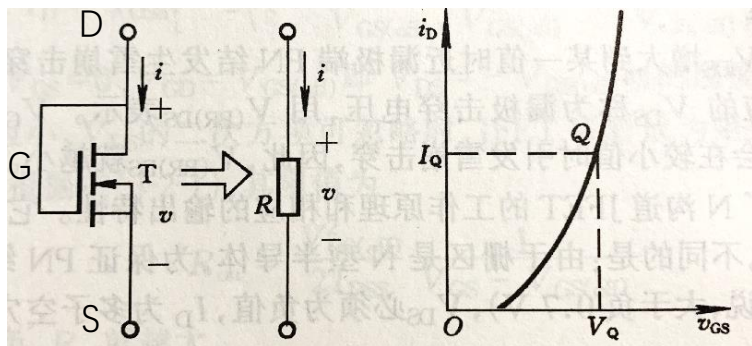
不饱和区:  $V_{GS} > V_{GS(th)}$ 、 $V_{DS} < V_{GS} - V_{GS(th)}$

饱和区:  $V_{GS} > V_{GS(th)}$ 、 $V_{DS} > V_{GS} - V_{GS(th)}$

截止区:  $V_{GS} \leq V_{GS(th)}$  沟道未形成,  $I_D = 0$  (接近0) 也称为亚阈区

击穿区: 当 $V_{DS}$ 增大到足以使漏区与衬底间的PN结引发雪崩击穿时,  $I_D$ 迅速增大, 管子进入击穿区。

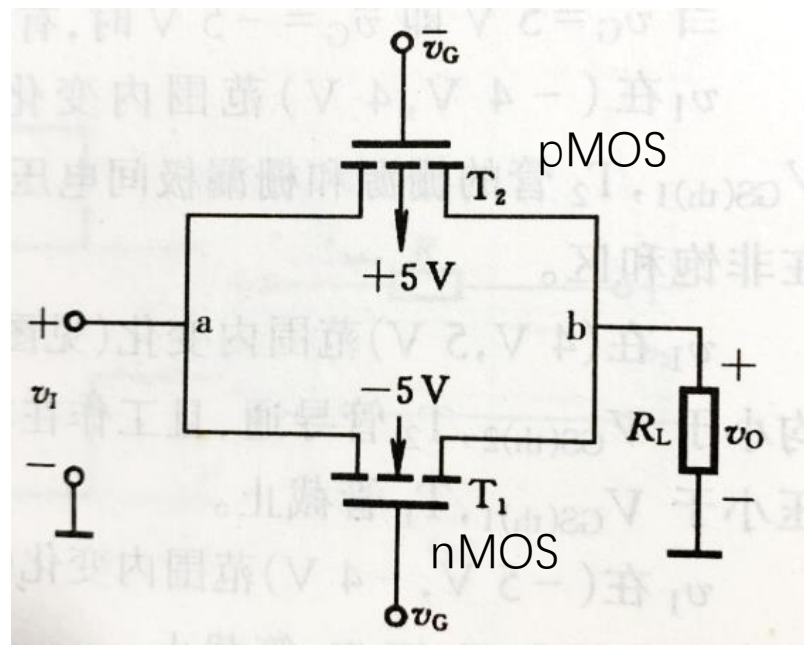




N沟道EMOS管接成的有源电阻

$$V = V_{DS} = V_{GS}, i = i_D$$

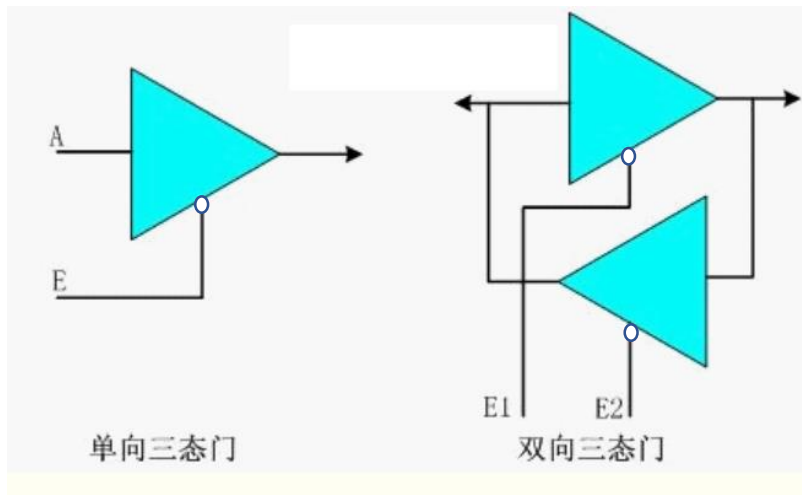
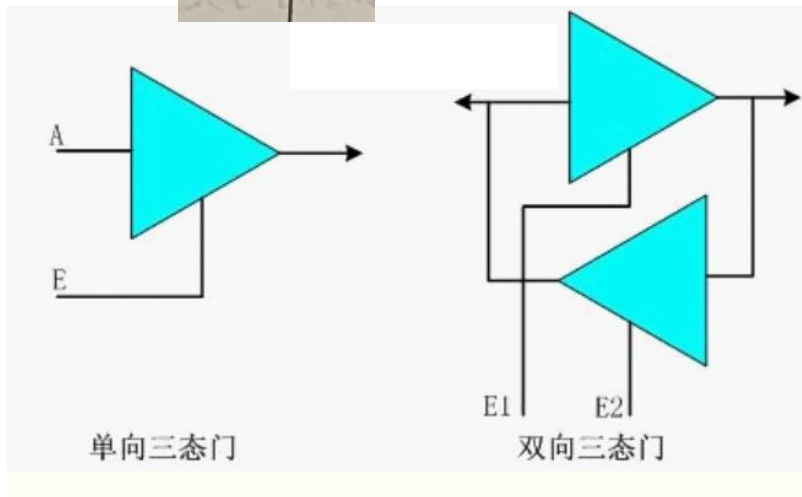
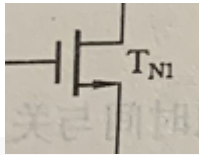
因此,  $V_{DS} > V_{GS} - V_{GS(th)}$ , 如果  $V_{GS} > V_{GS(th)}$ , MOS管工作在饱和区, 其伏安特性曲线近似线性, 因此, 可以当成电阻使用。



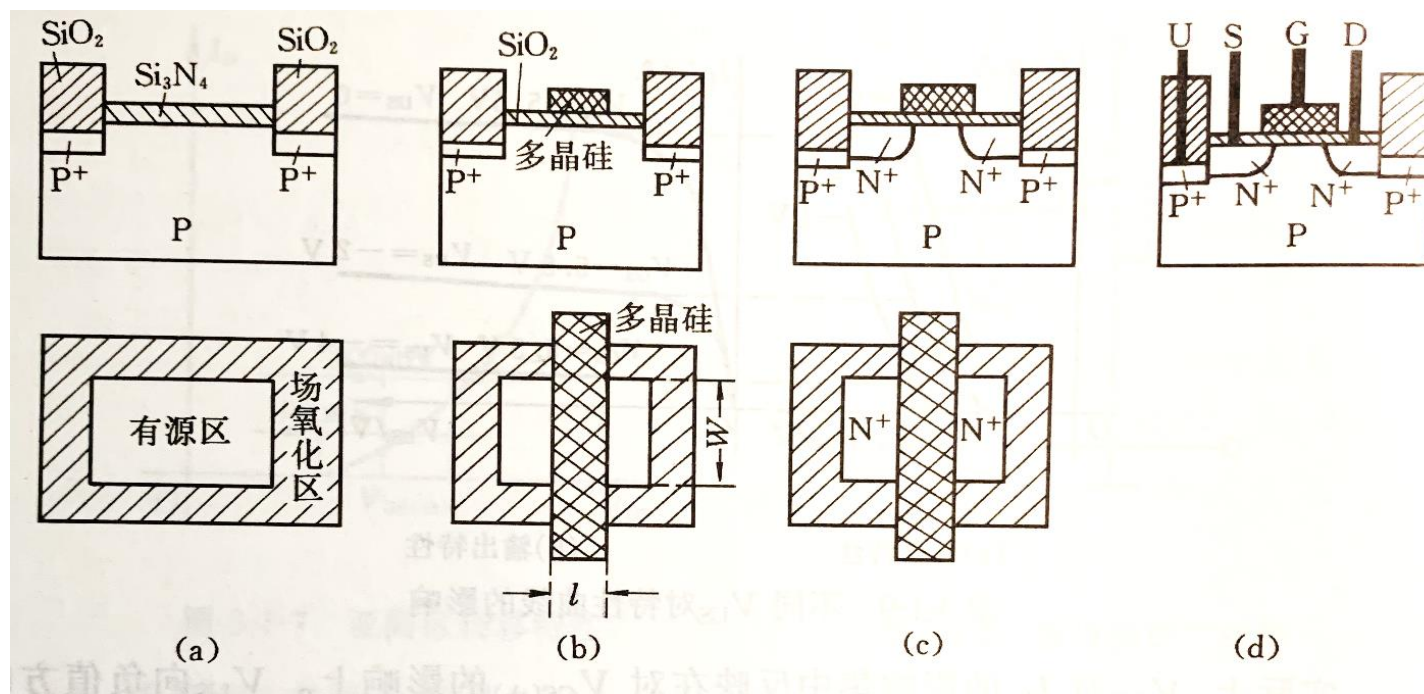
CMOS(Complementary MOS)模拟开关

- nMOS 晶体管可以很好地导通低电平, 因此, 下拉网络采用nMOS晶体管连接输出和地。
- pMOS 晶体管可以很好地导通高电平, 因此, 上拉网络采用pMOS连接晶体管输出和电源。

$V_G$ 接高电压(+5V), 开关通  
 $V_G$ 接低电压(-5V), 开关断。



## EMOS集成工艺

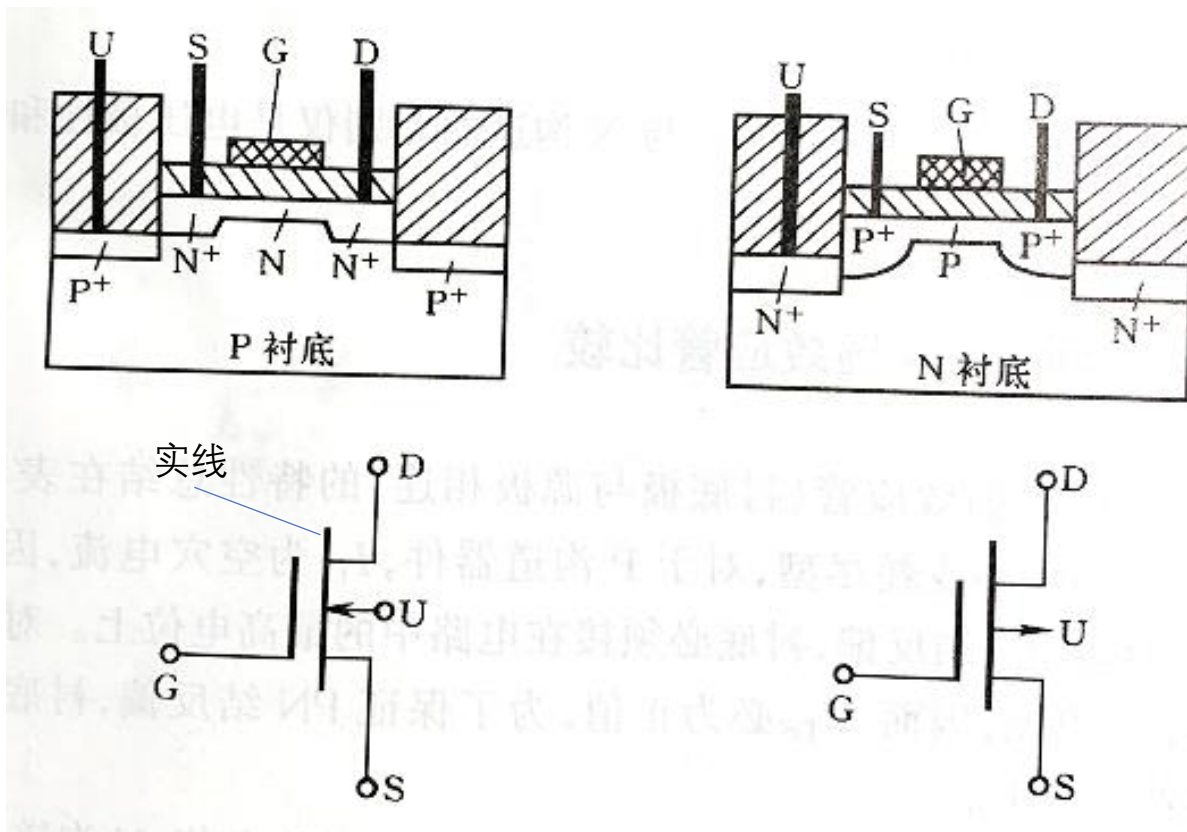


- 在P型衬底的表面覆盖一层氮化硅( $\text{Si}_3\text{N}_4$ )，氮化硅的特点是在高温氧化时不会在其上生长 $\text{SiO}_2$ 。用光刻工艺开出场氧化的窗口，通过窗口扩散高浓度的P+，然后经过高温氧化在场氧化区窗口生长很厚的 $\text{SiO}_2$ 层。MOS管就是制作在场氧化区包围的区域内，这个区域称为有源区。
- 将有源区的氮化硅取出，代之以生长一层 $\text{SiO}_2$ ，并在其上覆盖一层薄薄的多晶硅，并用光刻艺术刻出多晶硅条，作为栅极。
- 采用离子注入工艺，透过薄层 $\text{SiO}_2$ 掺入杂质，形成 $\text{N}^+$ 的源区和漏区。
- 最后在源、漏、栅区(必要时包括衬底)的 $\text{SiO}_2$ 层中刻出引线区，用薄膜淀积工艺形成连线。

\* 场氧化区主要用来提供一个制作连线或无源元件的区间。场氧化区的氧化层很厚，衬底又是高掺杂的P+区，因而由它形成的寄生MOS管的开启电压很大，超出电路的电源电压。因此，在其制作连线或无源元件时，不会在其下方形成导电沟道，而且它还进一步起到了相邻器件之间的电隔离。

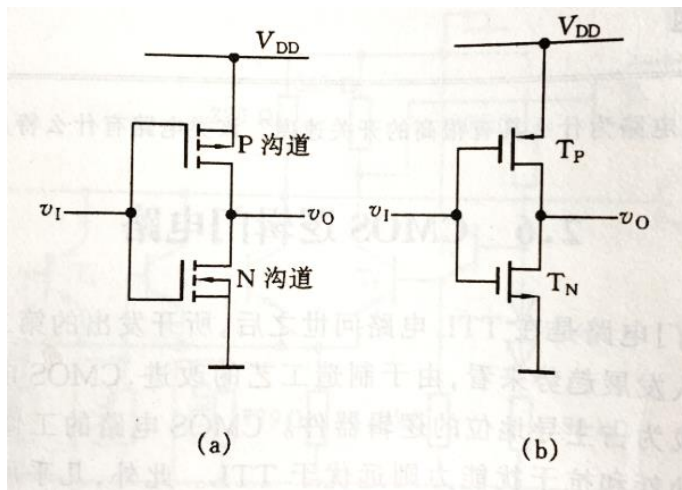
## 耗尽型MOS管

沟道已经存在，在栅极加电压使其消失。

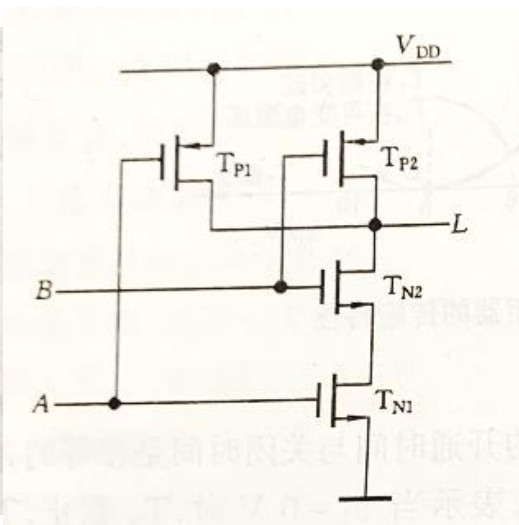


N沟道DMOS管

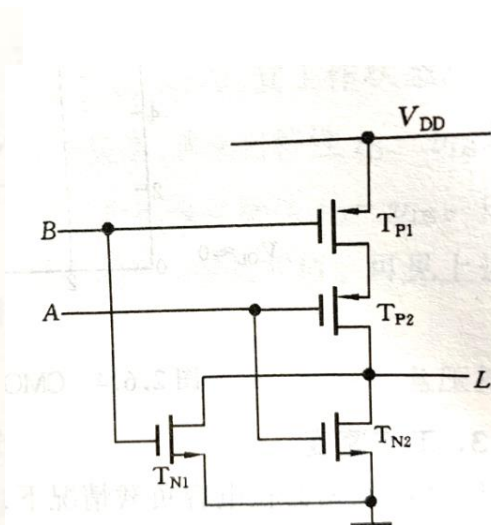
P沟道DMOS管



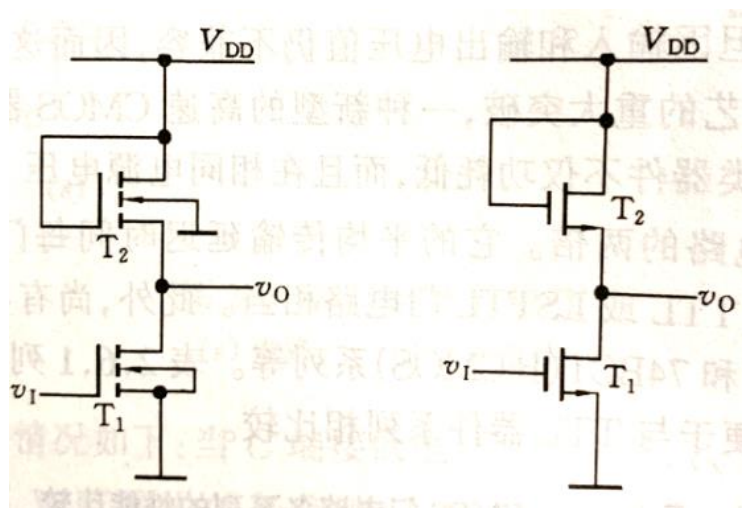
CMOS反相器电路及简化图



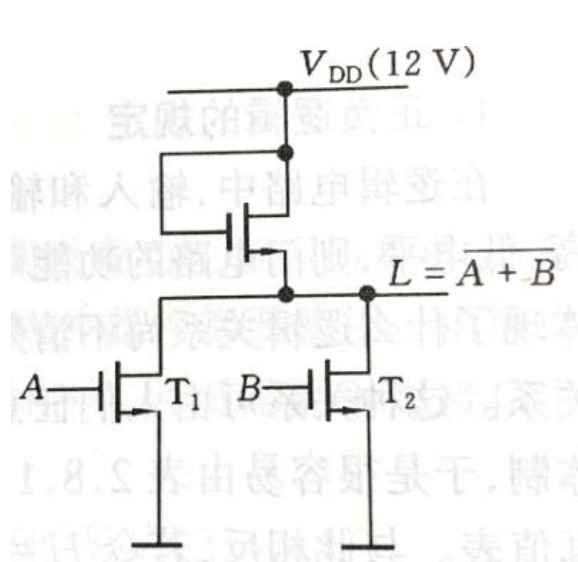
$$L = \overline{AB}$$



$$L = \overline{A+B}$$



NMOS反相器

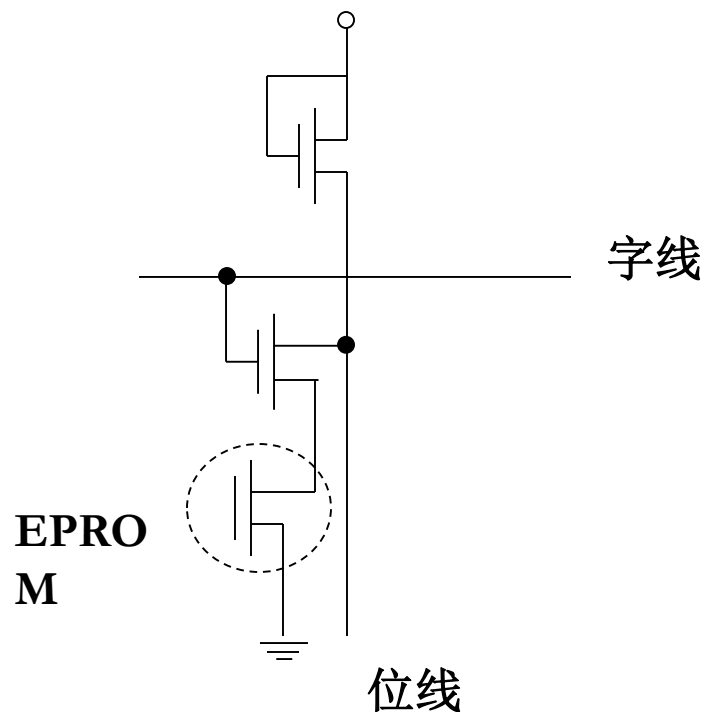
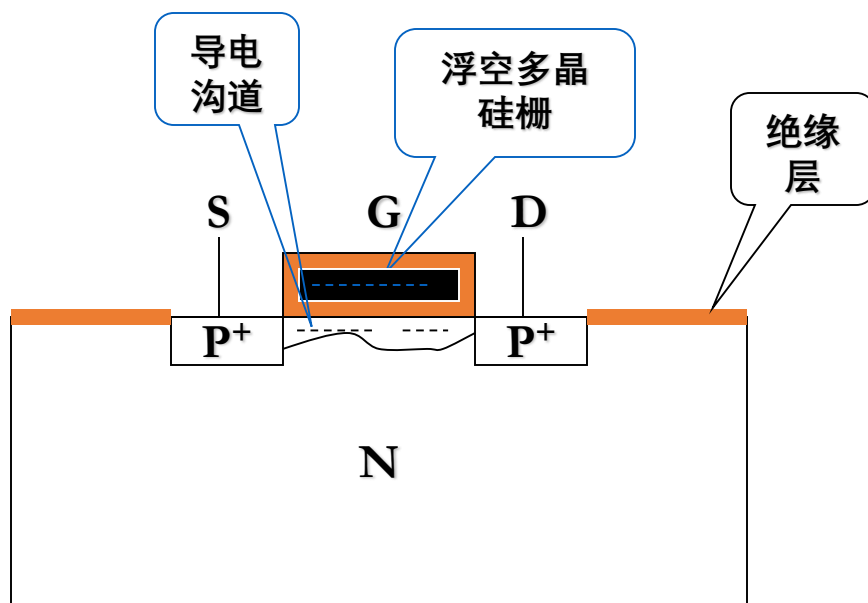


NMOS或非门



# EPROM

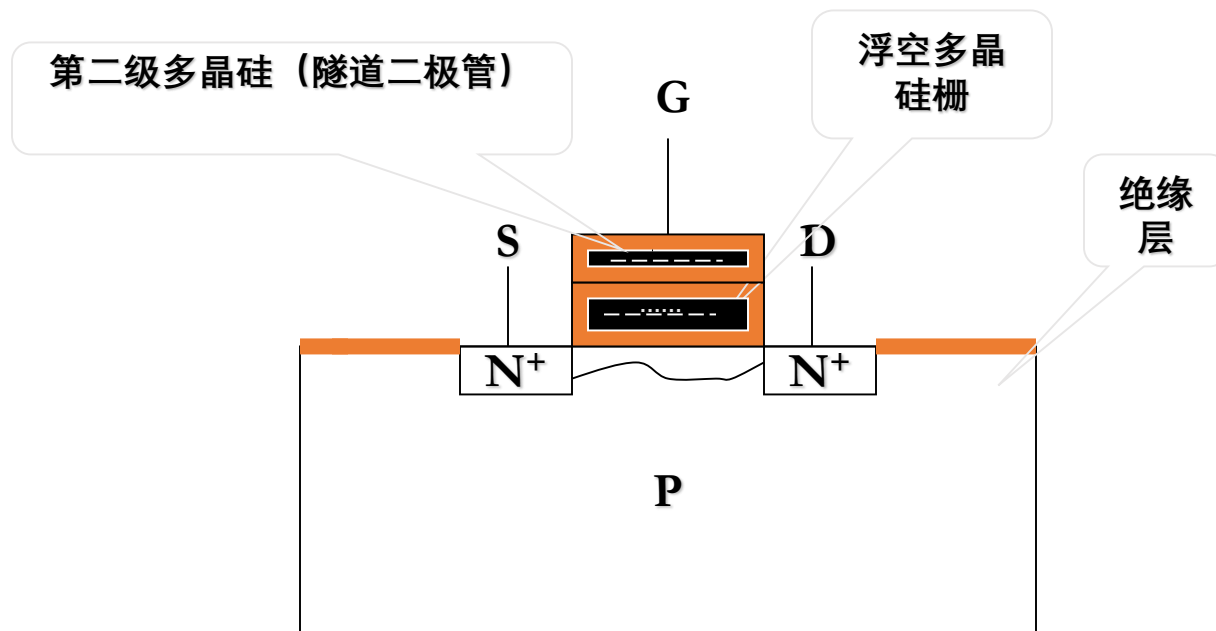
Erasable Programmable ROM



源极S和漏极D之间加上高电压（25V）和编程脉冲(宽度为50ms)，击穿后电子通过绝缘层进入浮空多晶硅栅，当高压取除后包围硅栅的电子在绝缘层包围中很难泄露，硅栅就成了负极，在其下会形成导电沟道，这样S和D之间就导通了。在紫外线照射10多分钟后，硅栅中的电子会形成光电流泄露掉，EPROM又恢复原态。EPROM接通后该位表示0，未接通的表示1。

# EEPROM或E<sup>2</sup>PROM

Electrically Erasable PROM



源极S接地。在栅极G和漏极加上一个电压，就可以使电荷通过隧道二极管流入浮空栅，加上反向电压又可使浮空栅的电荷流向栅极G(擦除)。栅极电压为普通电压。可按字擦除。

狭义的EEPROM的特点：可以随机访问和修改任何一个字节，可以往每个bit中写入0或者1。掉电后数据不丢失，可以保存100年和擦写100万次，但是电路复杂/成本也高。目前的EEPROM都是几十千字节到几百千字节的，绝少有超过512K的。

# flash

- flash属于广义的EEPROM。与EEPROM不同，flash擦除时不再以字节为单位，而是**以块为单位**。此举简化了电路，数据密度更高，降低了成本。
- flash分为nor flash和nand flash。**nor flash**数据线和地址线分开，可以实现ram一样的随机寻址功能，可以读取任何一个字节。但是擦除仍要按块来擦。
- **nand flash**同样是按块擦除，但是数据线和地址线复用，不能利用地址线随机寻址。读取只能按页来读取。
- 由于nand flash引脚上复用，因此读取速度比nor flash慢一点，但是擦除和写入速度比nor flash快很多。nand flash内部电路更简单，因此数据密度大，体积小，成本也低。因此大容量的flash都是nand型的。小容量的2 ~ 12M的flash多是nor型的。
- 使用寿命上，nand flash的擦除次数是nor的数倍。而且nand flash可以标记坏块，从而使软件跳过坏块。nor flash 一旦损坏便无法再用。
- 因为nor flash可以进行字节寻址，所以程序可以在nor flash中运行。嵌入式系统多用一个小容量的**nor flash**存储引导代码，用一个大容量的**nand flash**存放文件系统和内核。