



**POLYTECHNIQUE
MONTRÉAL**

INF1500

Logique des systèmes numériques

Laboratoire 1

Soumis par:
Boukaftane, Hamza - 2183376
Lidder, Arman- 2174916

8 février 2022

1- Description du système

a) Description fonctionnelle :

Le système à réaliser possède 3 entrées A (4bits), B (4bits) et Op (1 bit) et 3 sorties, S (4bits), Cout et Z. Le rôle du circuit est d'effectuer « A+B » (addition) quand Op est égale à 0. Lorsque Op est égale à 1, le rôle du circuit est de d'effectuer « A-B » (soustraction). La sortie S de 4 bits représente le résultat en nombre binaire non signé si la valeur est positive et en complément à deux si la valeur est négative. Pour ce qui est de la sortie Cout de 1 bit, quand elle vaut 1, elle représente la retenue de l'opération si la sortie S est positive et le signe négatif si la sortie S est négative. Enfin, Z est simplement une indication que la sortie S est 0 quand il vaut 1 et que la sortie S n'est pas 0 quand il vaut 0.

b) Équations du circuit

1- Équations d'un additionneur complet de 1 bit :

$$S = A \oplus B \oplus \text{Cin}$$

$$\text{Cout} = A.B + A.\text{Cin} + B.\text{Cin}$$

2- Équations d'un additionneur/soustracteur de 4 bits utilisant 4 additionneurs complet de 1 bit :

$$A_{\text{Add0}} = A[0]$$

$$B_{\text{Add0}} = B[0] \oplus \text{Op}$$

$$\text{Cin}_{\text{Add0}} = \text{Op}$$

$$A_{\text{Add1}} = A[1]$$

$$B_{\text{Add1}} = B[1] \oplus \text{Op}$$

$$\text{Cin}_{\text{Add1}} = \text{Cout}_{\text{Add0}}$$

$$A_{\text{Add2}} = A[2]$$

$$B_{\text{Add2}} = B[2] \oplus \text{Op}$$

$$\text{Cin}_{\text{Add2}} = \text{Cout}_{\text{Add1}}$$

$$A_{\text{Add3}} = A[3]$$

$$B_{\text{Add3}} = B[3] \oplus \text{Op}$$

$$\text{Cin}_{\text{Add3}} = \text{Cout}_{\text{Add2}}$$

$$S[0] = S_{\text{Add0}}$$

$$S[1] = S_{\text{Add1}}$$

$$S[2] = S_{\text{Add2}}$$

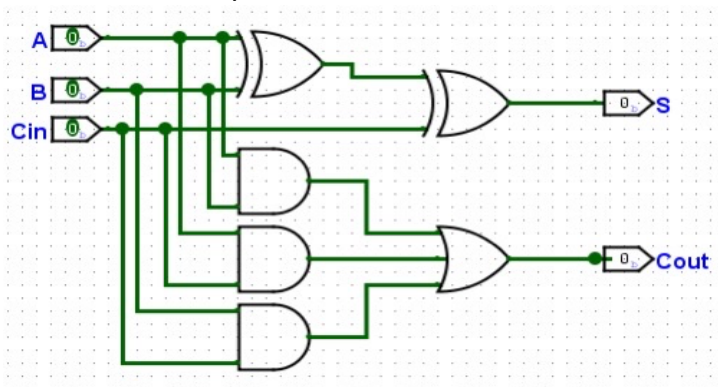
$$S[3] = S_{\text{Add3}}$$

$$\text{Cout} = \text{Op} \oplus \text{Cout}_{\text{Add3}}$$

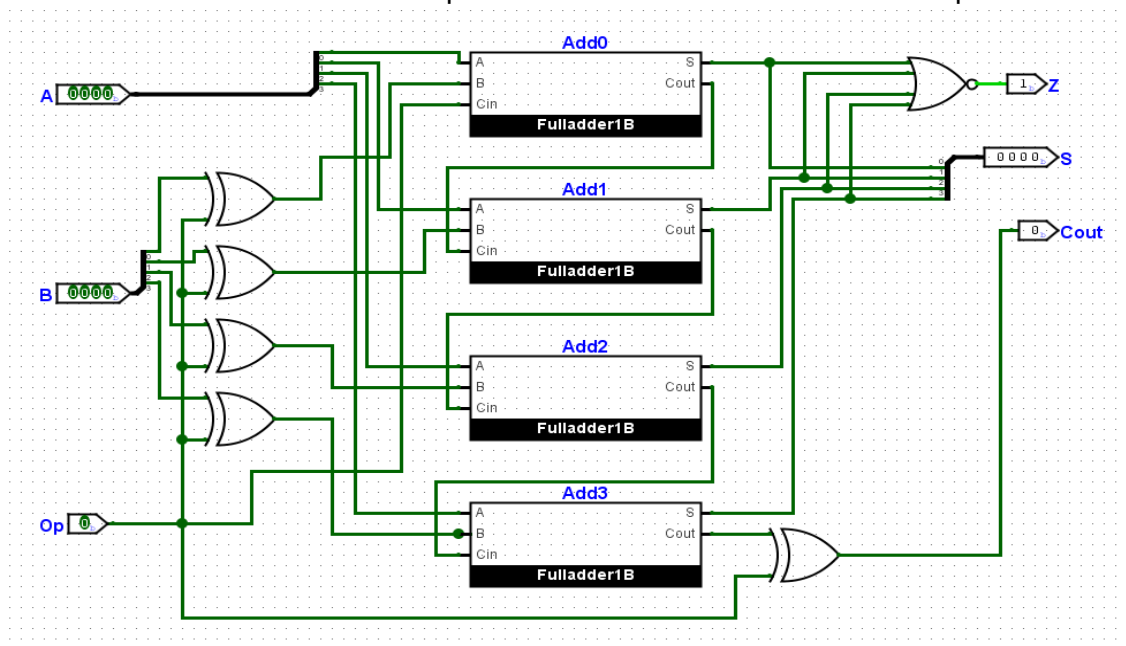
$$Z = S[0] + S[1] + S[2] + S[3]$$

c) Schéma du circuit

1- Additionneur complet de 1 bit :



2- Additionneur/soustracteur complet de 4 bits avec 4 additionneurs complet 1 bits :



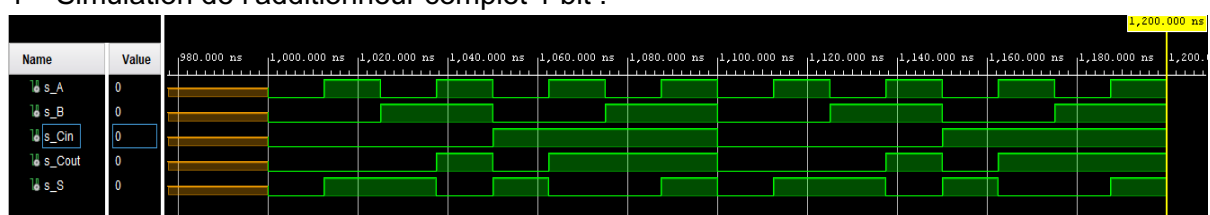
2- Vérification du système

a) Choix de validation

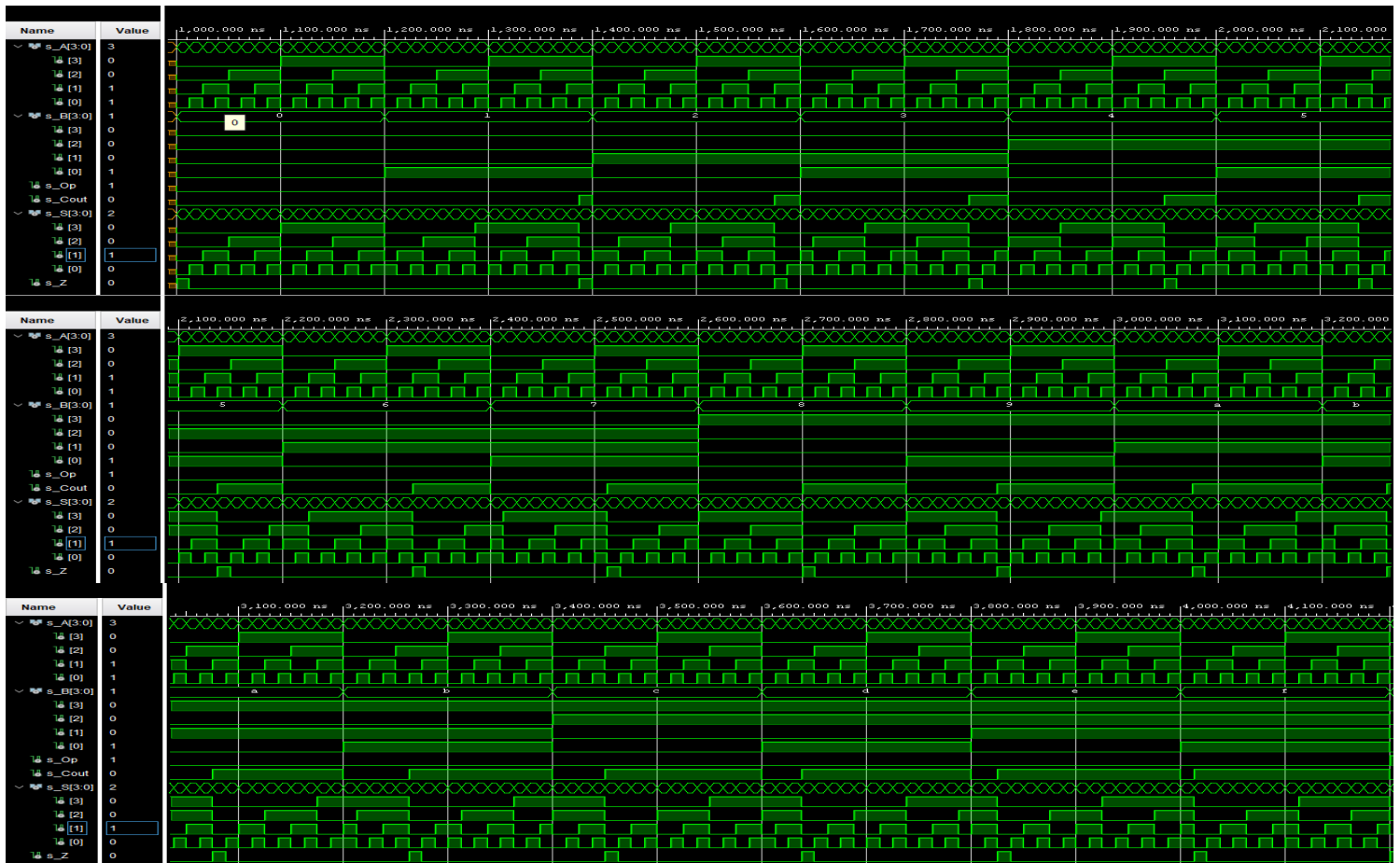
Nous avons utilisé un test exhaustif afin de valider le circuit de notre additionneur complet de 1 bit. Par la suite, nous avons effectué un autre test exhaustif sur notre circuit de l'additionneur/soustracteur complet de 4bits afin de le valider en testant toutes les combinaisons de valeurs d'entrées possibles.

b) Simulations

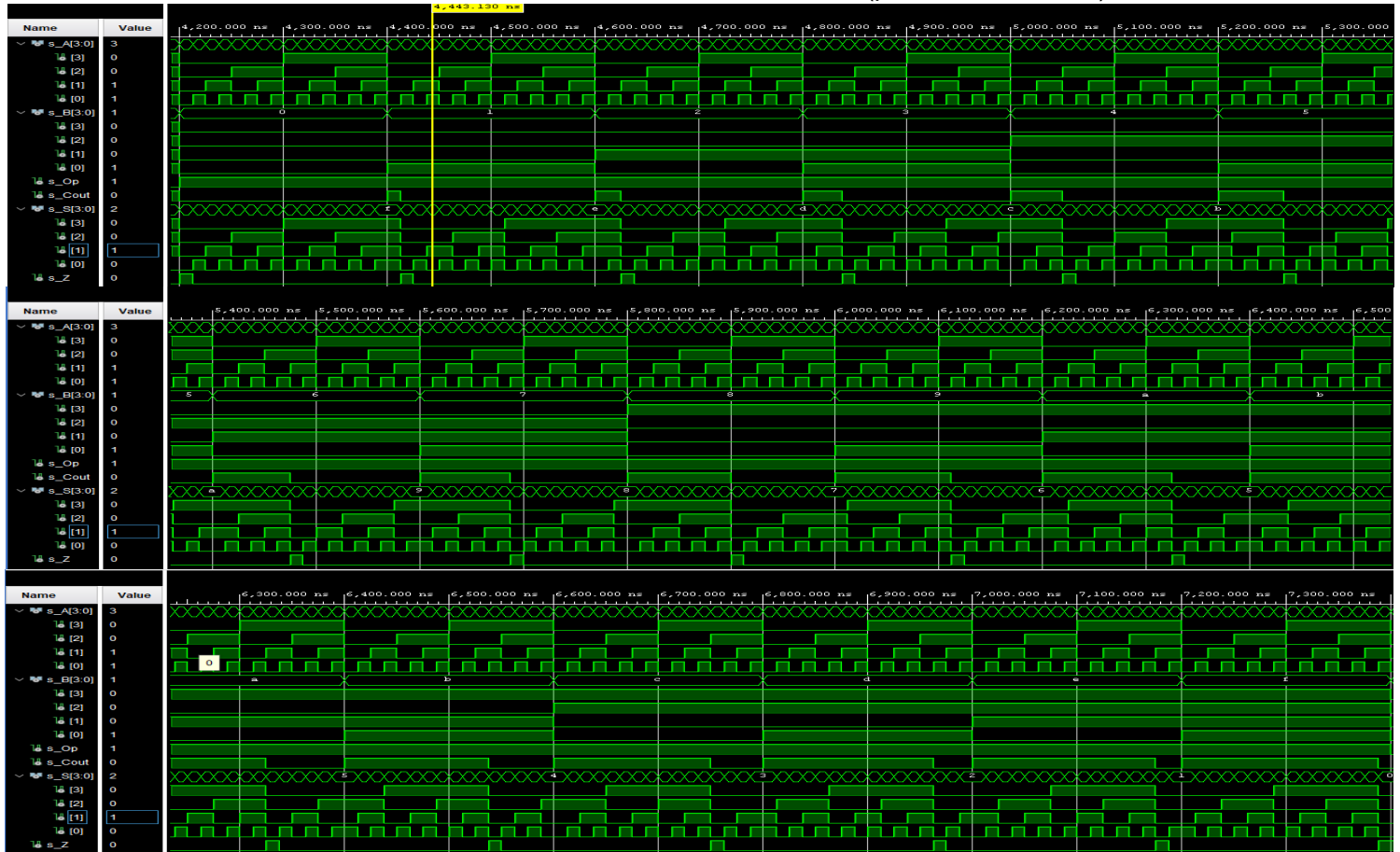
1- Simulation de l'additionneur complet 1 bit :



2- Simulation de l'additionneur et du soustracteur 4 bits (partie addition) :



3- Simulation de l'additionneur et du soustracteur 4 bits (partie soustraction) :



c) Observations et validation

1- Test exhaustif sur l'additionneur de 1 bit :

Nous avons validé le circuit de notre additionneur complet 1 bit par un test exhaustif. En effet, dans la simulation, l'entrée A change de 0 à 1 à chaque 12,5 ns, B change de 0 à 1 à chaque 25 ns et Cin change de valeur à chaque 50 ns dans la simulation. Ainsi, sur une période de 100ns, toutes les combinaisons possibles d'entrées sont testées. Dans cette optique, on remarque clairement que les valeurs de sorties enregistrées dans la simulation sont en accord avec les équations définissant le circuit l'additionneur complet de 1 bit pour toutes les combinaisons d'entrées possibles (table vérité respectée). Enfin, cela valide notre circuit additionneur complet 1 bit.

2- Test exhaustif sur l'additionneur/soustracteur complet de 4bits :

Nous avons validé le circuit de notre additionneur/soustracteur complet de 4bits par un test exhaustif. Tout d'abord, ce circuit est composé de 4 additionneur complet de 1 bit que l'on a déjà validé préalablement (3.c.1). Ensuite, nous avons testé toutes les combinaisons d'entrées possibles dans la simulation. En effet, les changements de 0 à 1 se font à chaque 12,5 ns pour A0, à chaque 25ns pour A1, à chaque 50 ns pour A2, à chaque 100 ns pour A3, à chaque 200 ns pour B0, à chaque 400 ns pour B1, à chaque 800 ns pour B2, à chaque 1600 ns pour B3 et à chaque 3200 ns pour Op. Ainsi, pour les 3200 premières nanosecondes, le circuit effectue l'addition de toutes les entrées possibles de A et B. Dans cette optique, sur les 200 premières nanosecondes, toutes les combinaisons possibles de A sont additionnées à B qui vaut zéro. La valeur de l'entrée B augmente de 1 à chaque 200 ns. Par conséquent, chaque valeur spécifique de l'entrée B (0 à 15) est additionnée à toutes les valeurs possibles de A. Après 3200 ns, le cycle recommence pour A et pour B, mais Op vaut 1. Cela signifie que le circuit effectue la soustraction. Enfin, en 6400 ns, toutes les combinaisons possibles sont testées dans la simulation. Par ce test exhaustif, on remarque que les valeurs des sorties respectives à chaque combinaison d'entrées sont en accord avec les équations définissant notre circuit (table de vérité respecté). Cela valide notre circuit.

3- Réponses aux questions

Question 1: Quelle méthode pourrait-on employer pour faire un test exhaustif pour notre additionneur/soustracteur ?

Nous pouvons faire un test exhaustif pour notre additionneur/soustracteur par la simulation de celui-ci à l'aide du logiciel Vivado. En effet, dans ce logiciel, nous pouvons forcer le changement de valeur chaque entrée du circuit en fonction du temps. Cela permet le test de toutes les combinaisons d'entrées possibles et la comparaison avec les valeurs de sorties. La méthode est expliquée plus exhaustivement dans la section 2. c) 2. du rapport.