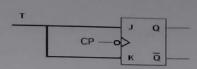
Nama: Hanan Askarim

NIM : L200180170

PRAKTIKUM F

#### Percobaan 1

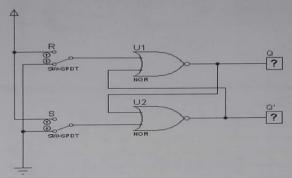


Gambar 7.8. Simbol T flip-flop

## KEGIATAN PRAKTIKUM

#### Percobaan 1. NOR Latch

 Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

			Output	
	S (Set)	R (Reset)	Q	Q'
1	0	1	0	1
2	0	0	1	0
3	1	0	1	0
4	0	0	1	0
5	1	1	0	0

- 3. Jawab pertanyaan berikut!
  - a. Apa yang akan terjadi jika kita berikan kondisi S = R = 0?

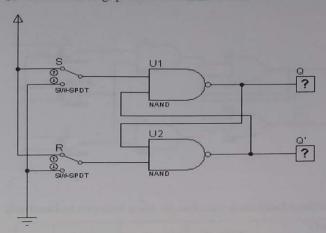
    OUTPUT bersitat mengingan memori, Sehinga menyimpan sebeluanya
  - b. Kenapakondisi S = R = 1 tidak diperbolehkan?

    Kerena baik gerbang nol den output yang sama-sama bernilai nol,

    dapat mematahkan persamaen logika Q = not Q

#### Percobaan 2. NAND Latch

 Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

		D (D 1)	Out	Output	
	S (Set)	R (Reset)	Q	Q'	
1	0	1	1	0	
2	1	1	1	0	
3	1	0	0	1	
4	1	1	0	1	
5	0	0	1	1	

- 3. Jawab pertanyaan berikut!
  - a. Apa yang akan terjadi jika kita berikan kondisi S = R = 1?

Error

b. Kenapakondisi S = R = 0tidak diperbolehkan?

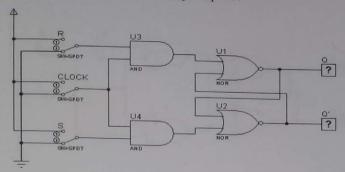
Kurena tidak sesuai dengan aturan konsep

4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan "Flip-flop dan latch digunakan sebagai elemen penyimpanan data":

RS	=	00	maka mengun	c) !	nilal output seb	plumnyo
RS	-	01	mengudah nilan	0	menjadi 1	
Ps	11	10	mengubah nila	10	menjadi 0	
0.	0	11	Kondisi terlar	209	menyebabkun erra	or

# Percobaan 3. Flip-Flop RS

1. Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	S (Set)	R (Reset)	CLOCK -	Output	
	3 (301)	K (Keset)	CLOCK	Q	$Q_{(t+1)}$
1	0	0	0	×	×
2	0	0	1	×	×
3	0	1	0	×	×
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	1	0
7	1	1	0	,	D
8	1	. 1	1	0	0

2	Larrich	pertanyaan	berilant
Э.	Jawau	Dertanyaan	DCI IKUL.

Apa yang akan terjadi jika kita beri kondisi S = R = 1 dan clock berubah dari 1 ke 0?

Error

Bagaimana kondisi diatas dapat terjadi?

Karena tidat sesua; att dengan aturan konsep

4. Jelaskan bagaimana Flip-flop RS bekerja!

RS = 0 0 mengubah nilai Output sebelumnyo

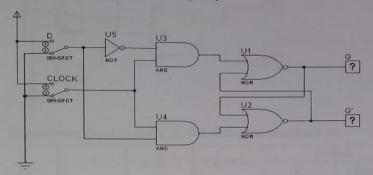
RS = 0 1 mengubah nilai O menjadi 1

RS = 1 0 mengubah nilai O menjadi 0

RS = 1 1 kondrsi terlarang yang menyababkan error

### Percobaan 4. Flip-Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	5	GI OCK	Out	put
	D CLOCK		Q	$Q_{(t+1)}$
1	0	0	$\times$	X
2	0	1	0	1
3	1	0	0	1
4	1	1	(	0
5	0	0	1	0
6	0	1	0	1
7	1	0	0	1
8	1	1	1	0

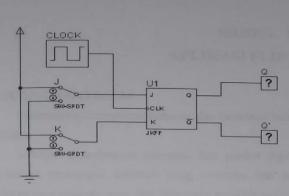
3. Jelaskan bagaimana Flip-flop D bekerja!

4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip-Flop SR!

UNLUH	mengatasi	Kondisi	terlarang	 

# Percobaan 5. Flip-Flop JK

 Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J K	v	CLOCK	Ou	itput
		CLOCK -	Q	$Q_{(t+1)}$	
1	0	0	0	0	1
2	0	0	1	0	1
3	0	1	0	0	1
4	0	1	1	0	1
5	1	0	0	0	1
6	1	0	1	(	0
7	1	1	0	1	0
8	- 1	1	1	L	D

3	Lawah	pertanyaan	berikut	ini
2.	Jawao	pertanyaan	OCHRUL	IIII

a.	Apa yang akan terjadi jika $J=K=0$ , dan clock rise up (change from 0 to 1)? nilai clock berubah-ubah petapi bidak merubah nilai $Q = Q(E+1)$	
	Apa yang akan terjadi jika $J = K = 1$ , dan clock rise up?	

4. Jelaskan bagaimana Flip-flop JK bekerja!

prinsip Kerja Jk Flip flop hampir sama dengan RS Flip-flop hampo seja Kondisi ferlarang sudah dihilangkan dan pada Kondisi fersebut Jk Flip flop dapat berubah menjadi Tanggung Flip flop