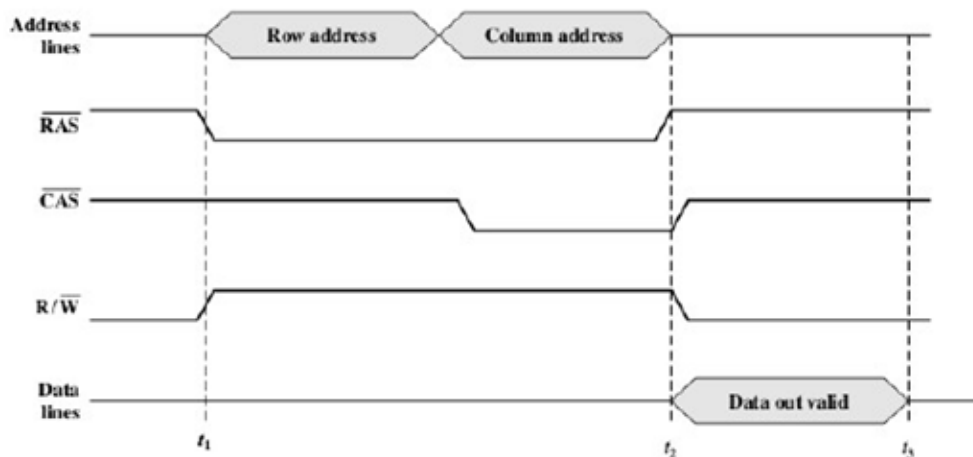


## “计算机组织结构” 作业 4 参考答案

1. 假设采用分散式刷新，下图表示一个 DRAM 经由总线的读操作的简化时序。存取时间认为是由  $t_1$  到  $t_2$ 。由  $t_2$  到  $t_3$  是刷新时间，此期间 DRAM 芯片必须再充电，然后处理器才能再次存取它们。



- a) 假定存取时间是 60ns，刷新时间是 40ns。问：存储周期是多少（单位：ns，精度：整数）？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少（单位 Mbps，精度：整数）？

$$T_c = 60\text{ns} + 40\text{ns} = 100\text{ns}$$

$$\text{数据传输率 } V = 1\text{bit}/100\text{ns} = 10\text{Mbps}$$

- b) 使用这些芯片构成一个 32 位宽的存储器系统，其产生的数据传输率是多少（单位 Mbps，精度：整数）？

$$V' = 32 \times V = 32 \times 10\text{Mbps} = 320\text{Mbps}$$

2. 已知某机主存容量为 64KB，按字节编址。假定用  $1\text{K} \times 4$  位的 DRAM 芯片构成该存储器，请问：

- a) 需要多少个这样的 DRAM 芯片？

$$N = 64\text{KB} / (1\text{K} \times 4\text{bit}) = 128$$

- b) 主存地址共多少位？哪几位用于选片？哪几位用于片内选址？

主存容量为 64KB，按字节寻址，所以寻址空间为  $64\text{K} = 2^{16}$ ，主存地址为 16 位。由于片内为 1K 个地址，所以低 10 位为片内地址，高  $16 - 10 = 6$  位用于选片。

**【注意】** 此处不能算为  $128 = 2^7$ ，所以高 7 位选片，低  $16 - 7 = 9$  位用于片内选址。因为片内的选址单元是 4 位，需要位扩展后才能按字节编址（整体上是字位扩展），即选片时都是同时选中 2 个芯片。

[卢苇，121250091]

3. 假定用  $8K \times 8$  位的 EPROM 芯片组成  $32K \times 16$  位的只读存储器，请问
- 数据寄存器（用于存放数据）最少应有多少位？  
**16 位，与每个寻址单元中数据的长度相同**
  - 地址寄存器（用于存放地址）最少应有多少位？  
寻址空间为  $32K=2^{15}$ ，所以最少为 **15 位**
  - 共需要多少个 EPROM 芯片？  
 $32K \times 16 / 8K \times 8 = \mathbf{8}$  个
4. 使用 32 个  $64K \times 1bit$  的 DRAM 芯片组成一个  $256K \times 8bit$  的存储器。
- 若采用集中刷新方式，则存储器刷新一遍最少用多少次刷新操作？  
 $64K \times 1bit$  的 DRAM 由  $256 \times 256$  的位元阵列组成，即每个芯片有 256 行、256 列的位元阵列。集中式刷新按行刷新，因此需要用 **256 次刷新操作**。
  - 若采用异步刷新方式，每单元刷新间隔不超过 2ms，则生成的刷新信号的间隔时间最长是多少？（保留一位小数，单位为  $\mu s$ ）  
 $2ms/256 \approx \mathbf{7.8\mu s}$
  - 若改用  $16K \times 4bit$  的 DRAM 芯片构成上述  $256K \times 8bit$  的存储器，则以集中式刷新一遍所有单元需要多少次刷新操作？  
 $16K \times 4bit$  的 DRAM 芯片由 4 个  $128 \times 128$  的位元阵列组成，这 4 个存储阵列中行号相同的那些行将被同时刷新，共有 128 行，因此需要 **128 次刷新操作**。
5. 某计算机的主存地址空间大小为 64KB，按字节编址，已配有 0000H~7FFFH 的 ROM 区
- 若再用  $8K \times 4bit$  的 RAM 芯片填补剩余的地址空间，需要多少个这样的芯片？  
0000H~7FFFH 占用 32KB 的地址空间，余下 32KB 需要用 RAM 填充，因此需要  $32K \times 8bit / (8K \times 4bit) = \mathbf{8}$  个芯片。
  - 假定将该计算机的主存地址空间升级为 16MB，ROM 去地址范围还是 000000H~007FFFH，剩下的所有地址空间都用  $8K \times 4bit$  的 RAM 芯片配置，需要多少个这样的芯片？  
RAM 区大小为  $16MB - 32KB = 512 \times 32KB - 32KB = 511 \times 32KB$ ，因此需要  $511K \times 32 \times 8bit / (8K \times 4bit) = \mathbf{4088}$  个芯片。

[罗瑞航, 201250117]

6. 【2011 统考真题】下列各类存储器中，不采用随机存取方式的是（ ）。
- EPROM
  - CD-ROM
  - DRAM
  - SRAM

**B**

随机存取是指 CPU 可对存储器的任一存储单元中的内容随机存取，而且存取时间与存储单元的物理位置无关。A、C 和 D 均采用随机存取方式，CD-ROM 即光盘，采用串行存取方式。注意，CD-ROM 是只读型光盘存储器，其访问方式是顺序访问，不属于只读存储器 ROM。

7. 【2010 统考真题】下列有关 RAM 和 ROM 的叙述中，正确的是（ ）。

- I. RAM 是易失性存储器，ROM 是非易失性存储器
  - II. RAM 和 ROM 都采用随机存取方式进行信息访问
  - III. RAM 和 ROM 都可用作 Cache
  - IV. RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II  
B. 仅 II 和 III  
C. 仅 I、II 和 III  
D. 仅 II、III 和 IV

A

一般 Cache 采用高速的 SRAM 制作，比 ROM 的速度快很多，因此 III 错误。动态 RAM 需要刷新，而 ROM 不需要刷新，因此 IV 错误。

8. 【2012 统考真题】下列关于闪存的叙述中，错误的是（ ）。

- A. 信息可读可写，并且读、写速度一样快
- B. 存储元由 MOS 管组成，是一种半导体存储器
- C. 掉电后信息不丢失，是一种非易失性存储器
- D. 采用随机访问方式，可替代计算机外部存储器

A

闪存是 E<sup>2</sup>PROM 的进一步发展，可读可写，用 MOS 管的浮栅上有无电荷来存储信息。闪存依然是 ROM 的一种，写入时必须先擦除原有数据，因此写速度比读速度要慢不少(硬件常识)。闪存是一种非易失性存储器，它采用随机访问方式。现在常见的 SSD 固态硬盘，它由 Flash 芯片组成。

9. 【2014 统考真题】某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是（ ）。

- A. 19  
B. 22  
C. 30  
D. 36

A

4M×8 位的芯片数据线应为 8 根，地址线应为  $\log_2 4M = 22$  根，而 DRAM 采用地址复用技术，地址线是原来的 1/2，且地址信号分行、列两次传送。地址线数为  $22/2 = 11$  根，所以

地址引脚与数据引脚的总数为  $11 + 8 = 19$  根，选 A。此题需要注意 DRAM 采用的是传两次地址的策略，所以地址线为正常的一半，这是很多考生容易忽略的地方。

10. 【2015 统考真题】下列存储器中，在工作期间需要周期性刷新的是（ ）。

- A. SRAM
- B. SDRAM
- C. ROM
- D. Flash

B

DRAM 使用电容存储，所以必须隔一段时间刷新一次，若存储单元未被刷新，则存储的信息就会丢失。SDRAM 表示同步动态随机存储器。

11. 【2015 统考真题】某计算机使用四体交叉编址存储器，假定在存储器总线上出现的主存地址(十进制)序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000，则可能发生访问冲突的地址对是（ ）。

- A. 8004 和 8008
- B. 8002 和 8007
- C. 8001 和 8008
- D. 8000 和 8004

D

每个访存地址对应的存储模块序号（0，1，2，3）如下所示：

访存地址	8005	8006	8007	8008	8001	8002	8003	8004	8000
模块序号	1	2	3	0	1	2	3	0	0

其中，模块序号 = 访存地址 % 存储器交叉模块数。

判断可能发生访问冲突的规则如下：给定的访存地址在相邻的四次访问中出现在同一个存储模块内。据此，根据上表可知 8004 和 8000 对应的模块号都为 0，即表明这两次的访问出现在同一模块内且在相邻的访问请求中，满足发生冲突的条件。

12. 【2017 统考真题】某计算机主存按字节编址，由 4 个 64M×8 位的 DRAM 芯片采用交叉编址方式构成，并与宽度为 32 位的存储器总线相连，主存每次最多读写 32 位数据。若 double 型变量 x 的主存地址为 804 001AH，则读取 x 需要的存储周期数是（ ）。

- A. 1
- B. 2
- C. 3
- D. 4

C

由 4 个 DRAM 芯片采用交叉编址方式构成主存可知主存地址最低二位表示该字节存储的芯片编号。double 型变量占 64 位，8 个字节，它的主存地址 804 001AH，最低二位是 10，

说明它从编号为 2 的芯片开始存储（编号从 0 开始）。一个存储周期可以对所有芯片各读取一个字节，因此需要 3 轮。

13. 【2009 统考真题】某计算机主存容量为 64KB，其中 ROM 区为 4KB，其余为 RAM 区，按字节编址。现要用  $2K \times 8$  位的 ROM 芯片和  $4K \times 4$  位的 RAM 芯片来设计该存储器，需要上述规格的 ROM 芯片数和 RAM 芯片数分别是（ ）。

- A. 1, 15
- B. 2, 15
- C. 1, 30
- D. 2, 30

**D**

首先确定 ROM 的个数, ROM 区为 4KB, 选用  $2K \times 8$  位的 ROM 芯片, 需要  $(4K \times 8) / (2K \times 8) = 2$  片, 采用字扩展方式; 60KB 的 RAM 区, 选用  $4K \times 4$  位的 RAM 芯片, 需要  $(60K \times 8) / (4K \times 4) = 30$  片, 采用字和位同时扩展的方式。

14. 【2010 统考真题】假定用若干  $2K \times 4$  位的芯片组成一个  $8K \times 8$  位的存储器, 则地址 0B1FH 所在芯片的最小地址是（ ）。

- A. 0000H
- B. 0600H
- C. 0700H
- D. 0800H

**D**

用  $2K \times 4$  位的芯片组成一个  $8K \times 8$  位存储器, 每行中所需芯片数为 2, 每列中所需芯片数为 4, 各行芯片的地址分配如下:

第一行 (2 个芯片并联): 0000H ~ 07FFH

第二行 (2 个芯片并联): 0800H ~ 0FFFH

第三行 (2 个芯片并联): 1000H ~ 17FFH

第四行 (2 个芯片并联): 1800H ~ 1FFFH

可知, 地址 0B1FH 在第二行, 且所在芯片的最小地址为 0800H。

15. 【2011 统考真题】某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用  $4M \times 8$  位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是（ ）。

- A. 22 位
- B. 23 位
- C. 25 位
- D. 26 位

**D**

主存按字节编址, 地址空间大小为 64MB, MAR 的寻址范围为  $64M = 2^{26}$ , 因此是 26 位。

实际的主存容量 32MB 不能代表 MAR 的位数，考虑到存储器扩展的需要，MAR 应保证能访问到整个主存地址空间，反过来，MAR 的位数决定了主存地址空间的大小。

16. 【2016 统考真题】某存储器容量为 64KB，按字节编址，地址 4000H ~ 5FFFH 为 ROM 区，其余为 RAM 区。若采用 8K×4 位的 SRAM 芯片进行设计，则需要该芯片的数量是 ( )。

A. 7  
B. 8  
C. 14  
D. 16

C

5FFF - 4000 + 1 = 2000H，即 ROM 区容量为  $2^{13}B = 8KB$  ( $2000H = 2 \times 16^3 = 2^{13}$ )，RAM 区容量为 56KB ( $64KB - 8KB = 56KB$ )。需要 8K×4 位的 SRAM 芯片的数量为 14 ( $56KB / 8K \times 4 \text{ 位} = 14$ )。

17. 【2018 统考真题】假定 DRAM 芯片中存储阵列的行数为 r、列数为 c，对于一个 2K×1 位的 DRAM 芯片，为保证其地址引脚数最少，并尽量减少刷新开销，则 r、c 的取值分别是 ( )。

A. 2048, 1  
B. 64, 32  
C. 32, 64  
D. 1, 2048

C

根据 DRAM 的结构和原理可知，在分时复用的情况下，芯片引脚个数取决于行地址线和列地址线中的较大值，对于一个 2K×1 位的 DRAM 芯片，总共需要 11 条地址线，只有当一个取 5，一个取 6 时可使管脚数最小，而 DRAM 的刷新开销取决于行数，因此行地址线应该为 5、列地址线为 6，即行数  $2^5=32$ ，列数为  $2^6=64$ 。

18. 【2021 统考真题】某计算机的存储器总线中有 24 位地址线和 32 位数据线，按字编址，字长为 32 位。如果 00 0000H ~ 3F FFFFH 为 RAM 区，那么需要 512K×8 位的 RAM 芯片数为 ( )。

A. 8  
B. 16  
C. 32  
D. 64

C

000000 ~ 3FFFFFFF，共有 3FFFFFFH - 000000H + 1H = 400000H =  $2^{22}$  个地址，按字编址，字长为 32 位 (4B)，因此 RAM 区大小为  $2^{22} \times 4B = 2^{22} \times 32\text{bit}$ 。每个 RAM 芯片的容量为

$512\text{K} \times 8\text{bit} = 2^{19} \times 8\text{bit}$ , 所以需要 RAM 芯片的数量为  $(2^{22} \times 32\text{bit}) / (2^{19} \times 8\text{bit}) = 32$ 。