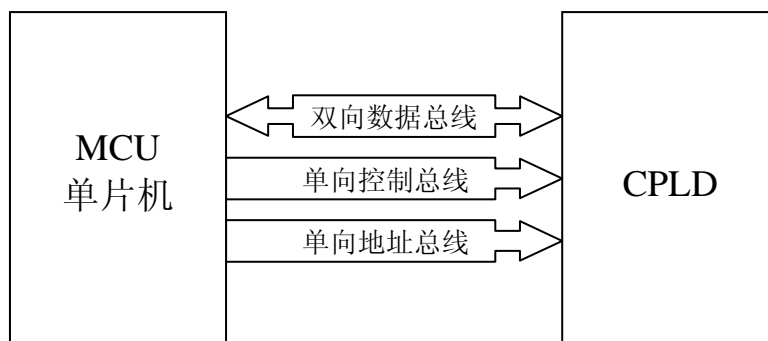


单片机与复杂可编程 CPLD 器件的接口设计

一、基于总线结构的接口设计

单片机与 CPLD 之间的三总线结构，如下图所示：

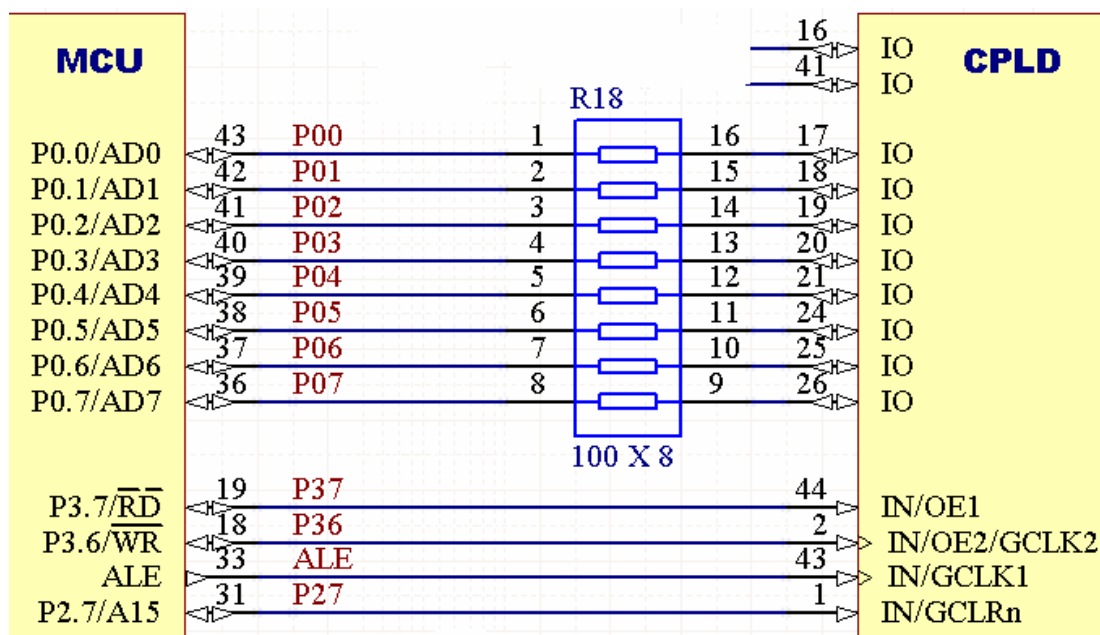
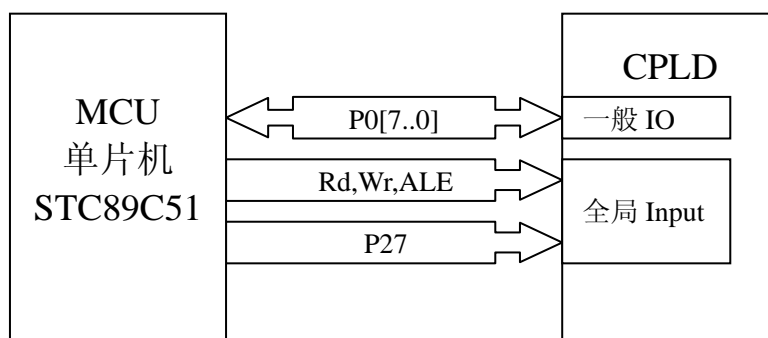


二、实际电路连接

双向数据总线即单片机 P0 口，该 P0 口同 CPLD 的 IO 口之间通过 100 欧电阻匹配连接，解决电路设计不合理时带来的实验板安全问题。

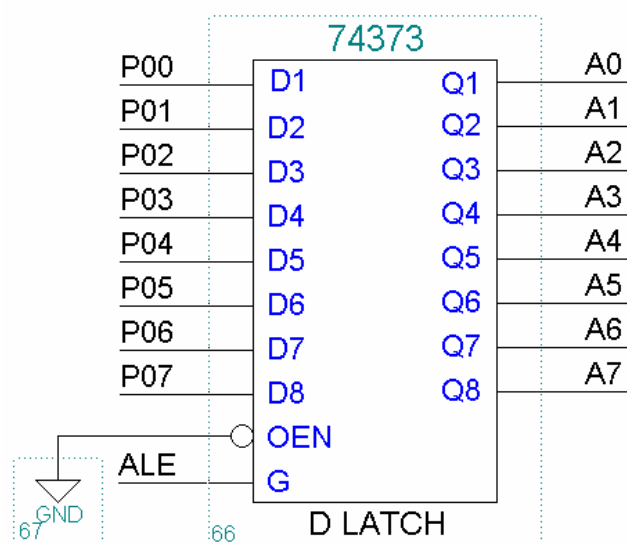
单向控制总线包括读写控制输出 Rd 和 Wr，地址锁存信号 ALE (AddressLockEnable)。

单向地址总线选择了 16 位地址最高位 P27，以便单片机系统实现统一编址。

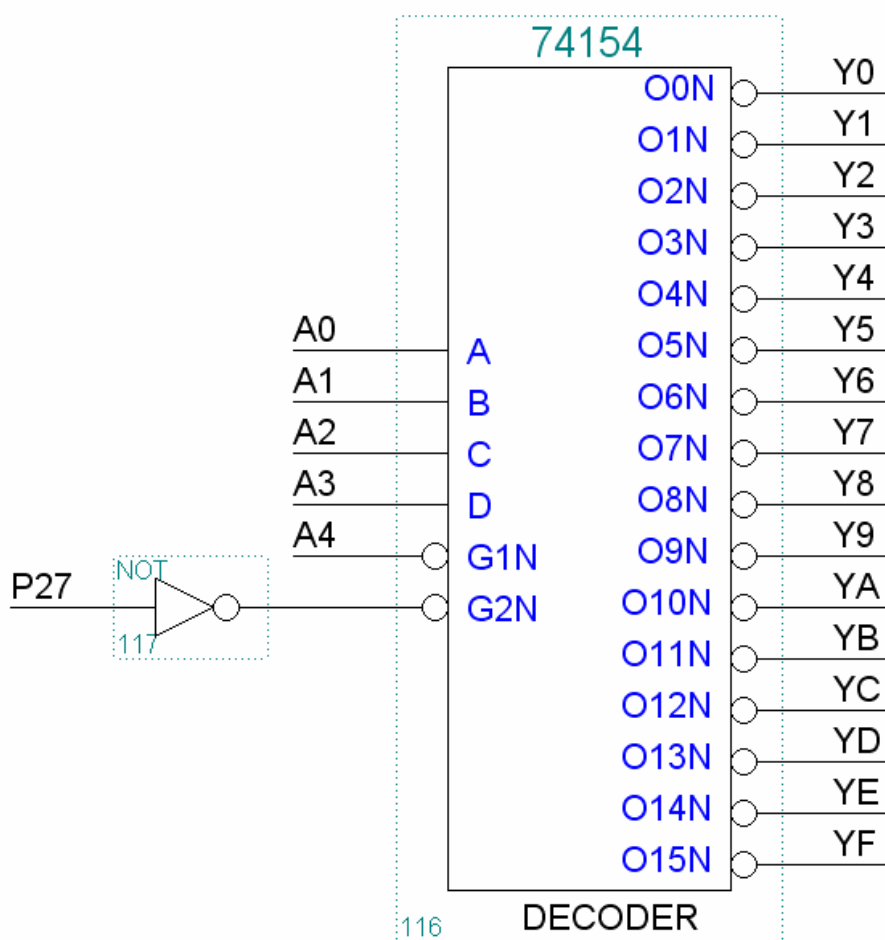


三、地址锁存，译码与统一编址

单片机低 8bit 地址锁存，同样采用 ALE 信号加地址锁存器 74373 模式
电路图：



地址译码：

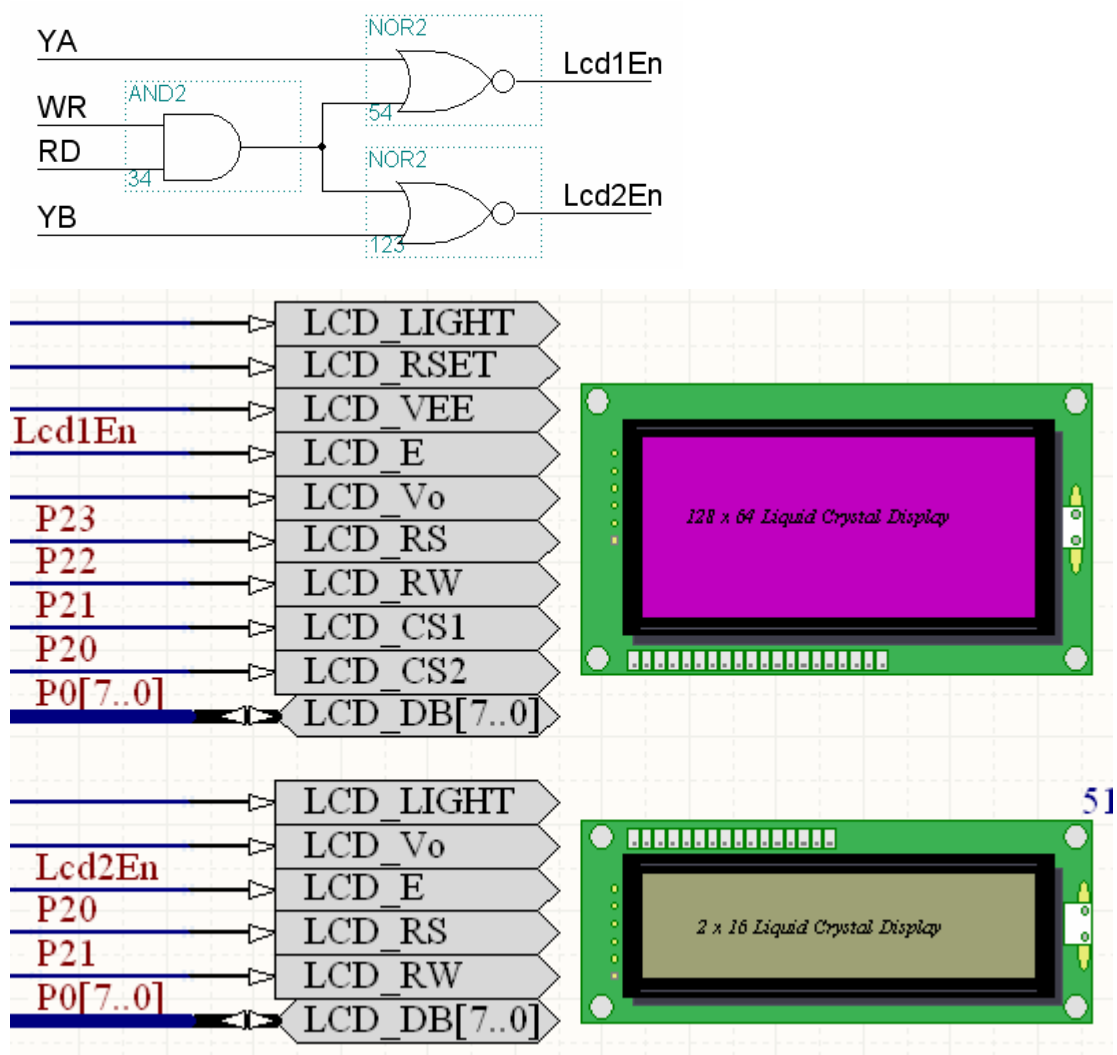


编址:

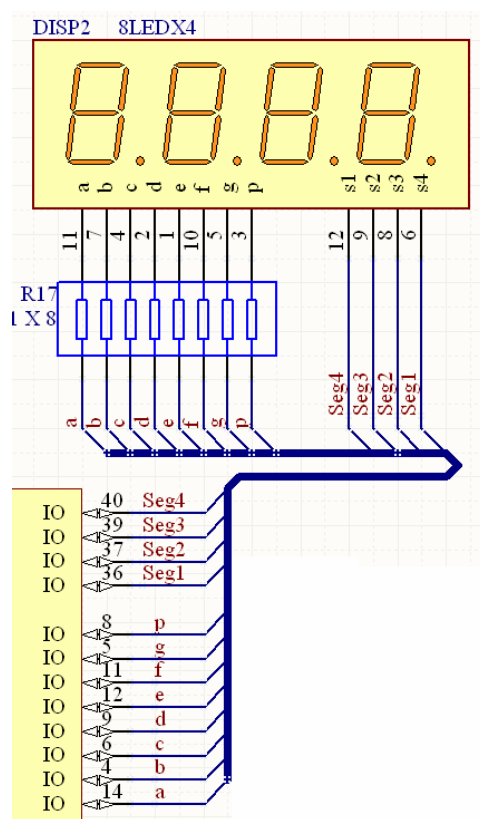
驱动对象	电路设计	无关位为“x”
LCD 使能 12864-YA 1602-YB		16'b 1xxx-xxxx-xxx0-1010 典型地址: (x = 1) 0xffea (x = 0) 0x800a 16'b 1xxx-xxxx-xxx0-1011 典型地址: (x = 1) 0xffeb (x = 0) 0x800b
数码管显示缓冲寄存器 1 YD		16'b 1xxx-xxxx-xxx0-1100 典型地址: 0xffec,0x800c
数码管显示缓冲寄存器 2 YE		16'b 1xxx-xxxx-xxx0-1101 典型地址: 0xffed,0x800d
数码管显示缓冲寄存器 3 YF		16'b 1xxx-xxxx-xxx0-1110 典型地址: 0xffee,0x800e
键盘输入 YD		16'b 1xxx-xxxx-xxx0-1111 典型地址: 0xffef,0x800f
IO1	Y0	16'b 1xxx-xxxx-xxx0-0000
IO2	Y1	16'b 1xxx-xxxx-xxx0-0001
IO3	Y2	16'b 1xxx-xxxx-xxx0-0010
IO4	Y3	16'b 1xxx-xxxx-xxx0-0011
IO5	Y4	16'b 1xxx-xxxx-xxx0-0100
IO6	Y5	16'b 1xxx-xxxx-xxx0-0101
预留	Y6	16'b 1xxx-xxxx-xxx0-0110
预留	Y7	16'b 1xxx-xxxx-xxx0-0111
预留	Y8	16'b 1xxx-xxxx-xxx0-1000
预留	Y9	16'b 1xxx-xxxx-xxx0-1001
预留	YA	16'b 1xxx-xxxx-xxx0-1010

四、电路设计

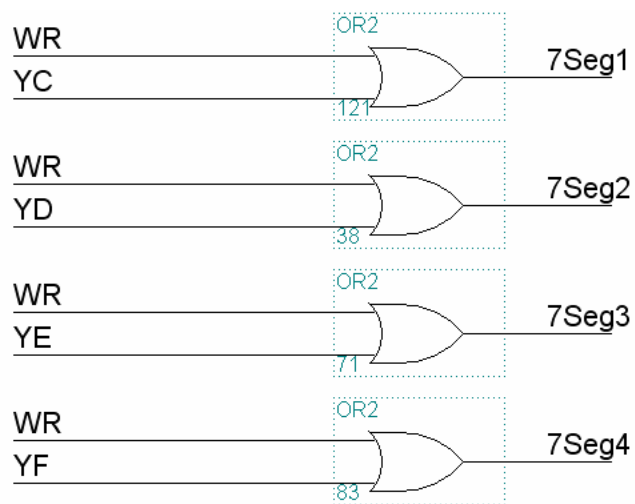
1、LCD 总线接口设计

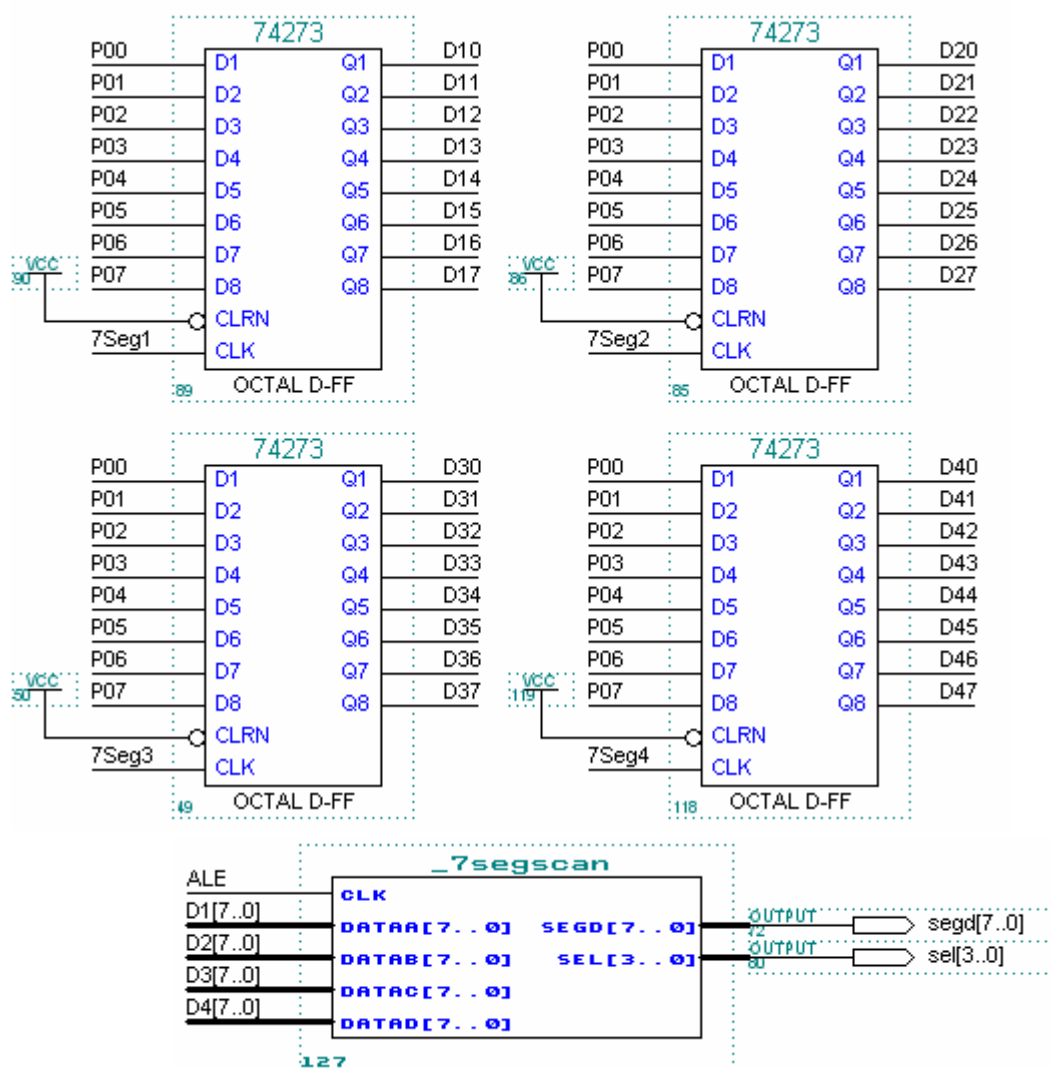


2、数码管接口设计



硬件电路





CPLD 内部电路

其中 7segscan 模块采用 VerilogHDL 语言描写

```

_7segscan(clk,dataA,dataB,dataC,dataD,segd,sel);
input [7:0]dataA;
input [7:0]dataB;
input [7:0]dataC;
input [7:0]dataD;
input clk;
output [7:0]segd;
output [3:0]sel;

reg [7:0]segd;
reg [3:0]sel;
reg [1:0]i;

always@(posedge clk)
begin
    i<=i+1;
    case(i)
        0:begin segd=dataA;sel=8;end
        1:begin segd=dataB;sel=4;end
        2:begin segd=dataC;sel=2;end
        3:begin segd=dataD;sel=1;end
        default:begin segd=8'bx;sel=0;end
    endcase
end
endmodule

```