

# PROJEKTBERICHT - HSC

Hannes Bachl

## FPGA basierter BPSK/QPSK Empfänger

22.02.2024

Fakultät:	Elektro- und Informationstechnik
Studiengang:	Bachelor Elektro- und Informationstechnik
Betreuung:	Prof. Dr.-Ing. Florian Aschauer

## Erklärung

1. Mir ist bekannt, dass dieses Exemplar der Projektbericht - HSC als Prüfungsleistung in das Eigentum der Ostbayerischen Technischen Hochschule Regensburg übergeht.
2. Ich erkläre hiermit, dass ich diese Projektbericht - HSC selbstständig verfasst, noch nicht anderweitig für Prüfungszwecke vorgelegt, keine anderen als die angegebenen Quellen und Hilfsmittel benutzt sowie wörtliche und sinngemäße Zitate als solche gekennzeichnet habe.

---

Ort, Datum und Unterschrift

Vorgelegt durch: Hannes Bachl  
Matrikelnummer: 3321274  
Studiengang: Bachelor Elektro- und Informationstechnik  
Betreuung: Prof. Dr.-Ing. Florian Aschauer

## Vorwort

Inhalt dieser Projektarbeit ist die Erstellung eines einfachen Software defined radio zum Empfang eines **QPSK** oder **BPSK** modulierten Signales. Als Basis kommt hier ein Field-programmable gate array mit angeschlossenem externen Analog-to-digital converter zum Einsatz.

Hauptaugenmerk soll dabei auf der eigenen Umsetzung der für ein **SDR** notwendigen Signalverarbeitungsalgorithmen sowie den Kommunikationsstrukturen, welche benötigt werden um einer Central Processing Unit die Steuerung der umgesetzten Schaltung zu ermöglichen, liegen.

Das Projekt soll als grundlegende Basis für, ein eventuell später noch umzusetzendes, komplexeres **SDR** dienen und ist deswegen, wo möglich, flexibel gestaltet.

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Anforderungen . . . . .	1
1.2	Auswahl der Hardware-Komponenten . . . . .	2
	<b>Abkürzungsverzeichnis</b>	<b>B</b>
	<b>Abbildungsverzeichnis</b>	<b>C</b>
	<b>Tabellenverzeichnis</b>	<b>D</b>

# 1 Einleitung

Inhalt dieses Projektes ist die Erstellung eines **SDR**, wobei ein **FPGA** als Plattform dienen soll. Der **FPGA**-Logikteil soll weiterhin von einem Rechenkern, für die weitere Datenverarbeitung, unterstützt werden.

Da es sich um ein Lernprojekt handelt soll der Fokus, bei der Erstellung der **FPGA**-Schaltung, auf der selbständigen Erstellung aller Signal verarbeitenden Blöcke liegen. Komplexe Blöcke welche für die Kommunikation mit dem Rechesystem benötigt wurden (z.B. *AXI-Infrastruktur*) wurden aus Zeitgründen nicht selbst erstellt, sondern das vorhandene IP des **FPGA**-Herstellers verwendet.

## 1.1 Anforderungen

Zu beginn des Projektes wurde mit der Festlegung der Anforderungen an des Gesamtsystem begonnen, um so die notwendigen Hardware- und Logikkomponenten richtig auslegen zu können.

Dabei wurden die folgende Anforderungen an das System definiert:

### 1. Unterstützung der Verwendung eines extern **ADC**

- 1.1. Abtastfrequenz von mindestens 100 MHz [ $f_A > 100 \text{ MHz}$ ].
- 1.2. Datenbreite soll 16 bit betragen [ $w_{adc} = 16$ ]
- 1.3. Externer anti-Alias Filter notwendig und Abtastung in der ersten Nyquist-Zone.

### 2. Digitale Abwärtsmischung in das Basisband

- 2.1. Eingangssignal im Frequenzbereich 1 MHz bis 20 MHz. [ $f_s \in [1 \text{ MHz}; 20 \text{ MHz}]$ ]
- 2.2. Interner Numerically Controlled Oscillator wobei die Frequenz im Frequenzbereich variable verstellbar sein soll
- 2.3. Interner komplexer Mischer mit  $w_{adc}$ -Breitem  $I/Q$  Signal am Ausgang
- 2.4. Dezimierungsfilter mit, zum Synthesezeitpunkt einstellbaren, variablen Dezimierungsverhältnis

### 3. Carrier-Tracking für **BPSK/QPSK** Signale

- 3.1. Interner Phasen-Komparator mit folgendem Regler zum konditionieren des lokalen Oszillators.
- 3.2. Modulation (**BPSK/QPSK**) soll zur Laufzeit wechselbar sein.

- 3.3. Als Regler soll ein *PID*-Regler mit, zur Laufzeit einstellbaren Koeffizienten, sein.
- 3.4. Das Carrier-Tracking soll Abschaltbar sein und nur aktiv sein wenn das Eingangssignal eine gewisse Amplitude aufweist.

#### 4. Kommunikation mit dem Rechenkern

- 4.1. Ein Rechenkern soll die **FPGA**-Schaltung verwalten und die weitere Verarbeitung der Nutzdaten übernehmen.
- 4.2. Die Steuerung der einzelnen Module soll der Rechenkern über eine **AXI**-Lite Registerbank vornehmen.
- 4.3. Die gemischten und dezimierten Nutzdaten sollen via Direct Memory Access-Controller dem Rechenkern zur Verfügung gestellt werden.

## 1.2 Auswahl der Hardware-Komponenten

Nach Festlegung der Anforderungen wurde die für die Umsetzung notwendige Hardware ausgewählt.

Aufgrund der Anforderung 4.1 sowie ist es notwendig einen **FPGA** mit eingeschlossenen **CPU**-Kernen auszuwählen.

Die Wahl fiel hier aus Kostengrund und da Know-How sowie die notwendige Tool-Umgebung bereits vorhanden war auf die Zynq-7000 **APSoC** Serie des Herstellers Xilinx. Es handelt sich dabei um eine **FPGA**-Fabric der Xilinx 7-Series (*PL, Programmable-Logic*) mit angeschlossenem Dual-Core ARM Cortex-A9 (*PS, Processing-System*).

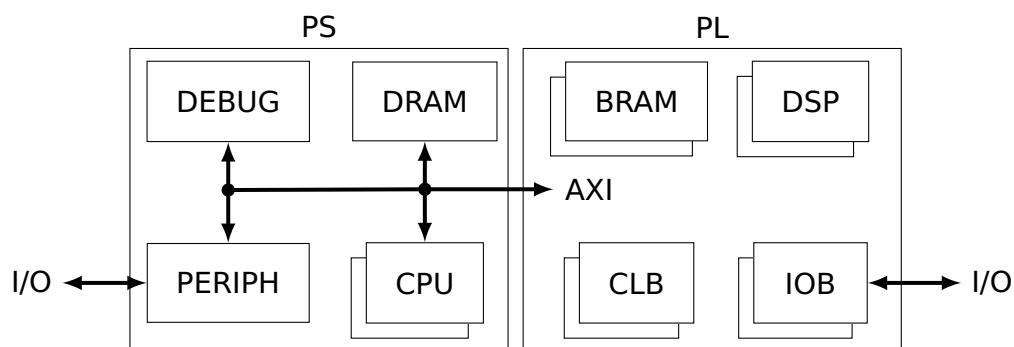


Abbildung 1.1: Struktur des verwendeten Zynq-7000 **FPGA**

Die in der **FPGA**-Fabric (PL-Teil) vorhandenen Logic-Ressourcen (**BRAM**, **CLB**, **IOB**, **DSP-Slices**) werden gemäß des noch zu erstellenden **FPGA**-Designs verdrahtet und am Ende mit dem **AXI**-Bus des Rechensystemes (PS-Teil) verbunden.

Da der **FPGA** mit **ADC** Modul selbst beschafft und bezahlt wird war hier vor allem der Preis ausschlaggebend. Die Wahl fiel hier auf ein Eclipse Z7 Board der Firma Digilent.

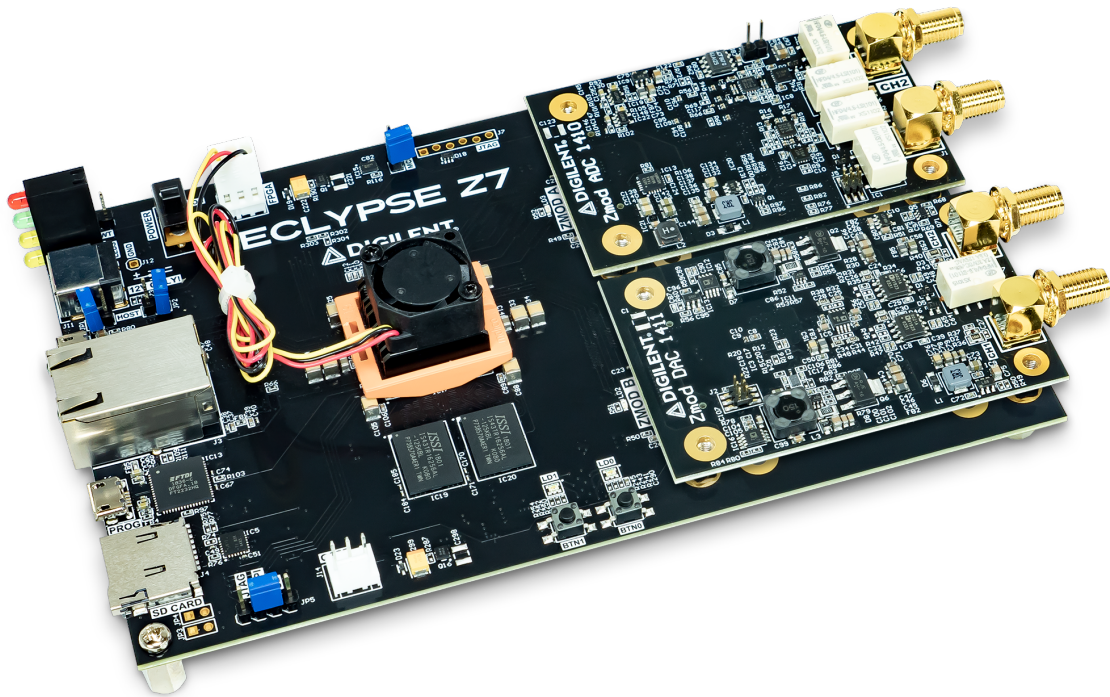


Abbildung 1.2: Bild des Eclipse-Z7 mit ADC und DAC. ©Digilent Inc.

Hauptgrund für die Auswahl dieses Boards ist der, im Vergleich zu anderen FPGA Mezzanine Card (FMC) basierten Boards, relativ günstige Preis, sowie das Vorhandensein von vielen IP-Cores der Firma Digilent welche die Ansteuerung der einzelnen Hardware-Komponenten vereinfachen und dem großen Umfang von verfügbaren Referenzmaterialien.

Der von dem Board verwendete **ADC** erfüllt alle gestellten Anforderungen[?].

# Literaturverzeichnis

- [1] Leslie Lamport. *LaTeX: a Document Preparation System*. Addison Wesley, Massachusetts, 2 edition, 1994.



# Abkürzungsverzeichnis

**FPGA** Field-programmable gate array  
**SDR** Software defined radio  
**ADC** Analog-to-digital converter  
**BPSK** Binary Phase-Shift Keying  
**QPSK** Quadratur Phase-Shift Keying  
**CPU** Central Processing Unit  
**NCO** Numerically Controlled Oscillator  
**AXI** Advanced eXtensible Interface  
**DMA** Direct Memory Access  
**APSoC** All programmable System on a Chip  
**BRAM** Block random access memory  
**CLB** Configurable logic block  
**DSP** Digital Signal Processing  
**IOB** Input/Output-Buffer

# Abbildungsverzeichnis

1.1 Struktur des verwendeten Zynq-7000 FPGA . . . . . 2

1.2 Bild des Eclypse-Z7 mit ADC und DAC. ©Digilent Inc. . . . . 3

# Tabellenverzeichnis