

4-bit binary Adder-Subtractor

班級：電資三

姓名：許瀚允

學號：111820021

基本理論

4-bit 二進制加減法器 (Adder-Subtractor) 是一種可以實現二進制加法和減法的數字電路。它的基本原理是利用模擬二進制運算的位操作，同時藉助控制信號來切換加法與減法操作。以下是其基本工作原理：

基本組成部分：

1. 4 個全加器 (Full Adder)：

- 每個全加器可以對兩個一位二進制數 (A 和 B)，以及來自低位的進位位 (Carry) 進行運算，輸出一位的和 (Sum) 和一位的進位 (Carry-out)。

2. 補碼的應用：

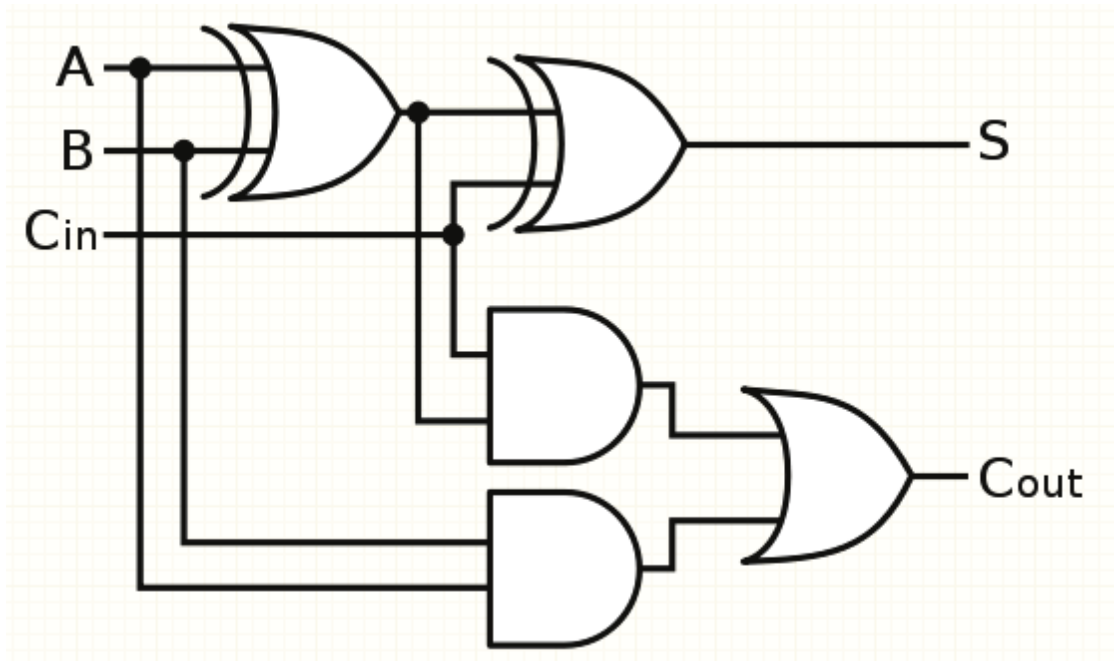
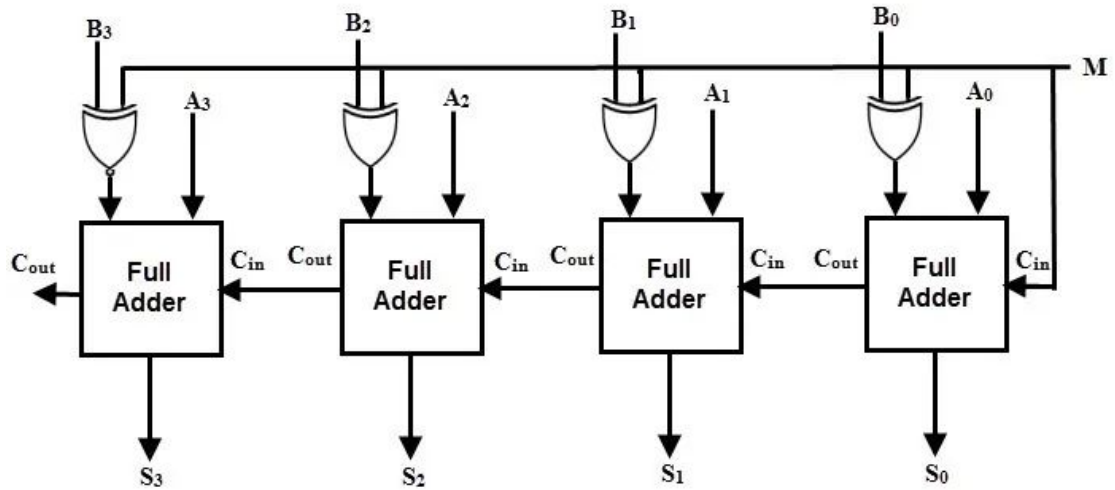
- 減法操作通常通過將被減數 (B) 的補碼與加數 (A) 相加實現。
- B 的補碼可以通過按位取反 (NOT 操作) 再加 1 實現。

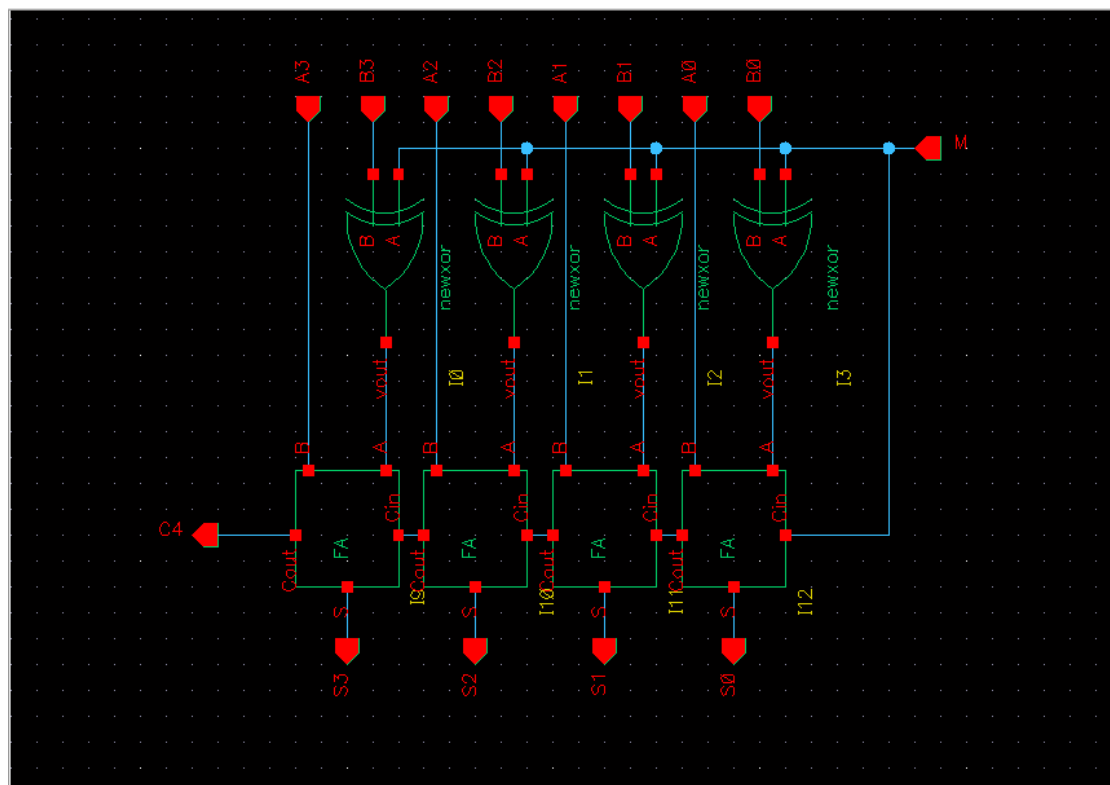
3. 控制信號 (Mode)：

- 一個額外的控制信號，用來切換加法和減法模式。
- 當 $\text{Mode} = 0$ 時，電路執行加法操作；
- 當 $\text{Mode} = 1$ 時，電路執行減法操作。
-

VLSI 電路架構設計

(Schematic Diagram)





元件與功能

1. 全加器 (Full Adder):

- 每個全加器有三個輸入：兩個操作數位 A_i 和 B_i ，以及來自前一級的進位 C_{in} 。
- 輸出為一個總和位 S_i 和一個進位 C_{out} 。

2. XOR 閘:

- 控制 B 的進位是否反轉。
- 如果 $M=0$ ：執行加法，輸入 B_i 保持不變。
- 如果 $M=1$ ：執行減法，輸入 B_i 會取反（即 $B_i' = \neg B_i$ $\oplus M$ ），並在最初進位 C_{in} 加上 1（代表二補數減法的實現）。

3. 進位鏈 (Carry Chain):

- 每個全加器的 C_{out} 作為下一級的 C_{in} ，形成一個進位鏈。

4. 輸出:

- S_i ：計算結果的每一位。
- C_{out} ：最高位的進位。

操作流程

1. 加法 ($M=0$):

- 直接將 A 和 B 傳入全加器，並計算 $A + B$ 。

2. 減法 ($M=1$):

- B 的每一位會進行反轉 ($B_i' = B_i \oplus M$)，模擬二補數表示。
- 起始進位 $C_{in}=1$ ，以完成 $A - B$ 的運算。

架構設計的 VLSI 特性

1. 模組化設計:

- 使用 4 個全加器模組，每個模組可設計為標準化的邏輯單元。

2. 運算延遲:

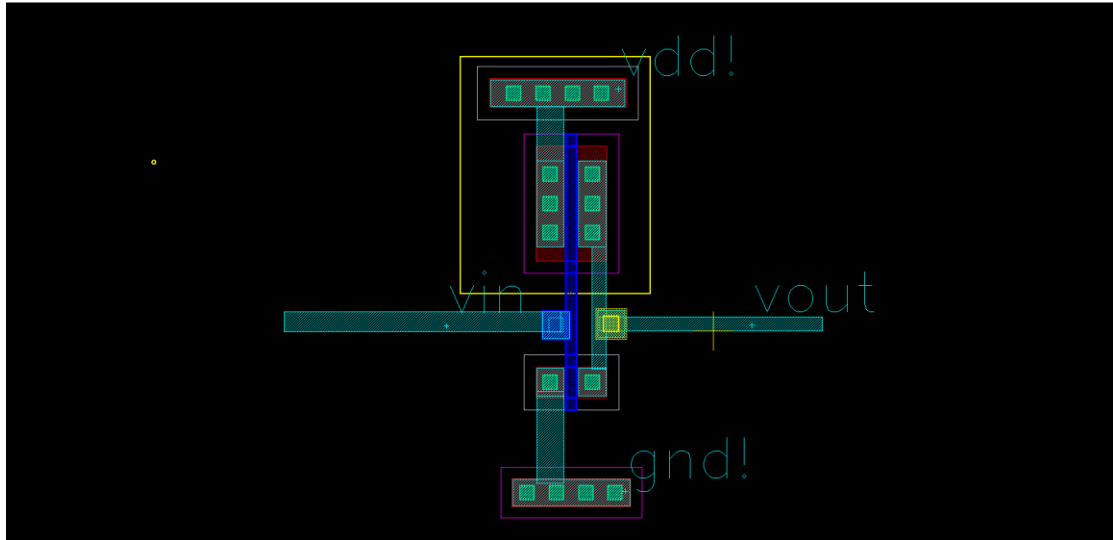
- 因為使用了進位鏈，計算延遲會與位元數成線性關係。
- 可考慮進位跳躍 (Carry-Lookahead) 方法來優化延遲。

3. 控制訊號 M 的實現:

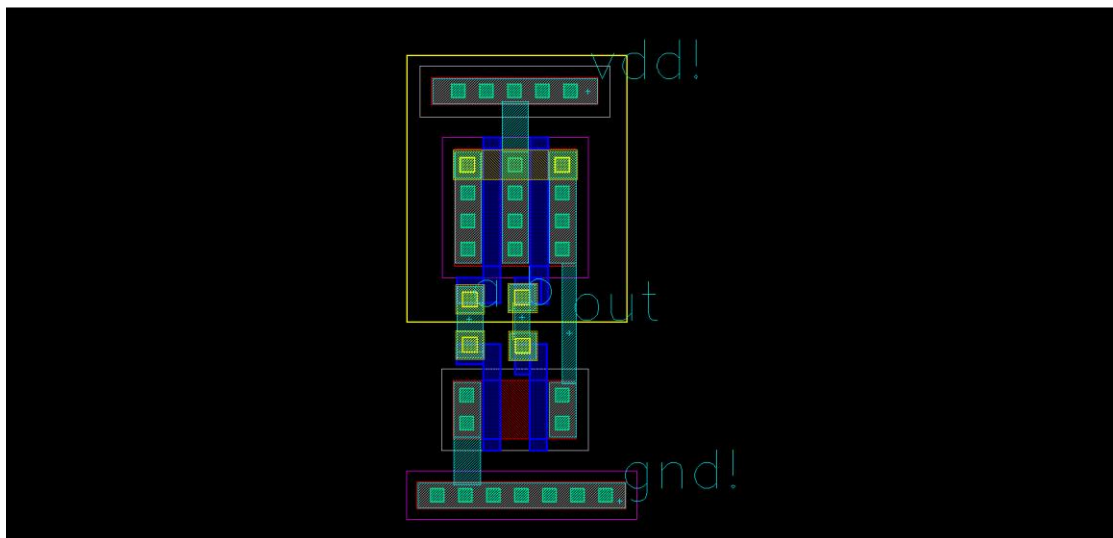
- 透過 XOR 閘和進位初始化來選擇加法或減法。

自己基本元件佈局 (Standard Cells Layout)

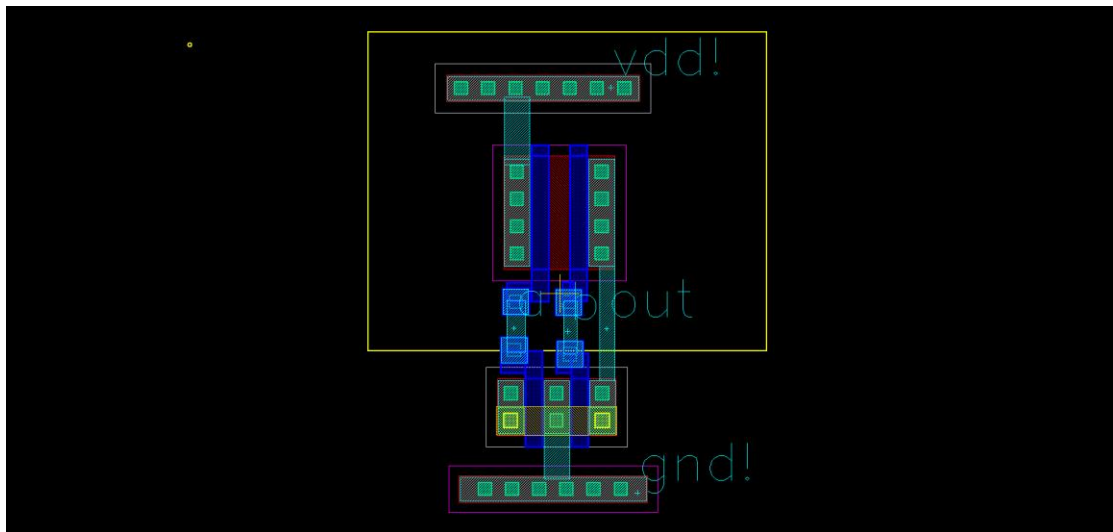
INV :



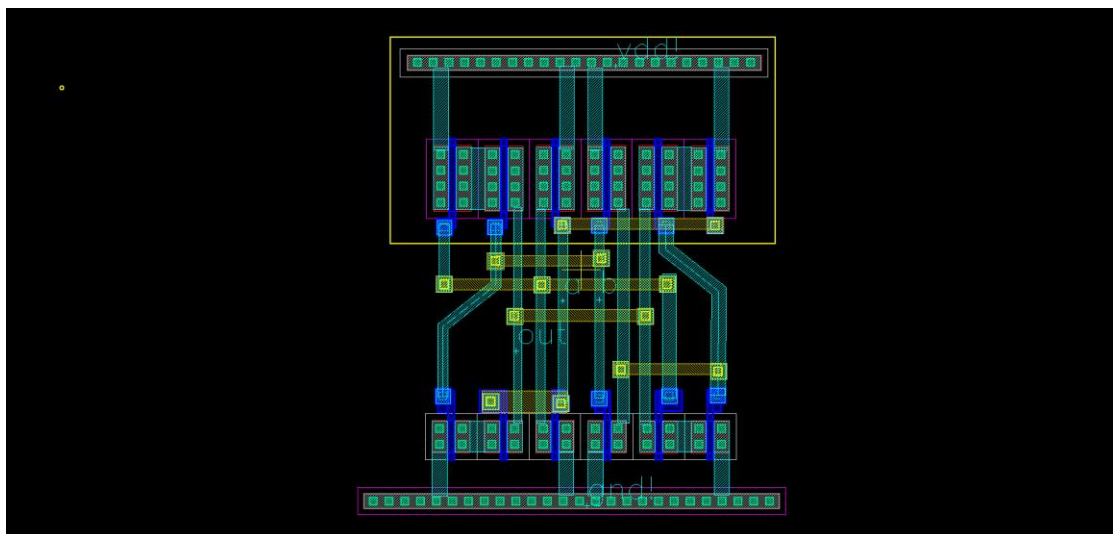
NAND :



NOR :



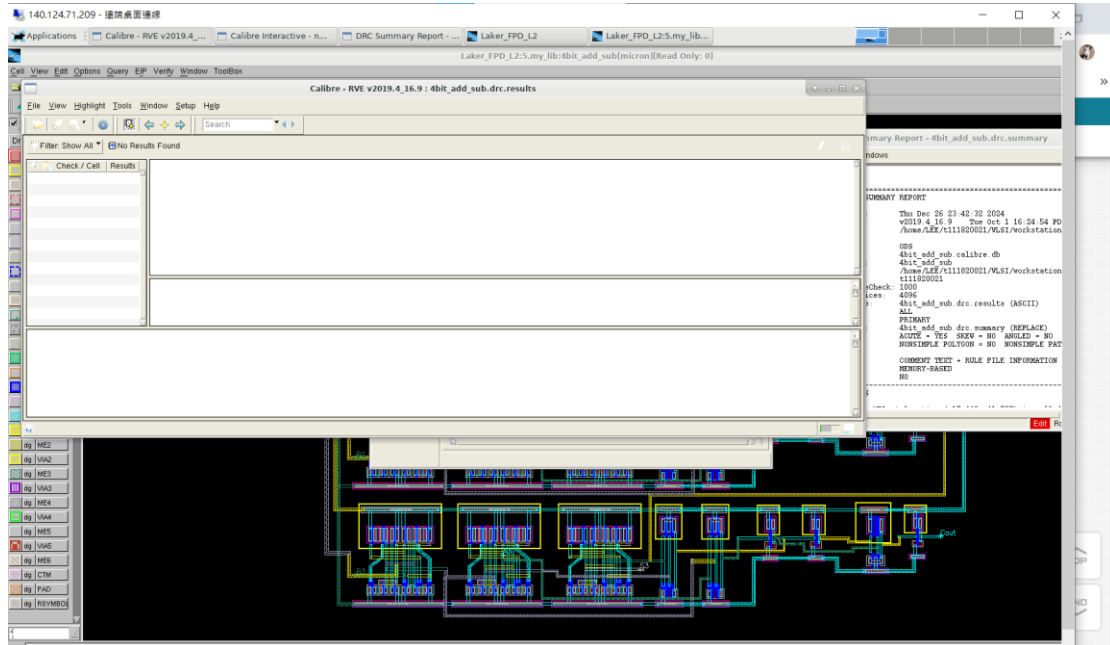
XOR :



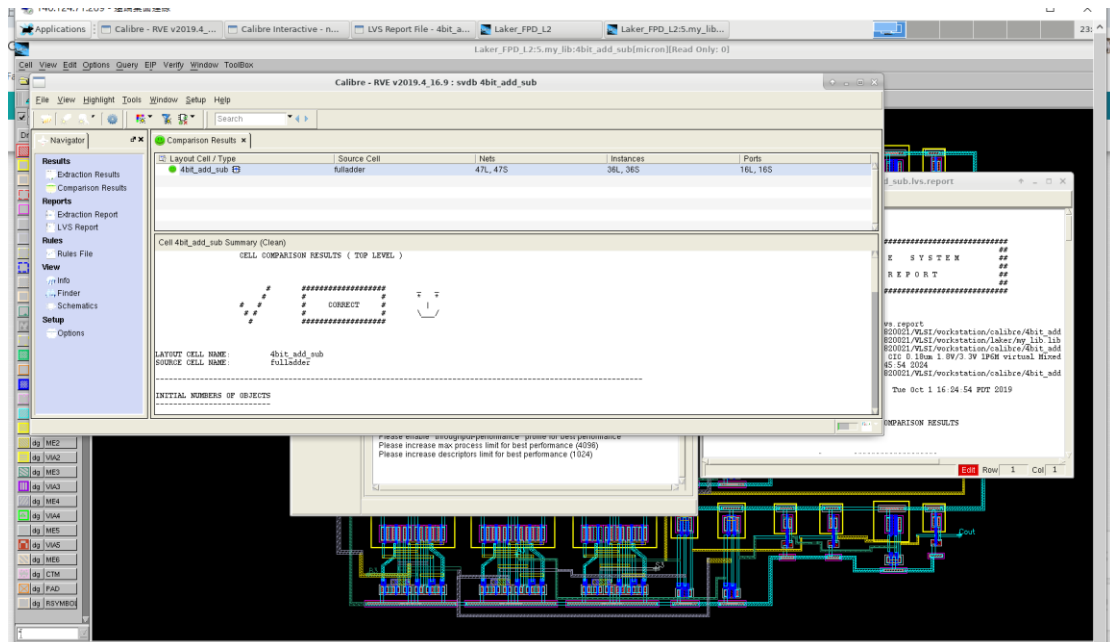
因為我的 4-bit binary adder-subtractor 中有使用到 AND
跟 OR，所以我直接將課堂中所做好的基本元件 INV、
NAND、NOR 結合，直接用 NAND+INV 當作 AND、NOR+INV 當作
OR。

晶片電路模擬(Simulation)

DRC :



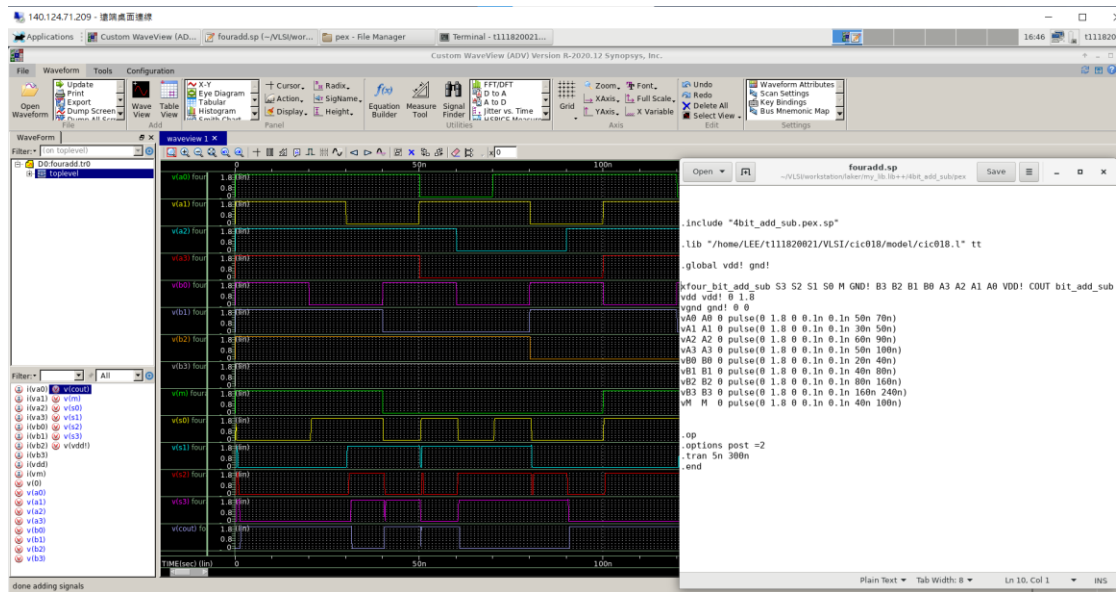
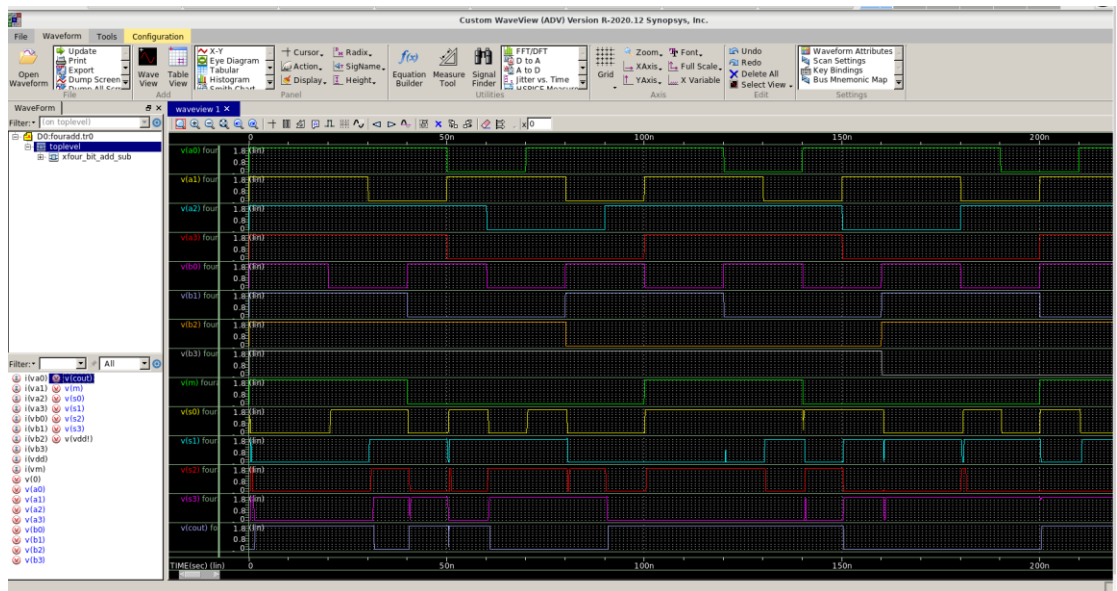
LVS :



前模：

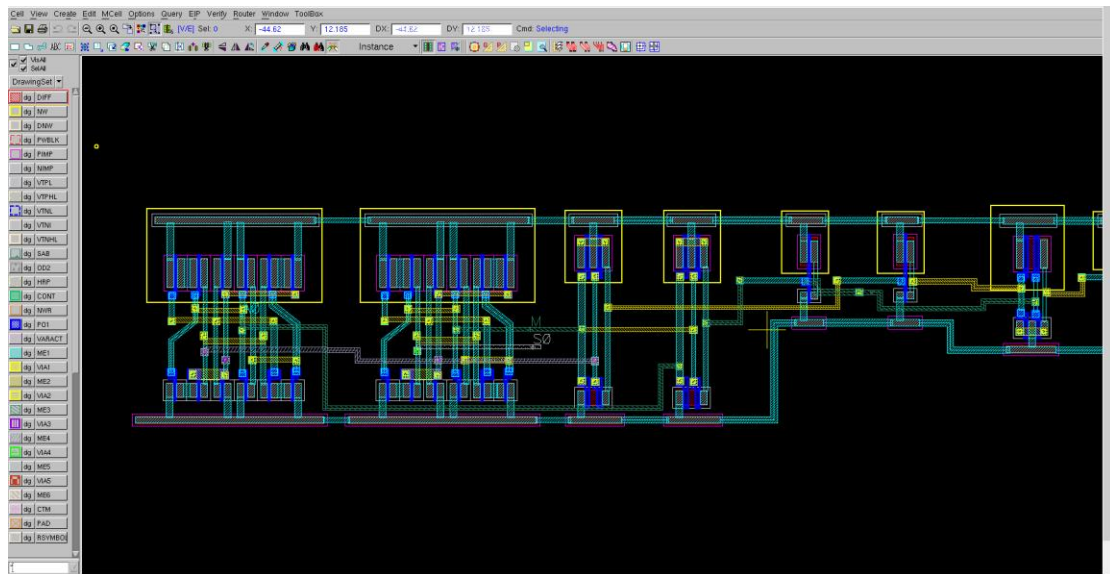


後模：

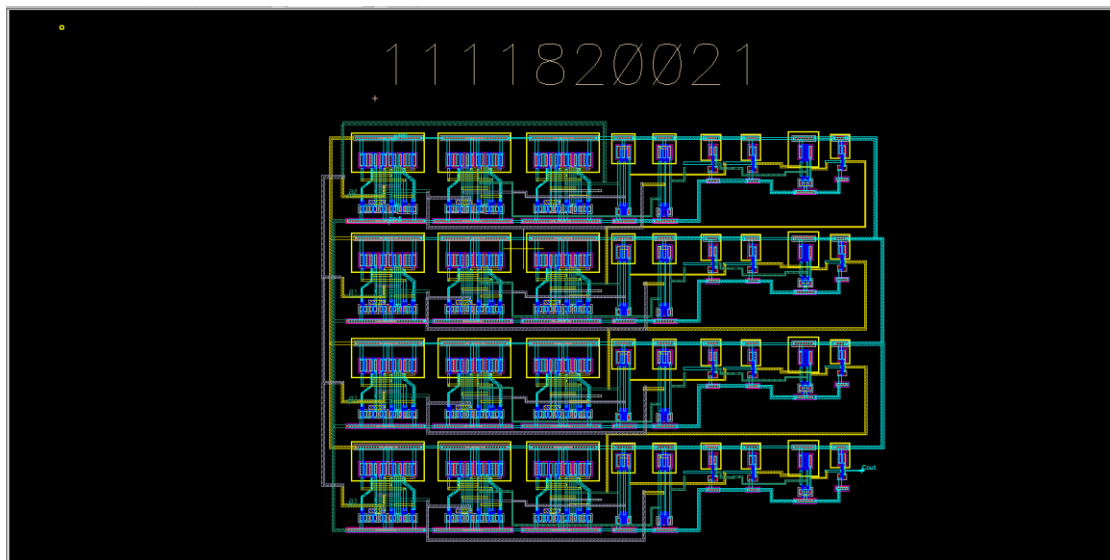


佈局結果(Layout)含 PAD 及打上 自己學號及名字

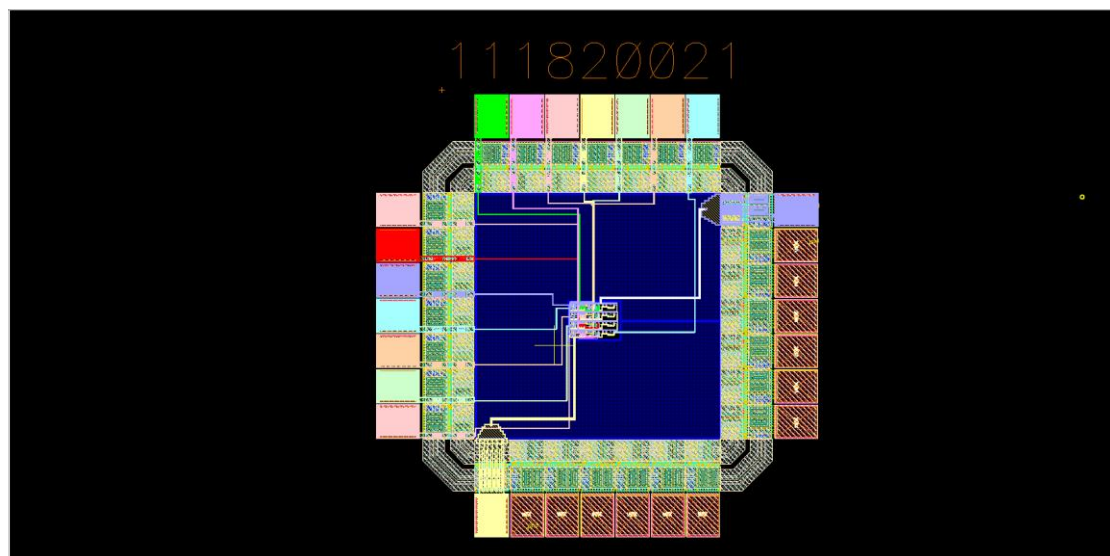
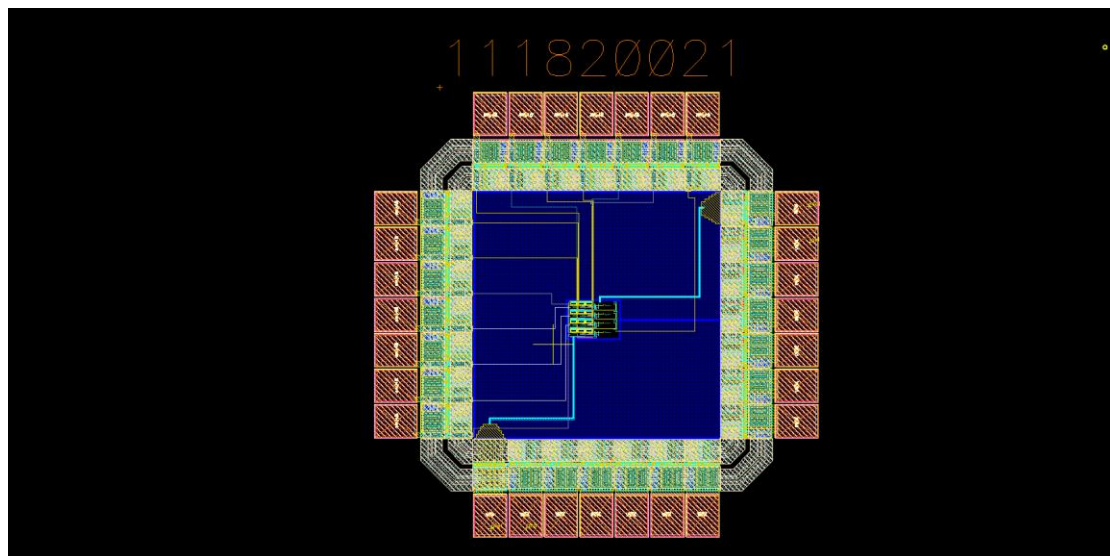
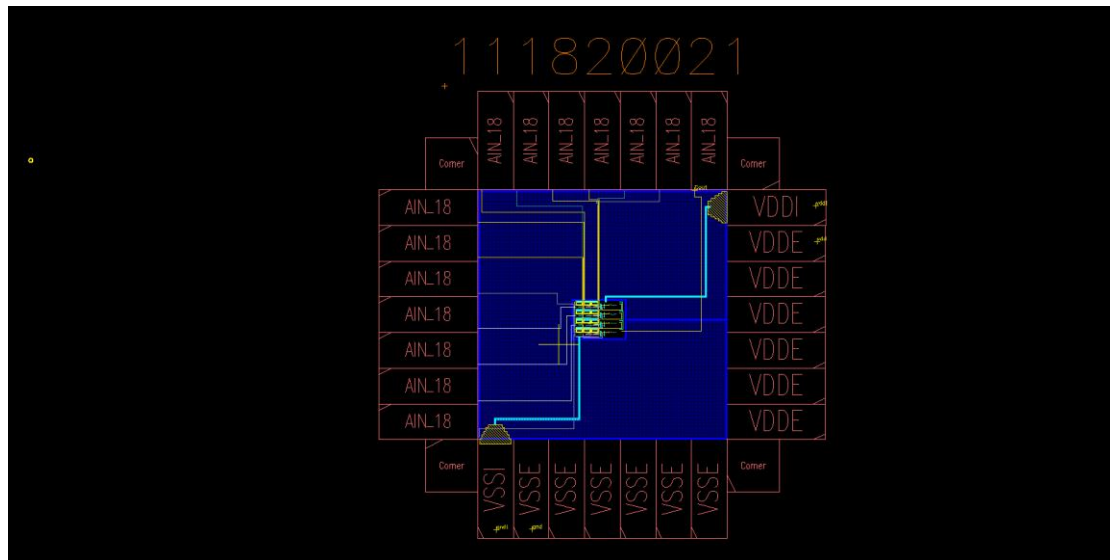
Full Adder：運用在 4-bit binary Adder-Subtractor 中



4-bit binary Adder-Subtractor：



PAD :



結論

這一堂課，有一半的時間是讓我們進行上機實作，從基本的畫 Schematic 到畫 Layout，每一堂課都會有上課作業，像是 INV、NAND、NOR、XOR，原本我以為就只是單純讓我們練習使用這些功能，但是這些上課所做的元件在最後期末專題的時候，直接抓出來用就好，慶幸自己當初上課畫的時候沒有弄得很醜，導致後面很難做。

不過上這堂課，因為我的電子學基礎不太扎實，因此不論是前面的上課內容，還是後面的上機實作，都會因為電子學不扎實，不理解原理跟性質，因此在理解上有點痛苦，要自己另外花時間回去複習，才能夠理解為什麼是這樣畫，而且第一次接觸這個軟體，一開始實在是跟不太上進度，上課有助較加上部份這種專題的同學的幫助，讓我上課進度勉強有跟上。

最後期末專題的部分，當初決定做 **4-bit binary Adder-Subtractor** 是因為以前數位邏輯設計課程中，有介紹過而且還蠻有趣的，雖然畫 layout 的時候遇到了很多困難，尤其是要符合規格，上課所作的基礎元件 layout 如果畫得太醜，會導致最後自己專題題目在畫 layout 時，會很

難接線，因為動了一條線，可能還會隨之影響其他的，牽一髮而動全身，因此我在做專題 layout 之前還特地去將基礎元件作改良，讓之後做專題 layout 可以順利一點。

這堂課可以學到很多東西，尤其是使用這個軟體，且在學畫這些東西的時候，還可以回去複習電子學，這堂課受益匪淺，還好可以在遠端做專題，不然如果只有用上課的時間做，我認為我沒辦法完成。