

2016 全国大学生智能互联 创新大赛 项目报告

项目名称：单输入单输出射频器件特征提取平台

基于平台：Xilinx Virtex-7 FPGA VC707 、 AD-FMCOMMS1-EBZ

视频网址：http://v.youku.com/v_show/id_XMTYxNDY4NTYwNA==.html （密码：349）

团队名称：电子科技大学 Smart

项目简介：本项目通过 ADI FMCOMMS1 评估板和 Xilinx 高性能 FPGA 开发板 VC707 搭建起一个宽带、高效零中频架构的单输入单输出射频器件特征提取平台，其射频带宽可达 4GHz，基带带宽可达 125MHz。在项目中，通过 Web 共享模式为宽带通信领域研究人员提供了一套智能互
联的开放平台，可实现射频器件（功放）行为模型的提取和线性化数字预失真算法验证。同时，结
合本实验室以往的研究成果，可以为远程用户提供自动化的特征指标分析。

团队信息

姓名	学校	学院	学历及年级	团队名	职务	手机号码	邮箱	地址
宋宾	电子科技大学	电子工程	研究生	Smart	团队负责	18355166002	1070826451@qq.com	成都市高新区(西区)西源大道 2006 号电子科技大学清水校区
赵亚涛	电子科技大学	电子工程	研究生	Smart	团队成员	18200115282	1974016850@qq.com	(同上)
殷焱丽	电子科技大学	物理电子	本科生	Smart	团队成员	13408523907	1032943360@qq.com	(同上)
居昊	电子科技大学	电子工程	本科生	Smart	团队成员		449091342@qq.com	(同上)
夏晨鑫	电子科技大学	电子工程	本科生	Smart	团队成员		505991097@qq.com	(同上)
何松柏	电子科技大学	电子工程	教授	Smart	指导教师	13398155099	sbhe@uestc.edu.cn	成都市高新区(西区)西源大道 2006 号电子科技大学清水校区
					指导教师			

备注：参赛学生证图片，参赛须知与承诺书 见文档附录。

目 录

一、	项目概述	4
1.	研究背景	4
2.	研究目的	4
二、	可行性分析	5
1.	实用性分析	5
2.	系统硬件设计	6
2.1.	FPGA 控制	7
2.2.	发射链路和接收链路	8
3.	系统软件设计	10
3.1.	本地操作系统设计	10
3.2.	Web 端系统软件设计	12
三、	项目结论及创新点	16
	参考文献	16
	附录	18
	参赛团队学生证图片	18
	参赛须知与承诺	19

一、项目概述

报告第一部分对项目的研究背景、研究目的进行详细介绍；第二部分通过对项目的可行性进行分析主要从实用性、系统硬件设计、系统软件设计、项目创新点等进行详细介绍；最后将给出项目完成情况和测试结果及必要的附录等。

1. 研究背景

移动通信在近 20 年的时间里得到了飞速的发展，经历了从第一代语音通话到第四代移动互联网的发展，着重于数据、连接和用户体验的第五代移动通信系统正处于研发测试阶段。就目前而言，随着全球 4G 商用发展，LTE 标准继续向 LTE-Advanced (LTE-A) 演进，能为用户提供更高的数据速率。但是，采用载波聚合技术的 LTE-A 信号带宽将达到 100MHz，相比 2G 和 3G 系统，LTE-A 信号具有信号频带更宽、信号峰值平均功率比更高等特点。这些需求使得宽带移动通信的研究愈发重要，而功率放大器作为宽带通信中的核心部件，势必将是我们的研究重点。研究这些核心部件的测试方法，提高测试精度和速度，分析其行为模型，对于推动部件性能的提高有着非常巨大的作用。

2. 研究目的

本项目基于 ADI 提供的智能仪器解决方案，结合本团队研究领域，设计实现了“宽带高效的单输入单输出射频器件特征提取平台”。同时，为了解决地理空间的限制，我们将仪器与互联网相结合，用户可以通过访问 Smart Lab 开发平台(访问网址：<http://www.smart-lab.xyz/>)，可以轻松使用我们这个平台进行射频器件的 AM-AM (幅度-幅度失真)、AM-PM (幅度-相位失真)、频谱特性、时域特性等的测量，或者进行 DPD (数字预失真) 算法验证、PA (功率放大器) 建模。

二、 可行性分析

本平台基于 ADI 公司提供的智能仪器的解决方案,结合本团队的研究重点,开发并实现了“宽带高效的单输入单输出射频器件特征提取平台”。图 1 为本平台概念图。控制模块选用 Xilinx 公司高性能 Virtex-7 系列 PFGA 开发板 VC707,射频模块选用 ADI AD-FMCOMMS1-EBZ。

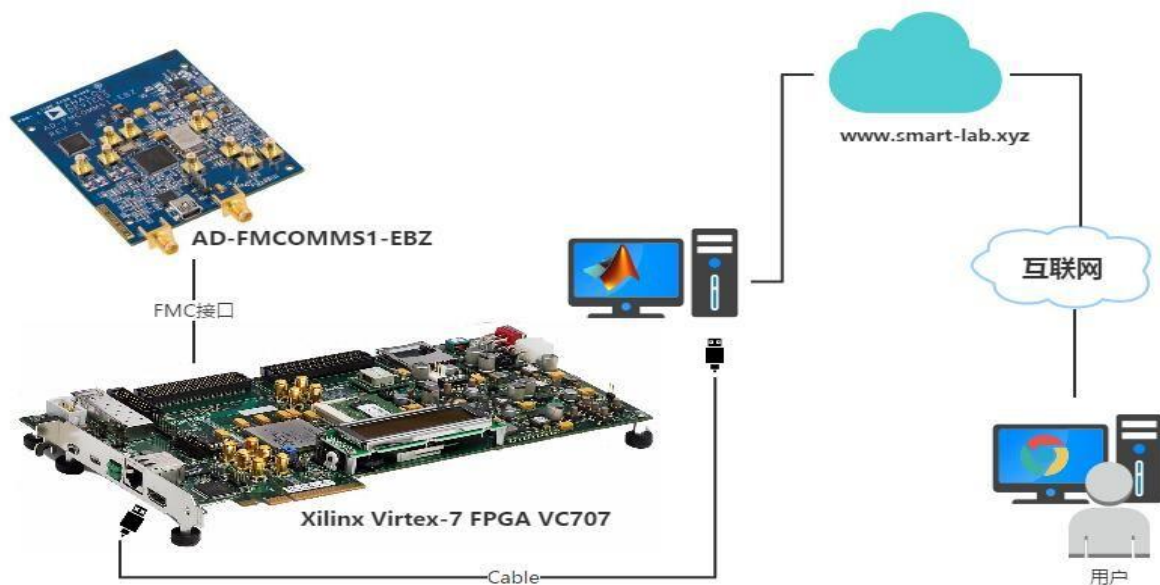


图 1、系统实现概念图

1. 实用性分析

随着通信信号带宽的增加,现在大多数国内高校和研究机构的测试平台都面临升级的需求。然而并不是每一个研究者都能负担平台升级的成本,那么一套能通过互联网便捷访问使用的高性能测试平台势必会成为研究者们的不二选择。本设计中使用的 AD-FMCOMMS1-EBZ 射频板拥有高速的 AD 和 DA 转换芯片,可以提供很高的采样率以满足宽带信号的采样。而控制模块 VC707 自带一块软核,可以通过动态的配置软核资源来满足相应的系统。同时,为了解决地理空间的限制,我们将仪器与互联网相结合,用户可以通过访问 Smart Lab 开发平台(访问网址:

<http://www.smart-lab.xyz/>) , 可以轻松使用我们这个平台进行射频器件的 AM-AM (幅度-幅度失真)、AM-PM (幅度-相位失真)、频谱特性、基带信号时域特性等的测量 , 或者进行 DPD (数字预失真) 算法验证、PA (功率放大器) 建模。

本系统着重在射频器件 (功放、滤波器等) 的特性分析 , 主要有 AM-AM、AM-PM、频谱、基带时域波形、PA 增益等。其中 AM-AM、AM-PM 表示的是基频处输入信号与输出信号幅度之间、幅度与相位之间的非线性关系和系统记忆特性 , 是目前主流的表征射频器件非线性和记忆特性的指标。频谱可以直观的观察基带信号的频率分布特性 , 便于定性的分析系统杂散的产生原因。同时由于传统仪器的采样率的限制很难在时域上去观察宽带基带信号 , 因此 , 本系统通过给出一种时域上观察宽带基带信号的方法。这些指标对于研究射频器件的宽带特性及其重要 , 这也真是本系统要解决的问题。此外 , 非常重要的一点是通过测试平台可以得到待测器件输入端与输出端的基带信号 , 以此我们可以完成对待测器件的行为模型建模 , 数字预失真验证。

2. 系统硬件设计

整个系统分为控制部分和射频部分 , 表 1 为系统设计设计的主要参数。控制单元我们选用 Xilinx 公司的 Virtex-7 系列的 PFGA , 借助其强大的硬件资源来实现我们的设计要求。主要使用的资源包括 MicroBlaze 软核 , DDR3、I2C、SPI、UART 以及用于控制射频板封装的 ADC、DAC 的 IP 核。基于以上的 IP 核 , 我们使用 Vivado 和 SDK 实现系统的控制部分。射频部分使用 ADI AD-FMCOMMS1 评估板 , 其可在 400MHz-4GHz 的发射接收信号 , 发射通路的 DAC 采样率为 1 Gbps , 基本满足我们的需求。

表 1、系统硬件参数

	发射通路	接收通路
工作频段	400MHz-4GHz	400MHz-4GHz
DAC、ADC 采样率	1Gbps	250Mbps
DAC、ADC 位数	16-Bit	14-Bit
通道带宽	125MHz	125MHz
架构	零中频	零中频
输入接口	FMC	FMC
输出接口	SMA	FMC
配置方式	SPI	SPI
增益		4.5dB-20.5dB , 0.25dB/step

其他特征：在 DAC 之后和 ADC 之前提供 Non-SMA 接头，可用于接入其他上/下变频电路，也可用于测试模拟 IQ 信号。

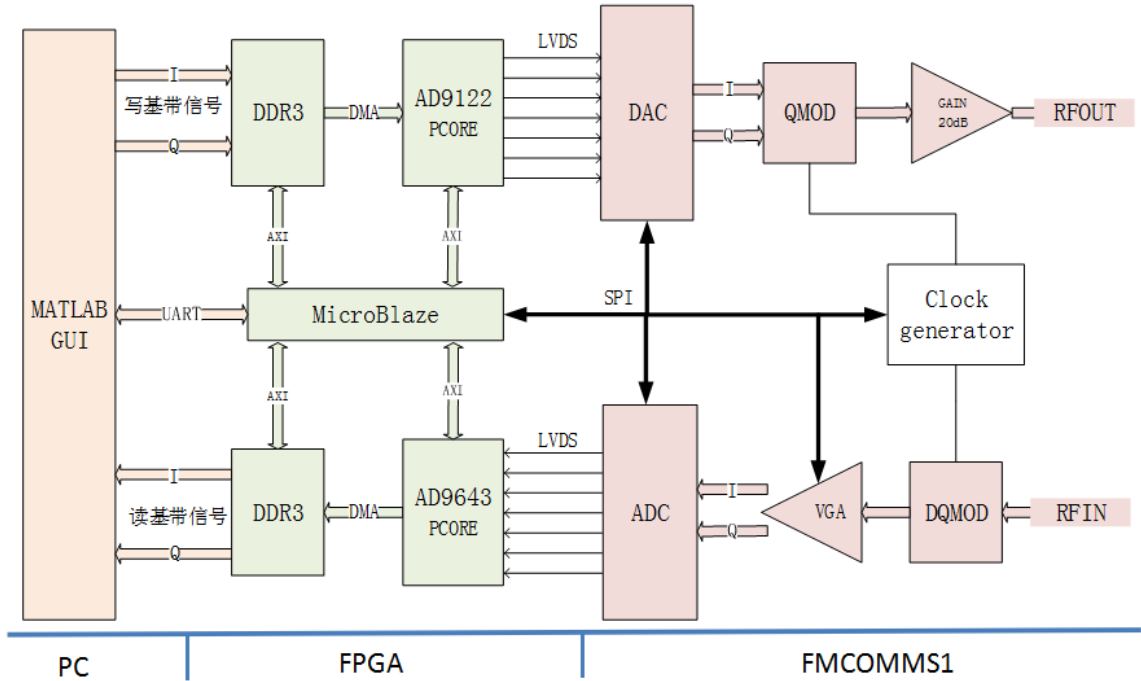


图 2、系统功能框图

下面将硬件资源分成 FPGA 控制部分、收发链路两部分等进行分析，发射链路的优劣直接关系到发射信号的质量，对其存在的杂散和镜像提出可行的解决方案并进行验证。

2.1. FPGA 控制

控制模块基于 VC707 的 MicroBlaze 核心，通过例化各个模块 IP 核来搭建系统硬件部分，然后使用 SDK 软件进行控制 MicroBlaze 进行资源调用以完成相应的功能。

MicroBlaze 软核是一个被 Xilinx 公司优化过的可以嵌入在 FPGA 中的 RISC 处理器软核，具有运行速度快、占用资源少、可配置性强等优点，广泛应用于通信、军事、高端消费市场等领域。在 FPGA 内部，使用 AXI (Advanced Xtensible Interface，是一种面向高性能、高带宽、低延迟的片内总线) 总线进行与 IP 核进行数据指令的交换，以实现高速的数据交换。而 FPGA 与射频板配置之间的通信使用 SPI (Serial Peripheral Interface，是一种高速的，全双工，同步的通信总线) 总线，实现硬件电路布局的小型化，同时节约了芯片的管脚。发射链路与接收链路由于需要高速的数据流与 FPGA 进行交互，所以使用 LVDS (Low-Voltage Differential Signaling 低电压差分信号) 信号线进行数据传输，其具有低噪声、高噪声抑制能力同时其数据速率可达几百 Mbps 到 2Gbps，适合高速数据交换。

2.2. 发射链路和接收链路

射频模块集成发射链路与接收链路的硬件部分，包括 DA、调制器、固定增益放大器、AD、解调器、时钟发射器、时钟分配器、频率合成器等，其发射机接收机都是基于零中频结构 (本振频率等于或者非常接近射频信号载波频率)，其系统框图如下：

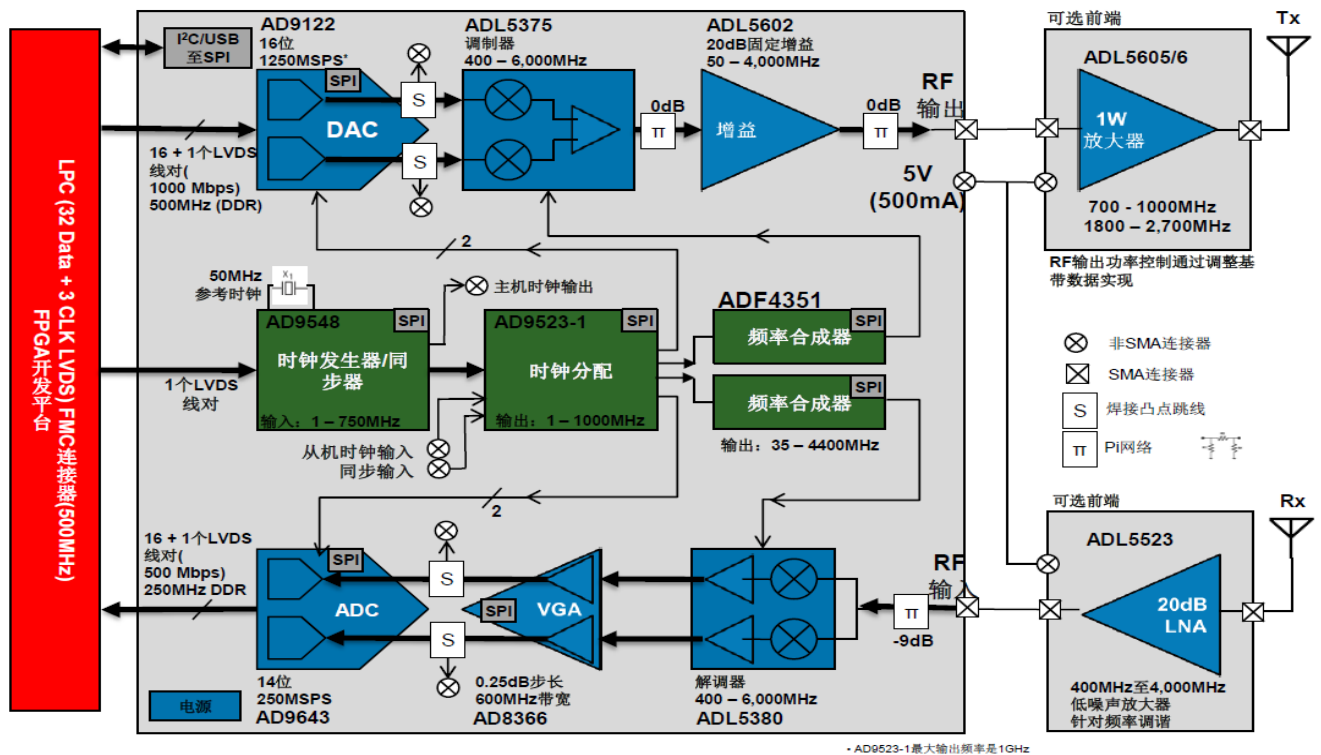


图 3、FMCOMMS1-EBZ 功能框图

零中频结构的发射机具有使用少量的器件组成从而降低系统成本和功耗，使用一级混频可以减少上变频产生的混频杂散且不需要过多的滤波器；接收机也同样使用具有少量元件组成，不需要像传统的接收机一样加镜像抑制滤波器，同时降低了对基带滤波器的要求。但是零中频结构也存在一些挑战，如在发射链路模拟调制过程中，IQ 信号的增益和相位失配会直接影响边带抑制性能，在接收链路中会出现直流失调，产生相对零点频率对称的镜像，这些都是本项目需要克服的问题。

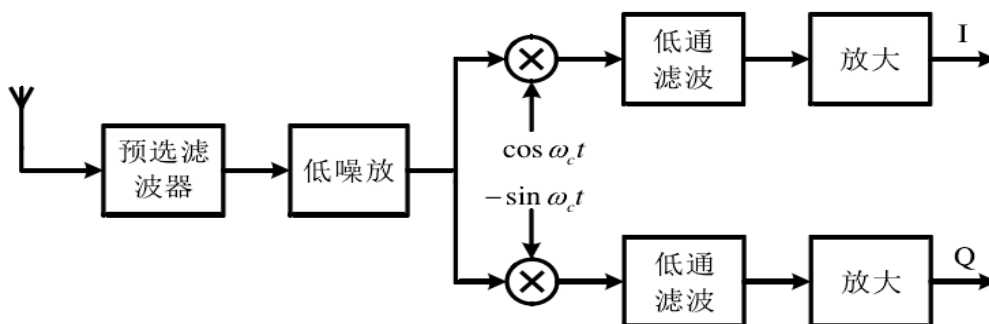


图 4、零中频接收机典型结构

首先给出零中频接收机的结构，然后简要对上述问题及解决方案进行介绍。

收发链路对基带信号产生镜像和直流泄露的问题可以定性的分析由以下两个原因造成的，第一，由于 IQ 两路的低通滤波器不完全一致，导致相位失调和幅度的不平衡。第二，由于器件的工艺限制，无法完全保证同相与正交两路信号实现完全的幅度相同。同样在发射端也存在这样的不平衡。对此，我们分成两步去解决这些。首先，对接收链路进行 IQ 补偿。借助理想信号源进行辅助校正本平台的接收通路，用 5MHz 到 100MHz 的单音信号测出整个宽带信号不同频点的系统响应，确定其各频点的幅度和相位的补偿系数，通过对这些补偿系数进行牛顿插值以完成校准滤波器函数的拟合，最终设计出整个宽带信号的数字补偿滤波器。然后，当我们完成接收链路的校准后，就可以用我们的接收链路对发射两路进行同样的校准操作，以达到发射链路的 IQ 不平衡补偿滤波器的设计和直流的补偿。

3. 系统软件设计

系统软件主要包括本地操作平台与 Web 系统部分，本地操作平台基于 Matlab 的 GUI 设计，Web 端基于 API 接口进行数据交换。本地操作系统基于 MATLAB 强大的数据处理和分析能力实现对 FPGA 传来的数据进行实时分析，同时 GUI 界面设计比较直观容易操作硬件系统。

3.1. 本地操作系统设计

3.1.1. 基于本地的测量

基于 MATLAB 的 GUI 设计是一种高效的面向对象的设计方法，主要用到的控件有串口、定时器、pushbutton、edit、popupmenu 等，分别实现与 FPGA 通信接口、中断查询 Web 端请求、

控制部件、数据输入、模式选择。图 5 为基于 MATLAB GUI 上位机的配置及控制界面，包括 DAC、调制等的参数设置，实现了信号的测量。

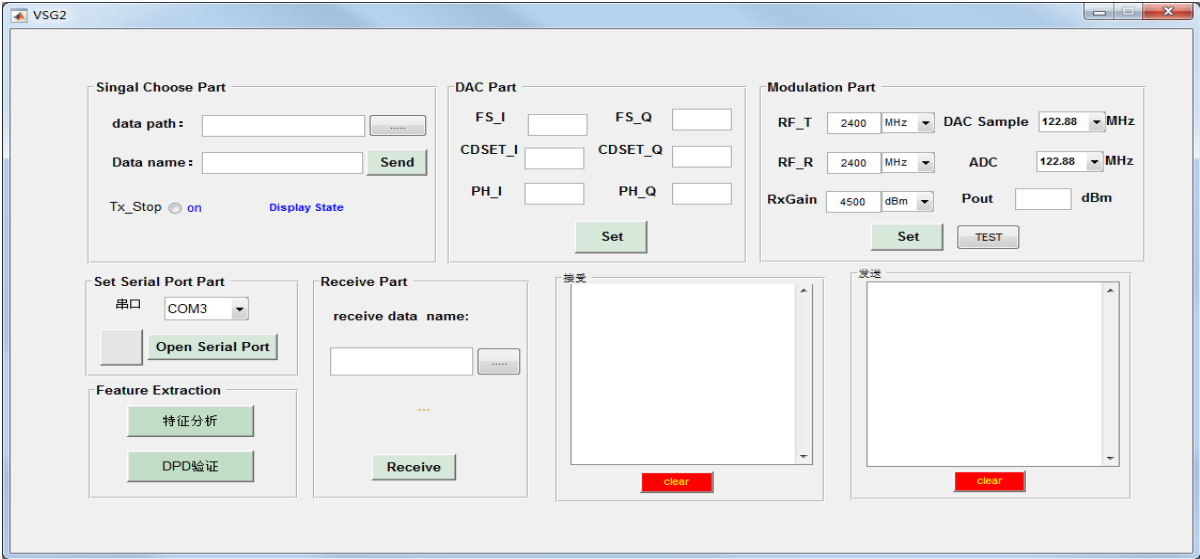


图 5、上位机的配置及控制界面

实现对 FPGA 实时的配置及控制，如不同测试信号和范围进行设置并控制完成接收任务。根据不同的测试环境进行及要求进行在线配置 FPGA，操作灵活。同时，对接收的信号进行基本的分析下面给出分析部分的 GUI 界面。

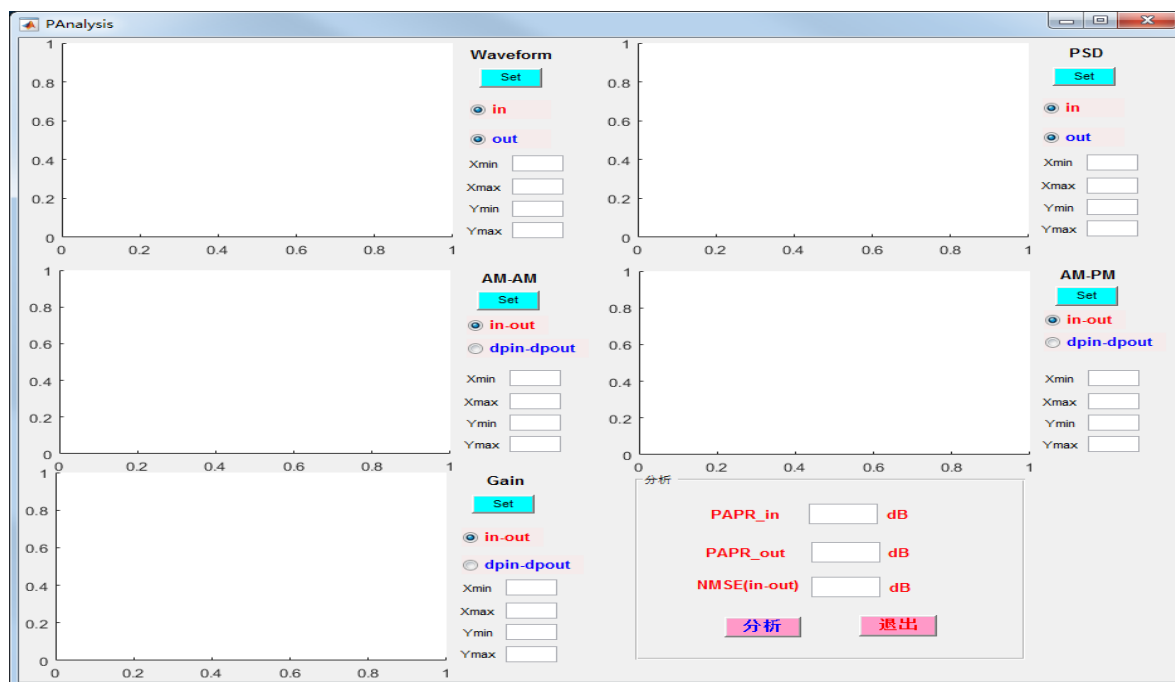


图 6、射频器件特征分析

通过对接收信号进行简单的分析来表征射频器件的非线性特性和记忆特性，当然也可以根据接收的信号进行特定的分析，由于不同器件的关注点不同，本控制台只给出了一些基本的特性分析。

3.1.2. 基于远程测量的测量

在基于本地的测量基础上，通过 Matlabe 访问远程 Web 端接口，获取用户请求进行测量。在处理完毕之后，使用 matlab 本地调用 Python 代码，实现所有测试结果打包上传至 <http://www.smart-lab.xyz/>。整个过程完成了与 Web 端的对接。

3.2. Web 端系统软件设计

“单输入单输出射频器件特征提取平台”访问地址为：<http://www.smart-lab.xyz/>。其架构如图 6 所示，主要包含两部分。

第一部分：用户远程操作为通过浏览器访问“单输入单输出射频器件特征提取平台”，按照整个系统的要求，提交规定格式的测试文件；当整个系统完成测试后，用户便可在“历史文件”栏下载系统测试完成后提交的相关数据。

第二部分：实验室通过 Matlab 与“单输出射频器件特征提取平台”之间通过 API 交换数据，主要包括设备状态，用户数据，数据提交等。

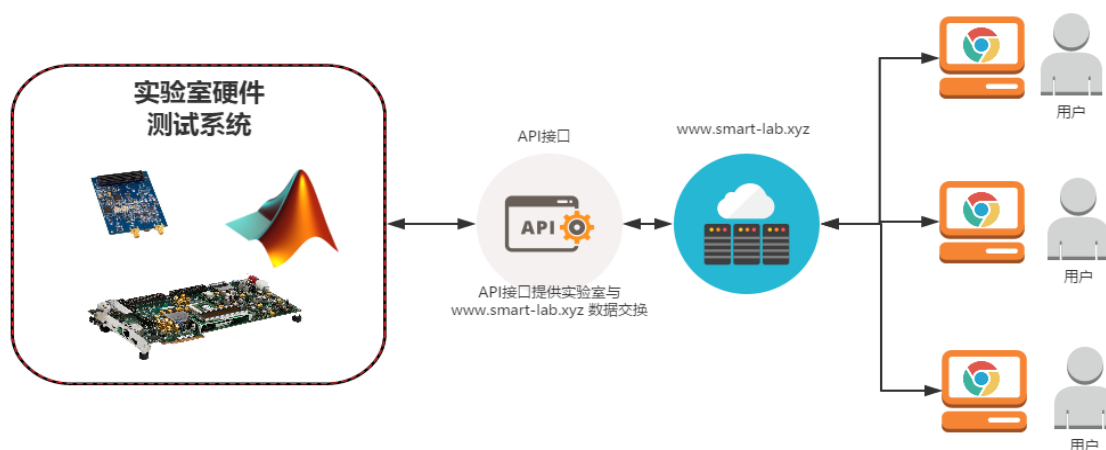


图 7、射频器件特征分析

3.2.1. Web 设计

主要包括用户系统、控制台、帮助文档三部分。

1) 用户系统

用户系统主要包括用户注册、用户登录、用户修改密码、找回密码四个功能。

- 用户注册：用户通过输入邮箱、用户名，密码成为 Smart Lab 的注册用户；
- 用户登录：用户通过输入邮箱、密码，即可访问 Smart Lab 的其他功能；
- 用户修改密码：提供用户修改密码的功能；
- 找回密码：用户如果在登录 Smart Lab 的时候忘记密码，可以通过注册邮箱重置登录密码。

2) 控制台

控制台为 Smart Lab Web 端的核心，主要包括用户数据提交，历史文件两部分。

a. 用户数据提交

用户可以在此功能下提交系统可以接受的测试请求。提交请求的数据主要包括：

- 测试文件：必须为.mat 格式
- 射频发射频率：系统可以接受的发射频率为 400MHz 至 40000Hz，默认为 2400MHz，建议设置为 2400MHz。发射频率必须与接收频率一致，否则将无法采集到数据。
- 射频接收频率：系统可以接受的接收频率为 400MHz 至 40000Hz，默认为 2400MHz，建议设置为 2400MHz。接收频率必须与发射频率一致，否则将无法采集到数据。
- DAC 采样率：系统可提供 122.88MHz、245.66 MHz，用户需要根据自己提交的.mat 文件来选择合适的采样率。
- ADC 采样率：系统可提供 122.88MHz、245.66 MHz，用户需要根据对采集信号的需求来选择合适的采样率。
- 输出功率：系统提供-30dBm 到 0dBm 的衰减，用户可以根据自己的需求进行设置。

b. 历史数据

此功能提供用户查看之前提交的数据及其提交数据的处理情况。主要包括：

- 原始文件名：此文件为用户提交测试时所提交的.mat 文件名。

- 原始文件：此文件为用户提交测试时所提交的.mat 文件，系统自动将用户提交的数据进行了重命名，并提供下载功能。
- 上传时间：用户提交测试的时间。
- 处理后的文件包：此文件为用户提交的数据被系统处理完成后所提交的文件包，包括：采集到的信号文件，系统对信号进行的 ACLR、EVM 自动化测试等。若此项为等待中，则系统处于繁忙或者硬件测试系统处于下线状态，用户需等待。
- 处理完成时间：此为系统对用户提交的测试完成的时间。

3) 帮助文档

此部分主要提供整个 Smart Lab 的使用说明。

3.2.2. API 设计

1) 硬件测试系统注册

此功能提供系统可以对硬件测试系统进行注册，并指定硬件测试系统的编号。此功能后续可扩展，可接入多个硬件测试系统。

2) 硬件测试系统状态显示

硬件测试系统每 5 秒钟向系统发出一个报告，系统根据此请求确定硬件测试系统的工作状态。

3) 用户发起测试数据的下载

硬件测试系统每 5 秒钟都会向 Web 端请求需要处理的数据，系统根据用户提交测试的时间排序，将提交时间最早的用户测试请求数据返回给硬件测试系统，供硬件测试系统进行处理。如果系统查询到所有的用户测试请求已经全部处理完毕，则返回硬件测试系统暂时没有需要处理的测试请求。

4) 测试完成后数据提交

硬件测试系统将上面的测试数据下载完成，进行处理。待处理完毕后，将返回测试数据对应的处理结果。此结果将展示在用户的“历史文件”页面，供用户下载分析。

三、 项目结论及创新点

本项目通过 ADI 高集成度通信收发芯片和 xilinx 高性能 FPGA 芯片搭建起一个单输入单输出射频器件特征提取平台，其射频带宽可达到 4GHz，基带带宽可达到 125MHz。软件系统基于 Web 和 matlab GUI 开发，实现对硬件通信电路的控制。用户通过 Web 远程提交测试数据，实现对收发机快速，精确的失真补偿，并在此基础上准确的提取收发基带信号。

主要创新点表现在：

- 1) 实现了快速高效的射频器件行为模型的提取，及对射频器件线性化预失真算法的验证；
- 2) 融合实验室以往的研究成果，给远程用户提供射频器件典型指标（AM-AM，AM-PM，ACPR）的分析结果；
- 3) 通过网络互连共享，提供给本研究领域研究人员一套快速测试射频器件的自动化平台；
- 4) 可产生宽带基带信号（125MHz），为射频器件在宽带信号下的特征分析提供了新的工具。

参考文献

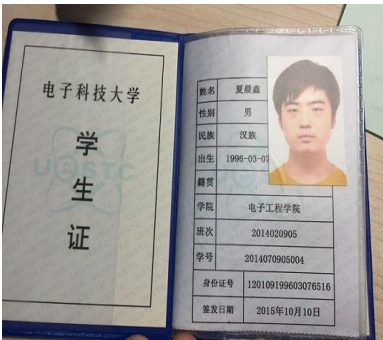
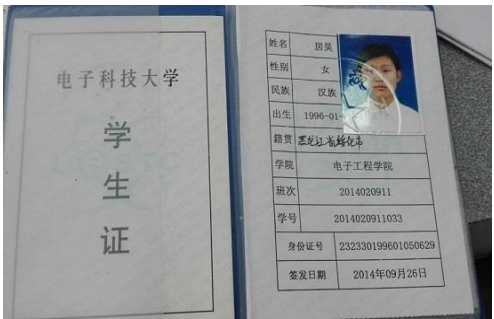
- [1] 王晓英,邹传云,荣思远 基于软件无线电的零中频数字接收机研究[J]. 微计算机信息, 2007 (04Z): 241-243.
- [2] Mashhour A, Domino W, Beamish N. On the direct conversion receiver-A tutorial[J]. Microwave Journal, 2001, 44(6): 114.
- [3] B. S. Kirei, M. Neag, and M. D. Topa, "On I/Q imbalance compensation based on adaptive filtering in low-IF and zero-IF receiver" in IEEE Proc. AQTR Int. Conf., Cluj-Napoca, Romania, May 2010, pp. 1-4.

- [4] S. A. Bassam, S. Boumaiza, and F. M. Ghannouchi, "Block-wise estimation of and compensation for I/Q imbalance in direct-conversion transmitters," IEEE Trans. Signal Process., vol. 57, no. 12, pp. 4970–4973, Dec. 2009.
- [5] Vallant G, Epp M, Schlecker W, et al. Analog IQ impairments in Zero-IF radar receivers: Analysis, measurements and digital compasation[C]. IEEE International Instrumentation and Measurement Technology Conference, Graz, 2012: 1703-1707.
- [6] Yi Zhang.无线发射机 IQ 平衡和边带抑制 [EB/OL] .(2012-10-16) [2010-12]
- [7] Landin P N, Gustafsson S, Fager C, et al. WebLab: A Web-Based Setup for PA Digital Predistortion and Characterization [Application Notes][J]. Microwave Magazine, IEEE, 2015, 16(1): 138-140.
- [8] 唐琴, 吴建辉. 零中频直流偏移消除技术比较与分析[J]. 微电子学, 2009, 38(6): 811-816.
- [9] Wei Li, Yue Zhang, Li-ke Huang. "Diode-based IQ imbalance estimation in direct conversion transmitters", Electronics Letters, 2014;p.409-411.

附录

参赛团队学生证图片

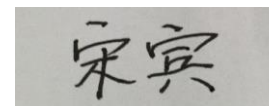
每位成员的学生证拍照后，请处理成小于 100k 的 jpg 图片贴在此处，例如下图。可对成员分工、参赛经历、获奖信息等内容进行简单介绍。



参赛须知与承诺

- 1、参赛者必须保证参赛作品为首次参赛的原创作品，参赛作品不存在权利争议或侵犯第三方知识产权的行为，违反者自行承担相应责任。任何参赛作品知识产权方面的争议均与本次竞赛的主办单位无关。
- 2、参赛作品若经人检举或告发为他人代劳或违反本竞赛相关规定，有具体事实者并经查证属实者，主办单位将取消该队伍之参赛资格。若该作品为得奖作品，主办单位将追回原授予的荣誉及奖励。
- 3、参赛作品若经人检举或告发，涉及著作权、专利权等侵害，将由参赛队伍自行负担相关责任。侵权行为一旦经法院判决属实，主办单位将取消该队伍的参赛资格。若该作品为得奖作品，主办单位将追回原授予的荣誉及奖励。
- 4、参赛作品的专利权、著作权等知识产权均归属该参赛队伍所有，但主办单位享有以原作者名义发表该项作品的权利。参赛队伍需全程参与由主办单位所举办的学术及推广教育活动。
- 5、参加队伍应尊重评选委员会的决议，除非能具体证明其他作品违反本办法相关规定，不得有其他异议。
- 6、大赛阶段缴交所有文件将不退回，请参赛队伍自行备份。

承诺人：



2016 年 6 月 18 日