

# 双口 RAM 在 FPGA 与 DSP 通信中的运用

Application of True Dual Port RAM in Communication Between FPGA and DSP

杨晓玫 张 敏 刘 冬 闫 瑾 (西安长峰机电研究所, 陕西 西安 710065)

**摘要:**设计实现了一种基于双口 RAM 的 FPGA 与 DSP 通信方式,使用 EMIF 接口在 FPGA 与 DSP 之间进行双向数据传输,通过 RAM 的 A 端口进行 FPGA 读写操作,B 端口进行 DSP 的读写操作,且 FPGA 写数据与 DSP 写数据存放在不同的 RAM 地址空间。实验结果表明,该方法简单灵活,能够在 FPGA 与 DSP 之间进行可靠的数据传输。

**关键词:**FPGA,双口 RAM,DSP,EMIF

**Abstract:**This paper describes and implements a communication method between FPGA and DSP based on True Dual Port RAM,which used EMIF interface to transmit data,adopted port A of RAM for FPGA reading and writing operation,and port B of RAM for DSP operation,and stored data in different RAM space while FPGA and DSP writing.The experimental results show that the method is simple and flexible and has high reliability of data transmitting between FPGA and DSP.

**Keywords:**FPGA,True Dual Port RAM,DSP,EMIF

在大型项目开发过程中,采用 FPGA+DSP 结构具有结构灵活、通用性强、开发周期短、系统易于维护和扩展的特点,它综合运用了 FPGA 并行处理优势和 DSP 实现复杂算法灵活的优势。通常在 FPGA 中进行采集数据的预处理,在 DSP 中对采集到的数据进行算法解算,数据在 FPGA 与 DSP 之间进行有效传递需要进行方案设计,本文使用 DSP 的 EMIF 接口和 FPGA 内部的双口 RAM 进行 FPGA 与 DSP 之间的数据传递。

## 1 FPGA 双口 RAM 应用设计

本文所实现的系统功能为 FPGA 将数据传递给 DSP,DSP 对接收到的数据进行算法解算后再将数据传递给 FPGA 直接使用。由于 FPGA 和 DSP 之间的传递是双向的,鉴于双口 RAM 具有 2 套完全独立的数据线、地址线和读写控制线,并允许 2 个独立的系统同时对其进行随机性访问,因此使用双口 RAM 的 A 端口进行 FPGA 读写操作,B 端口进行 DSP 读写操作。使用 ISE 工具上自带的 IP 核,配置双口 RAM 示例如图 1 所示。

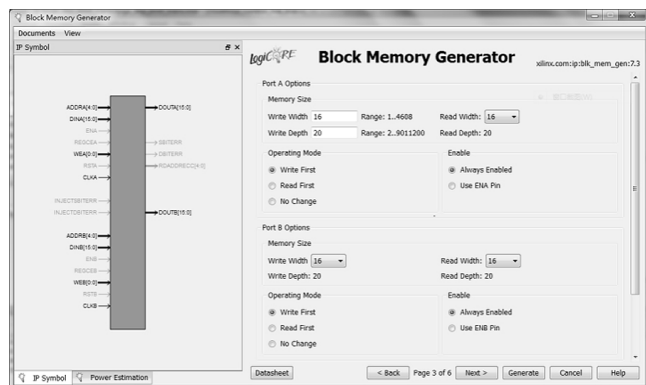


图 1 双口 RAM 配置示例

为方便实施访问控制,根据各自数据量的大小,将 FPGA 写入的数据放至连续的地址空间 A,将 DSP 写入的数据放在其后的连续地址空间 B。当 FPGA 判断 A 端口的地址线指向地址空间 A 的最后一个地址时通过与 DSP 约定的 GPIO 口通知 DSP 进行读数据,反之,当 FPGA 判断 B 端口的地址线指向地址空间 B 的最后一个地址时即可进行读数据。

## 2 DSP 与 FPGA 连接设计

EMIF 接口是 DSP 片内单元和外部存储器之间的接口,

CPU 访问片外存储器可以通过 EMIF 接口实现。将 FPGA 看作外部存储器,通过 EMIF 接口即可实现 FPGA 与 DSP 之间的通信。本文使用的 DSP 芯片为 TMS320C6713,其 EMIF 接口具有 32 位数据线,20 位地址线,4 个片选区。将片选区 2 用于 DSP 与 FPGA 的数据交互,通过 ARE\_ 读信号和 AWE\_ 写信号即可分别进行 DSP 从 FPGA 读数据和向 FPGA 写数据操作。DSP EMIF 接口与 FPGA 之间的连接关系如图 2 所示。

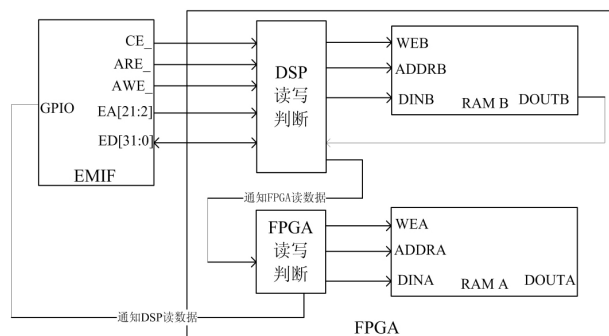


图 2 DSP EMIF 接口与 FPGA 连接关系

## 3 软件实现设计

### 3.1 RAM 地址空间划分

本系统将 FPGA 写 DSP 读的数据存放在地址为 0 至 3 的位置,将 DSP 写 FPGA 读的数据存放在地址为 4 到 7 的位置,通过这种地址空间划分,可以清楚判断 FPGA 和 DSP 的读写状态。

### 3.2 DSP 软件实现方法

本系统 DSP 实现的功能仅为被动接收 FPGA 发送的数据,在对数据处理完成后发送给 FPGA 使用,FPGA 通过预先约定好的 GPIO 口信号通知 DSP 取数据,因此 DSP 软件的主程序为循环判断该 GPIO 口的状态,如果发现数据要取,那么 DSP 通过 EMIF 接口去指定地址 0 至 3 读取相关数据,在对数据处理完毕后,再通过 EMIF 接口把数据发送至指定地址 4 至 7。

### 3.3 FPGA 软件实现方法

FPGA 对双口 RAM 的访问是通过 A 端口进行的,DSP 对双口 RAM 的访问是通过 B 端口进行的。

#### 3.3.1 FPGA 写操作

当需要往 RAM 中写数据时,具体实现流程为:

1)设置 RAM A 的读写控制信号 wea 为 1,地址线 addra 为当前需要写入的地址(首地址为 0),数据线 dina 为当前需要写入的数据;

2)地址加 1;

3)如果地址为 3,则通过 GPIO 口通知 DSP 取数据,否则继续步骤 1)。

3.3.2 FPGA 读操作

FPGA 收到读数据通知开始读取数据,具体实现流程为:

1)设置 RAM A 的读写控制信号 wea 为 0,地址线 addra 为当前需要读取的地址(首地址为 4);

2)地址加 1;

3)通过 douta 读取数据,如果地址为 7,则读取数据完毕,否则继续步骤 1)。

3.3.3 DSP 写操作

当 EMIF 接口信号 CE\_ 和 AWE\_ 均为低电平时,DSP 执行写操作,具体实现流程为:

1)设置 RAM B 的读写控制信号 web 为 1,地址线 addrb 为 EMIF 地址总线 EA,数据线 dinb 为 EMIF 数据总线 ED;

2)如果地址 EA 为 7,则通知 FPGA 取数据,否则继续步骤 1)。

3.3.4 DSP 读操作

当 EMIF 接口信号 CE\_ 和 ARE\_ 均为低电平时,DSP 执行读操作,具体实现流程为:

1)设置 RAM B 的读写控制信号 web 为 0,地址线 addrb 为 EMIF 地址总线 EA;

2)将 doutb 送往 EMIF 的数据总线 ED 使 DSP 读取数据。

4 设计实现及结果

为验证通信方案的正确性,使用 Xilinx 公司的 V5 芯片 XC5VSX95T 与 DSP 芯片 TMS320C6713 进行双向通信。通信内容设计为 FPGA 向 RAM 地址 0 至 3 分别写入数据 10、20、30 和 40,DSP 将收到的数据扩大 500 倍后对应地写到地址 4 至 7,通过 ISE 工具自带的 ChipScope Pro Analyzer 逻辑分析仪进行在线数据获取,DSP 读数据结果如图 3 所示,FPGA 读数

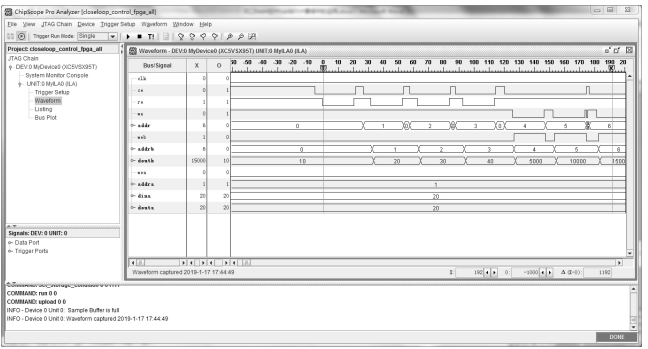


图 3 DSP 读数据

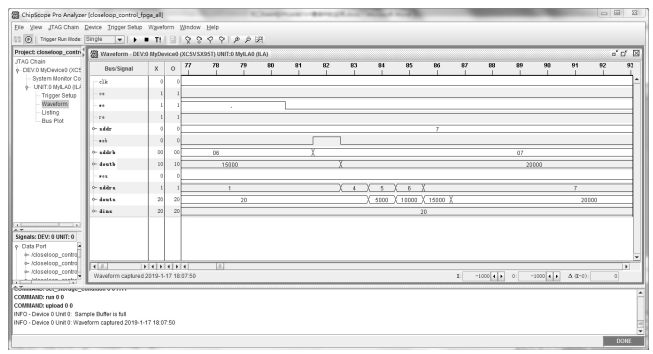


图 4 FPGA 读数据

据结果如图 4 所示。

图 3 表示,DSP 通过 EMIF 接口顺序读取地址 0 至 3 的数据后又顺序进行地址 4 至 7 的数据写入,且 DSP 的读写操作是通过 RAM 的 B 端口进行的,在 web 为 0 时,doutb 为送往数据总线 ED 的数据,由此表明 FPGA 写入数据后,DSP 能正确读出数据 10、20、30 和 40;图 4 表示,DSP 写入数据后,FPGA 通过 RAM 的 A 端口顺序读取地址 4 至 7 的数据,且读取结果分别为 5000、10000、15000 和 20000,能正确读出数据。由此表明,上述的通信方案设计能够实现 FPGA 与 DSP 之间的双向通信,且方法简单可靠。

5 结束语

本文设计实现了 FPGA 与 DSP 之间的双向通信,使用了 DSP 的 EMIF 接口和 FPGA 的双口 RAM,通过双口 RAM 将 FPGA 的读写操作和 DSP 的读写操作分开使得它们之间的通信方式更加灵活,通过 EMIF 接口读写时序参数的设置可以满足不同情况下的通信速率要求。实验结果表明,该方法简单灵活,可以在 FPGA 与 DSP 之间稳定可靠的进行数据传输。

参考文献

[1]刘源康.DSP 与 FPGA 的并行通信方式设计与实现[J].电子技术与软件工程,2018(3):32-33  
[2]杨龙,李范鸣,刘士建.DSP EMIF 与 FPGA 双口 RAM 高速通信实现[J].现代电子技术,2014,37(13):10-12,16  
[3]侯翔昊,杨尧,王民钢.基于 DSP 与 FPGA 多路 ARINC429 数据通信系统设计[J].电力电子技术,2013,47(8):107-108  
[4]王文武,曹治国,张贵清,等.基于 FPGA 和 DSP 的并行数据采集系统的设计[J].微计算机信息,2004,20(11):68-69,36  
[5]胡波,李鹏.异步 FIFO 在 FPGA 与 DSP 通信中的运用[J].电子科技,2011,24(3):53-55,61  
[6]胡彬,陈涛.TMS320C6713 DSP EMIF 接口与 FPGA 双口 RAM 接口设计[J].电子质量,2008(10):32-35

[收稿日期:2019.3.20]

\*\*\*\*\*

(上接第 155 页)

常装置运行维护外,还要熟悉遥测、遥信回路。对于测控装置,涉及到电流、电压回路时要分析清楚,电流回路封锁后再工作,拆除旧设备时,回路要隔离清楚,避免留下隐患。

5 结束语

本文详细分析了一起由于外部遥信回路直流接地故障导致变电站测控装置电源烧毁的故障处理过程。在相对稳定的工作状态,电力综合自动化系统一般不会因为自身的原因出现故障。在电源出现故障情况下,可以先简单地分析运用故障排除法确

定存在故障的部分,然后进行电源检查,尤其注意是否有电源接触板故障、电源电压波动等问题。对电力系统自动化各装置出现的缺陷故障,应采用合理准确的分析和处理方法,保证系统正常运行,有效快速地排除故障,促进电网可靠安全稳定运行。

参考文献

[1]刘振亚.中国电力与能源[M].北京:中国电力出版社,2012  
[2]赵建军,高辉.电力设备[M].北京:中国电力出版社,2018

[收稿日期:2019.3.18]