



# DSP 和 FPGA 的双核并行通信方法设计与应用<sup>※\*</sup>

陈林军<sup>1</sup>, 刘鹏<sup>1,2</sup>, 姜智译<sup>3</sup>

(1. 后勤工程学院 后勤信息工程系, 重庆 401311; 2. 重庆通信学院; 3. 65113 部队)

**摘要:** 为解决雷达信号处理系统双核通信问题, 设计了两种 DSP 和 FPGA 之间的并行通信方法, 分别通过 DSP 的外部接口 XINTF 访问 FPGA 内部 FIFO 和双口 RAM, 利用 DSP 的读写使能信号作为 FIFO 和 RAM 的读写时钟信号。通过对两种并行通信方法进行对比分析, 指出雷达信号处理系统中双核通信应该采用 DSP 和 FPGA 内部 FIFO 的方法。

**关键词:** DSP; FPGA; 并行通信; 外部接口 XINTF; FIFO; 双口 RAM

**中图分类号:** TN919.5

**文献标识码:** A

## Design and Application of Dual-core Parallel Communication Method for FPGA and DSP<sup>※</sup>

Chen Linjun<sup>1</sup>, Liu Peng<sup>1,2</sup>, Jiang Zhiyi<sup>3</sup>

(1. Department of Information Engineering, Logistical Engineering University, Chongqing 401311, China;

2. Chongqing Communication Institute; 3. Unit 65113)

**Abstract:** In order to solve the problem of dual-core communication in the radar signal processing system, two methods of parallel communication between DSP and FPGA are designed. The two methods access FPGA internal FIFO and dual-port RAM through the external interface XINTF of DSP. The read and write enable signals of DSP are used as the read and write clock signals of FIFO and dual-port RAM of FPGA. The internal FIFO dual-core communication between DSP and FPGA is a better choice in the radar signal processing system after comparing the two methods.

**Key words:** DSP; FPGA; parallel communication; external interface XINTF; FIFO; dual-port RAM

### 引言

线性调频连续波 (Linear Frequency Modulation Continuous Wave, LFM CW) 雷达在储油罐液位计量中有着广泛的应用<sup>[1]</sup>, 提高雷达的测距精度从而提高计量精度, 对提高经济效益有着重要的作用。随着数字信号处理技术的发展, 高精度测距算法发展迅速, 但是这些高精度算法需要处理的数据量也越来越大<sup>[2-3]</sup>, 如极大似然估计法<sup>[2]</sup>有很高的估计精度, 但是单个频率点的计算量就达到

$5N-2$  次实数加法和  $5N+9$  次实数乘法; 参考文献<sup>[3]</sup>的信号频谱融合法在低信噪比下也有良好的估计性能, 但计算量为  $(M-1)(PQ+1)+P(N'-M)$  次复数加法和  $P(QM+N'+1)$  次复数乘法。为满足测量实时性和数据吞吐量的要求, 可以结合 DSP 浮点运算速度快<sup>[4]</sup>和 FPGA 外设驱动能力强<sup>[5]</sup>的优势, 采用 DSP 和 FPGA 双核架构设计雷达信号处理系统, 实现高精度测距算法。采用此架构, 首先要解决的就是 DSP 和 FPGA 之间的通信问题。本文基于搭载 TI 公司 DSP 芯片 TMS320F28335 (下文简称 DSP) 的核心板和搭载 Altera 公司 Cyclone II 系列的 FPGA 芯片 EP2C5Q208C8 (下文简称 FPGA) 的核心板搭建实验平台, 设计两种方法构建并行通信通道, 为搭建雷达信号处理系统的双核通信通道提供依据。

\* 基金项目: 国家自然科学基金 (频率估计的多段信号频谱融合法及应用基础, 61271449, 离散频谱的变频融合校正法及应用基础研究, 61302175); 重庆市研究生科研创新项目 (短时信号频率估计的相位匹配方法及其应用, CYB14100)。

除了数据加密和完整性校验, ISA100.11a 还提供了其他相应的安全功能, 以确保整个安全架构没有漏洞。这些功能包括: 用户设备的授权, 提供了基于非对称加密的在线授权机制; 加入网络时的用户与网络的互相认证; 通信密钥的分发和定时失效; 采用标准的 AES-128 算

法; 采用与时间相关的 NONCE。

正是由于这些机制的引入, 使得 ISA100.11a 系统提供了可以与 3G/4G 网络媲美的安全性, 并由于提供了基于非对称加密的在线授权机制, 极大地便利了整个系统的管理和维护。

## 1 DSP 与 FPGA 内部 FIFO 并行通信方法

### 1.1 设计思想

在雷达信号处理系统中,数据的流向如图 1 所示。首先 FPGA 接收高速并行 A/D 转换的数字信号,DSP 读取 FPGA 获取的信号序列并进行数字信号处理,得到距离信息,然后 DSP 将距离信息发送至 FPGA,FPGA 控制 LCD 显示屏显示距离信息。



图 1 数据的流向

FPGA 的设计采用 VHDL 硬件描述语言,利用内部 RAM 资源生成 FIFO 模块,将 FPGA 的 FIFO 模块作为 DSP 的外围设备,DSP 根据 FIFO 的存储状态,通过外部接口 XINTF 对 FIFO 模块进行读写操作。

### 1.2 硬件设计

根据设计思想,搭建了 DSP 和 FPGA 通信的硬件实验平台,硬件连接示意图如图 2 所示。

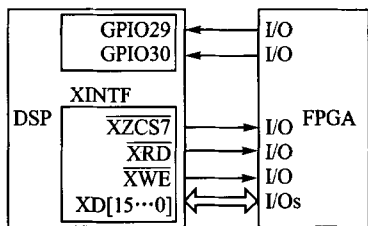


图 2 DSP 与 FPGA 连接示意图

TMS320F28335 DSP 支持 16 位和 32 位 XINTF 数据总线,本文使用 16 位数据总线进行通信,将 DSP 的数据总线、(读写)使能信号和 ZONE7 的选通信号  $\overline{XZCS7}$  与 FPGA 的通用 I/O 口连接。此外,选用 DSP 的两个可编程通用输入/输出引脚与 FPGA 通用 I/O 口相连,使 FIFO 的满信号作为 DSP 的中断输入,空信号作为数据读取完毕状态信号输入 DSP。

### 1.3 软件设计

#### 1.3.1 FPGA 内部 FIFO 模块设计

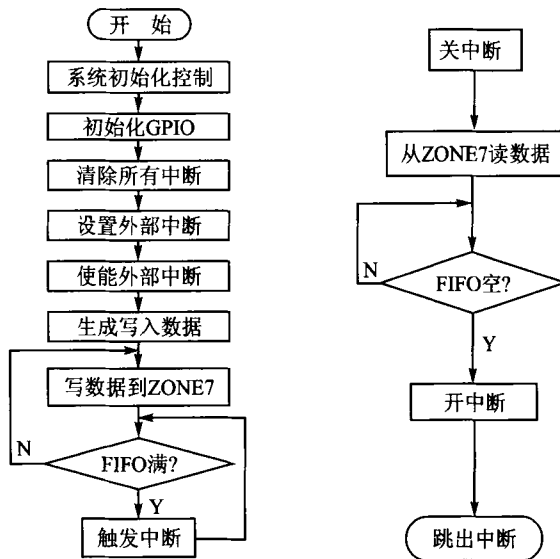
利用 Altera 公司的 QuartusII 集成开发环境,在 FPGA 中实现 FIFO 有两种方式:通过编写 VHDL 程序实现和利用软件中 MegaWizard Plug-In Manager 进行配置<sup>[6]</sup>。本文选用第二种实现方式,通过向导配置 FIFO 的数据宽度、深度和控制信号等参数。读写使能信号根据 FIFO 的空、满

状态,通过编写 VHDL 程序在 FPGA 内部逻辑实现。

DSP 每进行一次读(写)操作,时序分为 3 个阶段<sup>[7]</sup>:前导(Lead)、有效(Active)和跟踪(Trail)。在有效阶段读(写)使能信号拉低一次,为此,本设计将 DSP 读(写)使能信号经过非门取反后作为 FIFO 的读(写)时钟信号,FIFO 的读(写)使能信号有效时,在时钟信号的上升沿数据将被读出(写入)FIFO。系统通过数据总线进行数据的读写操作,因此 FPGA 的数据线引脚设置为双向传输(BIDIR)模式。FIFO 模块图略——编者注,当 FIFO 的读使能有效( $rdreq=1$ )时,数据只能由  $q$  端口经三态门输出;当 FIFO 的写使能有效( $wrreq=1$ )时,数据只能经三态门写入到 data 端口。

#### 1.3.2 DSP 模块设计

在本文中,DSP 的工作流程如图 3 所示。



(a) 主程序流程图

(b) 中断程序流程图

图 3 系统工作流程图

图 3(a)为主程序的流程。在主程序中,首先进行 DSP 的初始化设置,具体包括系统初始化控制、GPIO 的初始化和中断设置;然后生成待写入到 FIFO 中的数据(本文设置为整数 1~32 共 32 个数);随后将生成的数据写入到 ZONE7 地址区域(0x20 0000~0x2F FFFF),由于 FIFO 是先进先出存储器,访问时不需要地址线,只要地址范围在 ZONE7 寻址范围内,就能使选通信号  $\overline{XZCS7}$  有效,从而实现对 FIFO 的读写操作;当 FIFO 已经写满时,通过 GPIO29 产生外部中断,DSP 停止写入数据,开始执行中断程序。中断程序主要实现 DSP 从 FIFO 中读取数据的功能,其实现流程如图 3(b)所示。

#### 1.4 DSP 与 FPGA 内部 FIFO 的并行通信实验

根据硬件设计,制作了连接 DSP 核心板和 FPGA 核

心板的底板,搭建了 DSP 和 FPGA 通信的实验平台。在该实验平台上开展实测实验,并通过 CCS4.2 开发环境,观察 DSP 写入和读出 FIFO 的数据的结果如图 4 所示。

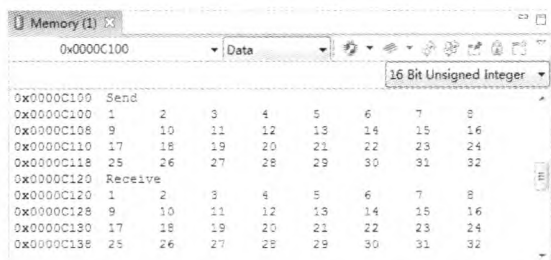


图 4 DSP 与 FPGA 内部 FIFO 并行通信实验结果

从图 4 中可以看出,生成的发送数据 Send 和接收到的数据 Receive 完全一样。实验结果表明,本文实现了 DSP 的 XINTF 接口到 FPGA 内部 FIFO 的双向并行通信,DSP 能够通过写操作将数据传送至 FPGA,通过读操作将数据从 FPGA 传送至 DSP。

## 2 DSP 与 FPGA 双口 RAM 并行通信方法

### 2.1 设计思想

FPGA 内部的存储器资源可以配置成单口 RAM、双口 RAM 和三口 RAM<sup>[8]</sup>,雷达信号处理板涉及到 DSP 对 RAM 的读写操作和 FPGA 本身对内部 RAM 的读写操作,因此本文采用双口 RAM,实现 DSP 对其的读写操作。主要设计思想如下:DSP 作为主设备,FPGA 作为从设备,DSP 通过 XINTF 的地址总线对 FPGA 内部的双口 RAM 进行寻址,过程与 DSP 读写外扩存储器芯片相似,本文使用 16 位数据宽度实现 32 个 16 位数据的双向传输。

### 2.2 硬件设计

根据设计思想,搭建 DSP 和 FPGA 通信的硬件实验平台,其中,DSP 和 FPGA 之间的硬件连接示意图如图 5 所示。

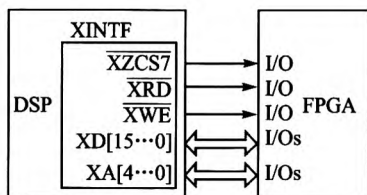


图 5 DSP 与 FPGA 连接示意图

设计数据宽度为 16 位,深度为 32 位,因此本文使用 16 位数据线、5 位地址线进行通信,将 DSP 的数据总线、地址总线、读写使能信号和 ZONE7 的选通信号 XZCS7 与 FPGA 的通用 I/O 口连接。由此,建立了 DSP 的 XINTF 接口和 FPGA 之间的通信通道。

## 2.3 软件实现

### 2.3.1 FPGA 内部 RAM 模块设计

同样,本文通过配置双口 RAM 的数据宽度(16 位)、数据深度(32 位)和控制信号等参数,简单高效地实现双口 RAM,再通过其与 XINTF 接口的连接关系和 XINTF 接口的信号时序,设计了双口 RAM 模块,模块图略——编者注。DSP 对 ZONE7 地址区域(0x20 0000~0x2F FFFF)进行访问时,系统将 XZCS7 拉低,经过 FPGA 内部非门后,双口 RAM 的使能信号拉高,此时,在读(写)时钟上升沿将数据读出(写入)。在 DSP 的读(写)操作时序的“有效”阶段,读(写)使能信号经 FPGA 内部非门后作为读(写)时钟,将数据读出(写入)。读写地址从 DSP 输出,再输入到 FPGA,FPGA 读写地址线共用一个端口。由于读写的地址也是共用一个端口,因此数据端口设计为输入输出端口(BIDIR),输入和输出通路由三态门进行控制。

### 2.3.2 DSP 模块设计

DSP 与 FPGA 内部 RAM 模块通信时的工作流程如图 6 所示,首先进行 DSP 的初始化设置,这一步与 DSP 访问 FIFO 模块类似;然后生成待写入到 RAM 中的数据(本文设置为整数 32~1,共 32 个数)并存储到数组 Send;随后生成数据写入的目标地址,ZONE7 的寻址范围为 0x20 0000~0x2F FFFF,本文设计的 RAM 模块大小为 32×16 位,因此寻址范围为 0x20 0000~0x20 001F,编程将数据 1~32 逆序写入到 RAM 地址 0x00~0x1F,然后将数据按地址从小到大顺序读出到数组 Receive;顺序读完数据后,再按照先奇数地址后偶数地址的顺序读取数据到 Receive1。



图 6 系统工作流程图

## 2.4 DSP 与双口 RAM 的并行通信实现

利用搭建好的包含 DSP 核心板和 FPGA 核心板的实验平台进行通信实测实验,根据硬件连接关系,给 FPGA 模块内的各信号分配引脚。完成后编译生成 .sof 文件,将 .sof 文件下载到 FPGA 中运行;然后通过 CCS4.2 和 XDS100V2 仿真器编译连接到 DSP,运行 DSP 中的 C 语言程序,在 Memory 窗口中观察 DSP 读取的数据结果如图 7 所示。

Address	Receive	Receive1	Send
0x0000C100	32	31	30
0x0000C104	21	20	19
0x0000C108	10	9	8
0x0000C10C	31	29	27
0x0000C110	21	20	19
0x0000C114	10	9	8
0x0000C118	32	31	30
0x0000C11C	21	20	19
0x0000C120	10	9	8

图 7 DSP 与双口 RAM 并行通信实验结果

从图 7 中可以看出,生成的发送数据 Send 和接收到的数据 Receive 完全一样,而 Receive1 的数据则是先偶数、后奇数的排列,分别对应 Send 中奇数序号和偶数序号所指向的数据。实验结果表明,该实验方案可以实现 DSP 和 FPGA 之间的双向并行通信,DSP 可以通过寻址方式读写 FPGA 内部双口 RAM 的数据。

## 3 两种通信方法对比分析

上述两种方法都能够实现 DSP 和 FPGA 之间的双向并行通信,而且都是通过 DSP 的 XINTF 接口和 FPGA 的通用 I/O 引脚相连,构成数据交换的通道,由 FPGA 分别配置生成 FIFO 和双口 RAM,DSP 利用 XINTF 接口的片选信号和读写使能信号作为控制 FIFO 和双口 RAM 读写的控制信号,完成 DSP 和 FPGA 之间的双向并行通信。

两种通信方法最大的区别在于:FIFO 不需要地址线,数据只能按照先后顺序存储和读出,先存则先读,后存则后读,存满后产生满信号,不能再存,读完后产生空信号,不能继续读;RAM 有地址线,必须通过地址线才能对其进行读写,读写地址没有顺序的要求,可以读写 RAM 地址范围内的任意地址所指向的数据,对同一地址的数据可以多次读取而不会产生变化,但是对同一地址多次写入则会覆盖之前的数据。

由分析可知,本文设计的两种 DSP 和 FPGA 之间的双向并行通信方法各有优劣。DSP 和 FPGA 内部 FIFO 之间的通信,硬件结构简单,所需 I/O 引脚较少,数据的读写过程清新,不会造成数据顺序的错乱,然而,这种方法缺乏灵活性,不能随意调用存储器中的特定数据。而 DSP 和 FPGA 内部双口 RAM 之间的通信在硬件上的开销相对较大,

占用较多的 I/O 引脚资源,读写 RAM 要首先生成目标地址,而后根据目标地址进行寻址读写数据,对双口 RAM 的读写比较灵活,可以只取所需而不用将数据都读出。

雷达信号处理系统所处理的数据是一系列离散时间序列,而 A/D 转换器采集的数据就是离散时间序列,FP-GA 对这些数据进行存储和 DSP 对这些数据的读取都不需要有序的变化,读写过程简单,再考虑到芯片 I/O 引脚有限,所以在雷达信号处理系统中适合采用 DSP 和 FP-GA 之间通过 FIFO 方式进行双向并行通信。

## 结 语

本文设计了两两种 DSP 和 FPGA 之间的并行通信方法,搭建了双核并行通信硬件实验平台,实现了两者间的双向并行通信。在 FPGA 内部实现 FIFO 和双口 RAM,DSP 作为主设备,通过外部接口 XINTF 对 FPGA 的内部 FIFO 和双口 RAM 进行读写操作,从而完成两者的通信。对两种并行通信方法进行了对比分析,结合雷达信号处理系统的需求,认为雷达信号处理系统适合采用 DSP 与 FP-GA 通过内部 FIFO 进行通信的方法。

编者注:本文为期刊缩略版,全文见本刊网站 [www.mesnet.com.cn](http://www.mesnet.com.cn)。

## 参考文献

- [1] 刘良兵. 频率估计的信息融合方法及其应用[D]. 重庆: 后勤工程学院, 2008.
- [2] KENEFIC R J, NUTTALL A H. Maximum likelihood estimation of the parameters of a tone using real discrete data [J]. IEEE Journal of Oceanic Engineering, 1987, 12(1): 279 - 280.
- [3] 肖玮, 涂亚庆, 刘良兵, 等. 频率估计的一种多段同频正弦信号频谱相关算法[J]. 电子与信息学报, 2012, (3): 564 - 570.
- [4] 张卿杰. 手把手教你学 DSP——基于 TMS320F28335[M]. 北京: 北京航空航天大学出版社, 2015.
- [5] 林琳. 基于 FPGA 的雷达信号处理板设计与实现[J]. 现代电子技术, 2014(11): 51 - 56.
- [6] Altera. SCFIFO and DCFIFO IP Cores User Guide[EB/OL]. [2015 - 08]. [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/ug/ug\\_fifo.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug_fifo.pdf).
- [7] Texas Instruments. TMS320x2833x, 2823x DSC External Interface (XINTF) Reference Guide[EB/OL]. [2015 - 08]. <http://www.ti.com/lit/ug/spru949d/spru949d.pdf>.
- [8] Altera. Internal Memory (RAM and ROM) User Guide[EB/OL]. [2015 - 08]. [https://www.altera.com/en\\_US/pdfs/literature/an/an207.pdf](https://www.altera.com/en_US/pdfs/literature/an/an207.pdf).

陈林军(硕士研究生), 主要研究方向为检测技术与自动化装置; 刘鹏(讲师), 主要研究方向为嵌入式控制系统; 姜智译(助理工程师), 主要从事油库自动化工作。

(责任编辑: 薛士然 收稿日期: 2015-08-04)