

XINTF接口及 外扩存储器设计

 讲师：顾卫钢





XINTF接口及外扩存储器设计

F28335内部有 $34\text{K} \times 16$ 位的RAM和 $256\text{K} \times 16$ 位的Flash, 当实际应用需要更大的存储空间时, 就得通过外部接口XINTF来扩展外部存储器了。通过XINTF接口, 不仅可以扩展存储器, 还可以扩展许多外设功能, 比如扩展模数转换ADC, 扩展数模转换DAC等, 以丰富DSP的功能。本章将介绍F28335的外部接口模块XINTF, 并通过实例来介绍如何使用XINTF接口来扩展外部的存储器。



XINTF概述

F28335的外部接口模块XINTF（External Interface）是一种异步接口，可以映射到三个固定的存储空间，如图8-1所示。

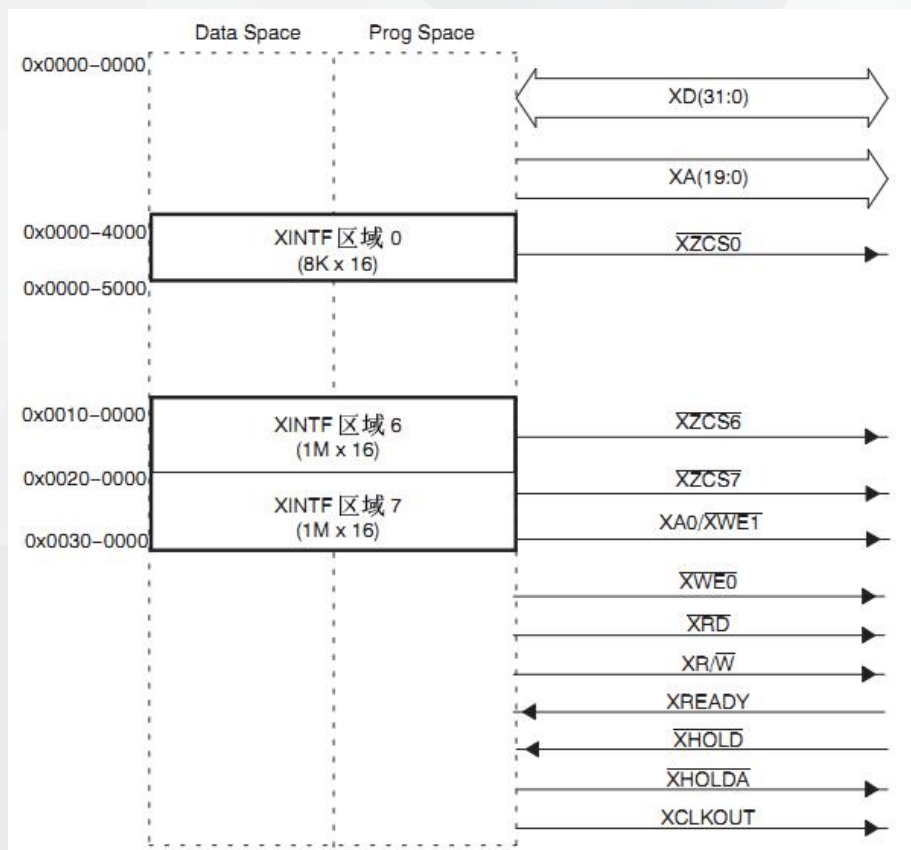


图8-1 外部接口模块XINTF



XINTF概述

从图8-1可以看到，XINTF接口映射到了F28335的三个存储空间，XINTF区域0、区域6和区域7。区域0的地址范围是0x0000 4000 ~ 0x0000 4FFF，大小是8K×16位；区域6的地址范围是0x0010 0000 ~ 0x001F FFFF,大小是1M×16位；区域7的地址范围是0x0020 0000 ~ 0x002F FFFF,大小也是1M×16位。每个存储区域都会有一个片选信号，具体的信息见表8-1。当对一个区域进行读/写访问时，要将相应的片选信号线驱动到低电平,因为各个区域的片选信号是低电平有效的。XINTF接口的信号说明见表8-2。

区域	地址范围	空间大小	片选信号
区域0	0x0000 4000 ~ 0x0000 4FFF	8K×16位	$\overline{\text{XZCS0}}$
区域6	0x0010 0000 ~ 0x001F FFFF	1M×16位	$\overline{\text{XZCS6}}$
区域7	0x0020 0000 ~ 0x002F FFFF	1M×16位	$\overline{\text{XZCS7}}$

表8-1 XINTF
接口区域信息



XINTF概述

信号名称	特性	信号说明
XD[31:0]	I/O/Z	双向32位数据总线。在16位模式下，只使用XD[15: 0]。
XA[19:1]	O/Z	地址总线。当XCLKOUT上升沿时，地址被放锁存到地址总线上，并保持到下次访问。
XA0/ $\overline{\text{XWE1}}$	O/Z	在16位数据总线模式下，作为地址线的最低位XA0； 在32位数据总线模式下，作为高16位的写操作的选通线 $\overline{\text{XWE1}}$ 。
XCLKOUT	O/Z	输出时钟。XCLKOUT可以和XINTF内部的时钟XTIMCLK相同，也可以是其1/2， 取决于XINTCNF2寄存器的位CLKMODE。在复位时， XCLKOUT=XTIMCLK/2 XTIMCLK=SYSCLKOUT/2
$\overline{\text{XWE0}}$	O/Z	写操作的选通线，低电平有效。在16位模式下，写操作的选通线；在32位模式下， 低16位的写操作的选通线。
$\overline{\text{XRD}}$	O/Z	读操作的选通线，低电平有效。 $\overline{\text{XRD}}$ 和 $\overline{\text{XWE0}}$ 是不会同时为低的。
XR/ $\overline{\text{W}}$	O/Z	读/写信号线。当为高电平时，表示正在读操作；当为低电平时，表示正在写操作。 通常信号是保持高电平的状态。
$\overline{\text{XZCS0}}$	O	区域0的片选信号。当访问区域0的地址空间时，信号为低电平。
$\overline{\text{XZCS6}}$	O	区域6的片选信号。当访问区域6的地址空间时，信号为低电平。
$\overline{\text{XZCS7}}$	O	区域7的片选信号。当访问区域7的地址空间时，信号为低电平。
XREADY	I	当为高电平时，表明外设已经完成了此次访问的相关操作。
$\overline{\text{XHOLD}}$	I	当为低电平时，请求XINTF释放外部总线，将所有总线和选通信号驱动至高阻态。 当当前访问已经结束，并且没有访问在等待时，XINTF模块就会释放总线。
$\overline{\text{XHOLDA}}$	O/Z	当XINTF响应了 $\overline{\text{XHOLD}}$ 请求后， $\overline{\text{XHOLDA}}$ 被驱动为低电平。此时，所有的总线和选 通信号都处于高阻态。当 $\overline{\text{XHOLD}}$ 信号被释放时， $\overline{\text{XHOLDA}}$ 也会被释放。

表 8-2 XINTF
接口信号说明



XINTF概述

当寄存器PCLKCR3中的XINTF时钟被使能时，XINTF的三个区域都使能了，也就是说如果要用XINTF接口，那么必须将PCLKCR3中的XINTF时钟使能。XINTF的每个区域都可通过寄存器来设定独立的等待时间、选通信号建立时间和保持时间，而且每一个区域的读操作和写操作可配置不同的等待时间、选通信号建立时间和保持时间，另外可通过使用XREADY信号来延长等待时间。XINTF接口的这些特性允许其访问不同速率的外部存储器或设备。



XINTF配置·时钟信号

XINTF接口用到了两个时钟信号：XTIMCLK和XCLKOUT。图8-2说明了这两个时钟信号和SYSCLKOUT之间的关系。

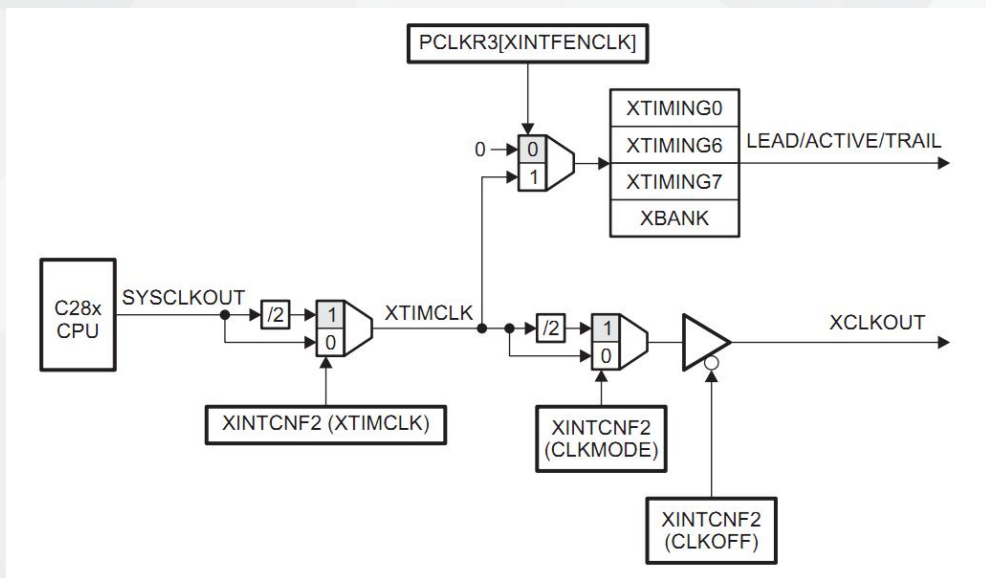


图8-2 XINTF接口的时钟信号

XTIMCLK是XINTF接口的内部时钟，所有的访问操作都是以XTIMCLK为基准的。当配置XINTF时，必须选择XTIMCLK和SYSCLKOUT的关系。通过对寄存器XINTCNF2的位XTIMCLK进行设置，XTIMCLK可以等于SYSCLKOUT，也可以是SYSCLKOUT的一半。默认情况下，XTIMCLK是SYSCLKOUT的一半。



XINTF配置·时钟信号

XINTF接口所有的访问开始于外部时钟输出XCLKOUT的上升沿。通过对寄存器XINTCNF2的位CLKMODE进行设置，XCLKOUT可以等于XTIMCLK，也可以是XTIMCLK的一半，也就是SYSCLKOUT的四分之一。默认情况下，XCLKOUT是XTIMCLKOUT的一半。为了减少系统噪声，可以禁止引脚输出XCLKOUT时钟，只需将寄存器XINTCNF2的位CLKOFF置1。

XINTF配置·数据总线宽度和连接方式

XINTF接口的每个区域都可以独立地配置成16位或者32位总线宽度。 $XA0 = \overline{XWE1}$ 信号的功能取决于总线宽度的配置。如果 $XTIMINGx[XSIZE]=3$ ，XINTF接口的区域x被配置成16位模式， $XA0 = \overline{XWE1}$ 作为地址线的最低位XA0，在这种模式下，典型的XINTF总线连接图如图8-3所示。 $\overline{XWE0}$ 和XA0/ $\overline{XWE1}$ 信号的行为如表8-3所示。

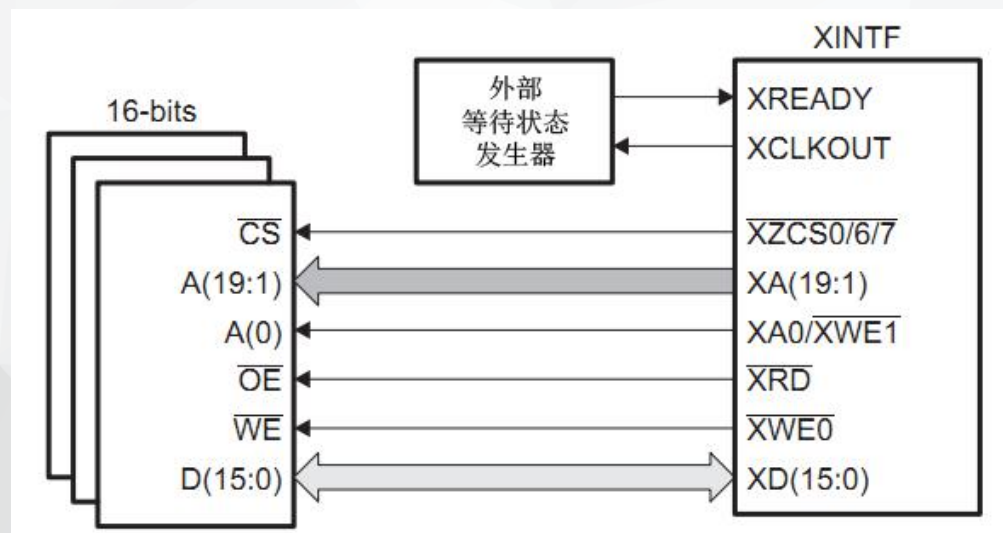


图8-3 16位数据总线的典型连接



XINTF配置·数据总线宽度和连接方式

16位总线模式下的写访问	$\overline{XA0}/\overline{XWE1}$	$\overline{XWE0}$
无访问操作	1	1
16位数据偶数地址的访问	0	0
16位数据奇数地址的访问	1	0

表8-3 16位模式下 $\overline{XA0}/\overline{XWE1}$ 和 $\overline{XWE0}$ 的行为

如表8-3，当XINTF区域配置为16位模式时，读操作时， $\overline{XWE0}$ 为低电平，所以为0； $\overline{XA0}/\overline{XWE1}$ 的功能是 $\overline{XA0}$ ，所以访问的地址是偶数时， $\overline{XA0}$ 为0，访问的地址是奇数时， $\overline{XA0}$ 为1。



XINTF配置·数据总线宽度和连接方式

32位总线模式下的写访问	$\overline{XA0}/\overline{XWE1}$	$\overline{XWE0}$
无访问操作	1	1
16位数据偶数地址的访问	1	0
16位数据奇数地址的访问	0	1
32位数据访问	0	0

表8-4 32位模式下 $\overline{XA0}/\overline{XWE1}$ 和 $\overline{XWE0}$ 的行为

如表8-4，当XINTF区域配置为32位模式时， $\overline{XA0}/\overline{XWE1}$ 的功能是 $\overline{XWE1}$ ，写高16位数据的时候 $\overline{XWE1}$ 为低。当进行32位数据写操作时， $\overline{XWE0}$ 和 $\overline{XWE1}$ 均为低电平。当进行16位数据写操作，偶数地址时数据放在低16位， $\overline{XWE0}$ 为低电平， $\overline{XWE1}$ 为高电平；奇数地址时数据放在高16位， $\overline{XWE0}$ 为高电平， $\overline{XWE1}$ 为低电平。



XINTF配置·建立时间、有效时间和跟踪时间

XINTF接口的写操作或读操作时序可分为三个部分：建立时间（Lead）、有效时间（Active）和跟踪时间（Trail）。通过配置，每个区域的XTIMING寄存器可为该区域的三个部分设定相应的等待时间，等待时间以XTIMCLK周期为最小单位，每个区域读操作和写操作的建立、有效和跟踪时间都可以独立配置。另外，为与低速外部设备连接时，可通过XTIMING寄存器的位X2TIMING将建立、有效和跟踪时间都延长一倍。



XINTF配置·建立时间、有效时间和跟踪时间

1.建立时间

在建立时间阶段，所要访问区域的片选信号被拉低，相应存储单元的地址被发送到地址总线上。建立时间可通过本区域XTIMING寄存器进行配置，默认情况下，读/写操作都使用最大的建立时间，即6个XTIMCLK周期。

2.有效时间

在有效时间内完成外部设备的访问，如果是读操作，则读选通信号 $\overline{\text{XRD}}$ 被拉低，数据被锁存到DSP中；如果是写操作，则写选通信号 $\overline{\text{XWE0}}$ 被拉低，数据被发送到数据总线上。如果该区域采样XREADY信号，外部设备通过控制XREADY信号可延长有效时间，此有效时间可超过设定值；如果未使用XREADY信号，总有效时间所包含的XTIMCLK周期数为相应寄存器XTIMING中的设定值加1。默认情况下，读/写访问的有效时间为14个XTIMCLK周期。



XINTF配置·建立时间、有效时间和跟踪时间

3.跟踪时间

在跟踪时间内，区域的片选信号仍保持低电平，但读/写选通信号被重新拉到高电平。跟踪时间也可通过本区域XTIMINF寄存器进行配置，默认情况下，读/写操作都使用最大的跟踪时间，即6个XTIMCLK周期。根据系统的要求，可以通过配置合适的建立时间、有效时间和跟踪时间来满足不同外部存储器或者设备的读/写要求。在选择时间参数时，下列的因素需要考虑：

- 读/写操作三个阶段的最小等待时间要求；
- XINTF接口的读/写操作时序；
- 外部存储器或设备的时序要求；
- DSP与外部设备之间的附加延时。



XINTF配置·XREADY采样

通过采样XREADY信号，外部设备可扩展访问操作的有效时间。所有的XINTF区域共用一个XREADY输入信号，但每个XINTF区域可以被独立地配置采样或者忽略XREADY信号。如果配置成采样XREADY模式，每个区域的采样方式有两种：

- 同步采样：同步采样中，XREADY信号在总的有效时间结束前将保持一个XTIMCLK周期时间的有效电平。
- 异步采样：异步采样中，XREADY信号在总的有效时间结束前将保持三个XTIMCLK周期时间的有效电平。

无论是同步还是异步方式，如果采样到的XREADY信号为低电平，那访问阶段的有效时间就增加一个XTIMCLK周期，并且在下一个XTIMCLK周期继续对XREADY信号进行采样，直到访问结束，XREADY信号变为高电平。



XINTF配置·XREADY采样

如果一个区域配置成采样XREADY模式，那么无论是读访问还是写访问都会对XREADY信号进行采样。默认情况下，每个XINTF区域都是配置成异步采样模式。当使用XREADY信号时，需要考虑XINTF接口的最小等待时间要求。同步模式和异步模式的最小等待时间要求是不同的，主要取决于：

- XINTF接口的时序特性；
- 外设的时序要求；
- DSP与外部设备之间的附加延时。



XINTF配置·访问时序的具体配置

XINTF的信号时序可以满足外设特定的时序要求，比如读访问和写访问的建立时间、保持时间等。通过XTIMING寄存器，每个区域的时序参数都是可以独立设置的，而且每个区域都可以配置成采样或者忽略XREADY信号模式，这样可以使得XINTF接口访问存储器或者外围设备的效率达到最大化。

XTIMING寄存器配置的参数与各阶段时间的关系如表8-5所示，各阶段的时间都是以时钟周期XTIMCLK为单位的，记为 $t_c(\text{XTIM})$ 。



XINTF配置·访问时序的具体配置

时间名称	描述	持续时间	
		X2TIMING=0	X2TIMING=1
LR	建立时间, 读操作	$XRLEAD \times t_c(XTIM)$	$XRLEAD \times 2$
AR	有效时间, 读操作	$(XRDACTIVE + WS + 1) \times t_c(XTIM)$	$(XRDACTIVE \times 2 + WS + 1) \times t_c(XTIM)$
TR	跟踪时间, 读操作	$XRDTRAIL \times t_c(XTIM)$	$(XRDTRAIL \times 2) \times t_c(XTIM)$
LW	建立时间, 写操作	$XWRLEAD \times t_c(XTIM)$	$(XWRLEAD \times 2) \times t_c(XTIM)$
AW	有效时间, 写操作	$(XWRACTIVE + WS + 1) \times t_c(XTIM)$	$(XWRACTIVE \times 2 + WS + 1) \times t_c(XTIM)$
TW	跟踪时间, 写操作	$XWRTRAIL \times t_c(XTIM)$	$(XWRTRAIL \times 2) \times t_c(XTIM)$

表8-5 各阶段持续时间

表8-5中的WS是使用XREADY信号时, 插入的等待状态个数。当忽略XREADY信号时 (USEREADY=0), WS=0。



XINTF配置·访问时序的具体配置

- 1.忽略XREADY信号 (USEREADY=0)

如果忽略XREADY信号，建立时间需要满足： $LR \geq t_c(XTIM)$ ， $LW \geq t_c(XTIM)$ 。此时XTIMING寄存器的配置需要满足如表8-6所示的约束条件。其相应的应用实例如表8-7所示。

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
有效	≥ 1	≥ 0	≥ 0	≥ 1	≥ 0	≥ 0	0或1

表8-6 USEREADY=0时，XTIMING寄存器配置要求

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0或1
有效	1	0	0	1	0	0	0或1

表8-7 USEREADY=0时，XTIMING寄存器配置实例

XINTF配置·访问时序的具体配置

- 2.同步采样模式 (USEREADY=1, READYMODE=0)

如果对XREADY信号进行采样, 并采用同步模式时, 建立时间需要满足: $LR \geq t_c(XTIM)$, $LR \geq t_c(XTIM)$; 有效时间需要满足: $AR \geq 2 \times t_c(XTIM)$, $AW \geq 2 \times t_c(XTIM)$, 上述约束条件不包括外部硬件的等待状态。此时XTIMING寄存器的配置需要满足表8-8所示的约束条件。其相应的应用实例如表8-9所示。

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
有效	≥ 1	≥ 1	≥ 0	≥ 1	≥ 1	≥ 0	0或1

表8-8 USEREADY=1、READYMODE=0时, XTIMING寄存器配置要求

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0或1
无效	1	0	0	1	0	0	0或1
有效	1	1	0	1	1	0	0或1

表8-9 USEREADY=1、READYMODE=0时, XTIMING寄存器配置实例

XINTF配置·访问时序的具体配置

• 3.异步采样模式 (USEREADY=1, READYMODE=1)

如果对XREADY信号进行采样, 并采用同步模式时, 建立时间需要满足: $LR \geq t_c(XTIM)$, $LW \geq t_c(XTIM)$; 有效时间需要满足: $AR \geq 2 \times t_c(XTIM)$, $AW \geq 2 \times t_c(XTIM)$, 建立和有效时间之和需要满足: $LR + AR \geq 4 \times t_c(XTIM)$, $LW + AW \geq 4 \times t_c(XTIM)$ 。此时XTIMING寄存器的配置需要满足表8-10所示的约束条件。其相应的应用实例如表8-11所示。

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
有效	≥ 1	≥ 2	0	≥ 1	≥ 2	0	0或1
有效	≥ 2	≥ 1	0	≥ 2	≥ 1	0	0或1

表8-10 USEREADY=1、READYMODE=1时, XTIMING寄存器配置要求



XINTF配置·访问时序的具体配置

• 3.异步采样模式 (USEREADY=1, READYMODE=1)

如果对XREADY信号进行采样, 并采用同步模式时, 建立时间需要满足: $LR \geq t_c(XTIM)$, $LW \geq t_c(XTIM)$; 有效时间需要满足: $AR \geq 2 \times t_c(XTIM)$, $AW \geq 2 \times t_c(XTIM)$, 建立和有效时间之和需要满足: $LR + AR \geq 4 \times t_c(XTIM)$, $LW + AW \geq 4 \times t_c(XTIM)$ 。此时XTIMING寄存器的配置需要满足表8-10所示的约束条件。其相应的应用实例如表8-11所示。

控制位	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效	0	0	0	0	0	0	0或1
无效	1	0	0	1	0	0	0或1
无效	1	1	0	1	1	0	0
有效	1	1	0	1	1	0	1
有效	1	2	0	1	2	0	0,1
有效	2	1	0	2	1	0	0,1

表8-11 USEREADY=1、READYMODE=1时, XTIMING寄存器配置实例



外扩存储器设计

调试程序时，通常是把工程可执行文件下载到F28335内部的RAM中，F28335片内有34K×16位的RAM，如果工程的可执行文件比较大，内部的RAM存储器放不下时该怎么办呢？此时就可以通过XINTF接口来外扩一个RAM存储器，然后通过配置CMD文件，将部分可执行程序下载到外部RAM中进行调试，实际应用时也可以把一些变量存放在外部RAM里。

外扩存储器设计·硬件设计

这里使用F28335的XINTF接口外扩一个256K的RAM存储器IS61LV25616，硬件设计原理图如图8-5所示。

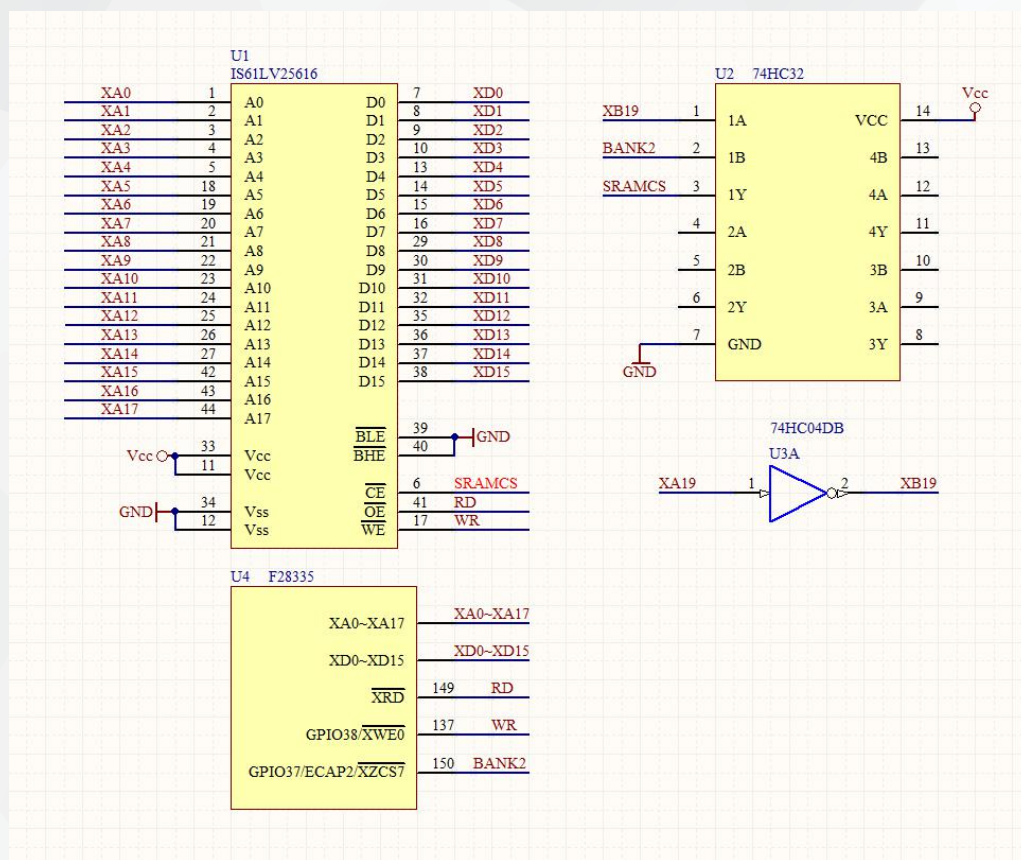


图8-5 外扩RAM硬件原理图



外扩存储器设计·硬件设计

从图8-5可以看到，将IS61LV25616的地址总线A0 ~ A17、数据总线D0 ~ D15、读写控制线分别和F28335相应的地址总线、数据总线、读写控制线相连，这里重点分析下IS61LV25616的片选信号SRAMCS，在什么情况下SRAMCS变为低电平，选中外扩的存储器呢？数据线XA19取反后成了信号XB19，XINTF接口的区域7的片选信号 $\overline{XZCS7}$ 和XB19进行或运算后得到SRAMCS，也就是：

$$SEAMCS = \overline{XZCS7} \parallel \overline{XA19}$$

从F28335的存储器映像可以知道，当访问地址范围为0x200000 ~ 0x2FFFFFF的区域7时，信号 $\overline{XZCS7}$ 会变为低电平，而SRAMCS要为低电平的话， $\overline{XA19}$ 也必须同时为低电平，也就是说此时XA19必须为高电平。因此，当访问地址的范围满足0x280000 ~ 0x2FFFFFF时，SRAMCS为低电平，选中存储器IS61LV25616，如图8-6所示。



外扩存储器设计·硬件设计

地址总线	A21	A20		A19	A18	A17	A16		A15	A14	A13	A12		A11	A10	A9	A8		A7	A6	A5	A4		A3	A2	A1	A0	
满足条件	1	0		1	X	X	X		X	X	X	X		X	X	X	X		X	X	X	X		X	X	X	X	
最小值	1	0		1	0	0	0		0	0	0	0		0	0	0	0		0	0	0	0		0	0	0	0	280000
最大值	1	0		1	1	1	1		1	1	1	1		1	1	1	1		1	1	1	1		1	1	1	1	2FFFFFF

图8-6 SRAMCS为低电平的地址范围

经过上面的分析不难知道，图8-5设计的电路实现了给F28335外扩一个大小为256K×16位的RAM存储器，其访问的首地址为0x280000。



外扩存储器设计·将变量存放到外扩存储器中

下面通过实例来说明如何访问图8-5中设计好的外部存储器。新建一个名为exram的工程，在工程里定义一个数组ramtest1[10]，通过配置CMD文件，将数组ramtest1存放到外扩存储器中，并对其进行赋值，然后通过CCS来观察数组。完整工程见本书的配套资源。

首先需要写系统初始化函数InitSysCtrl()，配置系统时钟，锁相环，高、低外设时钟，使能外设时钟等，然后需要初始化外设接口XINTF。特别需要注意的是，F28335的数据总线、地址总线、写控制线、片选信号线都是和通用数字I/O复用的，所以初始化XINTF的时候，需要将这些引脚配置成相应的功能引脚。

*程序清单略

THANKS

谢谢聆听



工程师



公众号



官网



旗舰店