

安徽大学 2009—2010 学年第二学期

《数字电子技术》考试试卷 (A 卷)

(闭卷 时间 120 分钟)

题号	一	二	三	四	五	总分
得分						
阅卷人						

一、填空题 (每空 1 分, 共 15 分)

得分	
----	--

- 1、十进制数 73.75 的二进制数为 1001_001 , 8421BCD 码为 01110011, 01110101
- 2、当 TTL 与非门的输入端悬空时相当于输入为 高 电平。
- 3、在数字电路中, 不论哪一种逻辑门电路, 其中的关键器件是 MOS 管或 BJT, 它们均可以作为 开关 器件。
- 4、时序逻辑电路在 CP 脉冲作用下, 由无效状态自动回到有效序列称为电路具有 自启动 。
- 5、TTL 反相器的输入级由 BJT 构成, 输出级采用推拉式结构, 其目的是为了 提高带负载能力 和增强带负载的能力。
- 6、当七段显示译码器的输出为高电平有效时, 应选用共 阴 极数码管。
- 7、用 4 个触发器可以存储 16 位二进制数。
- 8、如果对键盘上 108 个符号进行二进制编码, 则至少要 7 位二进制数码。
- 9、时序逻辑电路分为同步时序和 异步 两大类。
- 10、几个集电极开路与非门 (OC 门) 输出端直接相连, 配加负载电阻后实现 线与 功能。
- 11、表达式 $F = \overline{A}BC + B\overline{C}$ 能否产生竞争冒险 可能 (可能/不可能)。
- 12、表达式 $F = \overline{AB + C}$, 用与非门实现的表达式是 $\overline{\overline{AB} + C}$ 。
- 13、一个四位串行数据, 输入四位移位寄存器, 时钟脉冲频率为 1kHz, 经过 1000 ms 可转换为 4 位并行数据输出。
- 14、多谐振荡器有 3 个稳定状态。

二、单选题（每题 1 分，计 10 分）

得分

1、_____D_____电路在任何时刻只能有一个输出端有效。

- (A) 二进制译码器 (B) 二进制编码器 (C) 七段显示译码器 (D) 十进制计数器

2、对 CMOS 与非门电路，其多余输入端正确的处理方法是_____D_____。

- A、通过大电阻接地 ($>1.5K\Omega$) B、悬空
C、通过小电阻接地 ($<1K\Omega$) D、通过电阻接 V_{cc}

3、基本 RS 锁存器如图 1 所示，为使锁存器处于“置 1”状态，其 SR 应为_B_____。

- (A) $SR=00$ (B) $SR=01$ (C) $SR=10$ (D) $SR=11$

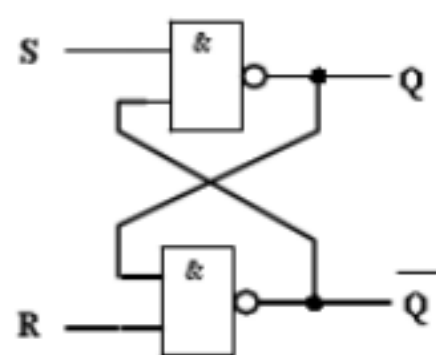


图 1

4、为了将正弦信号转换成与之频率相同的脉冲信号，可采用_____D_____。

- A、多谐振荡器 B、移位寄存器 C、单稳态触发器 D、施密特触发器

5、要将方波脉冲的周期扩展 10 倍，可采用_____A_____。

- A、10 级施密特触发器 B、10 位二进制计数器 C、十进制计数器
D、单稳态触发器

6、实现 8421BCD 转换为余 3 码的最简单方法是_____B_____。

- A、8-3 编码器 B、4 位二进制加法器 C、4 位二进制数据比较器
D、4-1 数据选择器

7、理想数字系统的综合指标为 $DP = t_{pd} P_D$ ，该值越小，表明其_____C_____。

- A、功耗越小 B、速度越低 C、愈远离理想情况 D 愈接近理想情况

8、OD 门上拉电阻计算公式，理解错误的一项是___D___。

- A、也能用于 OC 门 B、用作电平转换时应该用 $V_{DD} - V_{IH(min)}$ 作为 R_p 的电压
C、 $I_{IH(total)}$ 是负载门输入电流之和 D、 R_p 取值愈接近 $R_{P(min)}$ ，电路功耗愈小

9、关于逻辑门信号的低电平有效概念，下列叙述中正确的一项是___D___。

- A、低电平有效信号要求内部控制电路一定有“非或“运算
B、低电平有效对于减少干扰没有益处
C、低电平有效概念只能是指输入信号，同输出信号无关
D、一般集成电路的管脚图，引脚处有个小圆圈或者引脚字符定义上有一道小横线都代表低电平有效的含义

10、以下电路中常用于总线应用的有___A___。

- A、三态门 B、OC 门 C、CMOS 传输门 D、CMOS 与非门

得分	
----	--

三、计算题（第一小题 5 分，第二小题 10 分，共 15 分）

1、用代数法化简逻辑表达式 $F = A\bar{B}CD + AB\bar{C}D + A\bar{B} + A\bar{D} + A\bar{B}C$

解：

2、图 2 为用 555 定时器构成的施密特触发器。求：当 $V_{DD}=15V$ 时， U_+ 、 U_- 、及 ΔU 各为多少？

解：

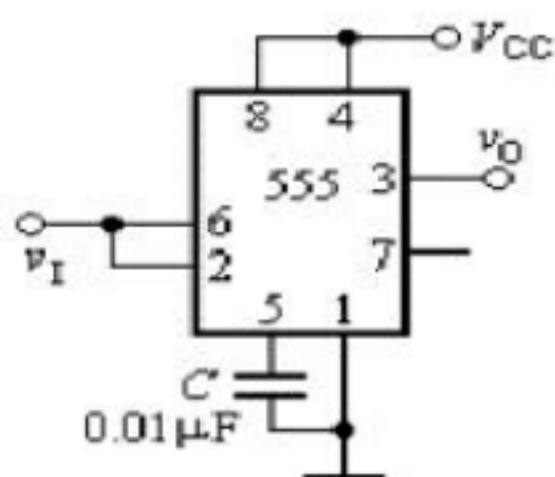


图 2

得分

四、分析题（第一题 5 分，第二题 5 分，第三题 20 分，共 30 分）

1、电路如图 3 所示，请画出在输入信号作用下，对应的输出 Q1 的波形。（设触发器均为边沿触发器，且初态为 0）（5 分）

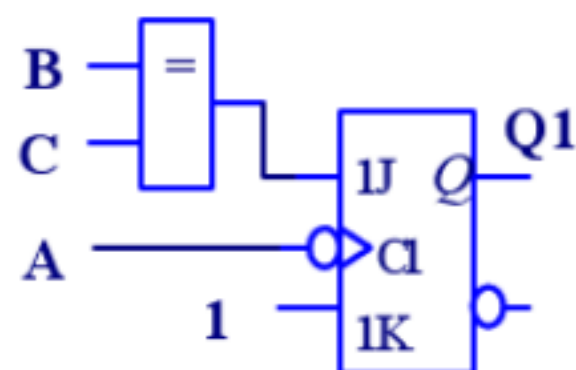
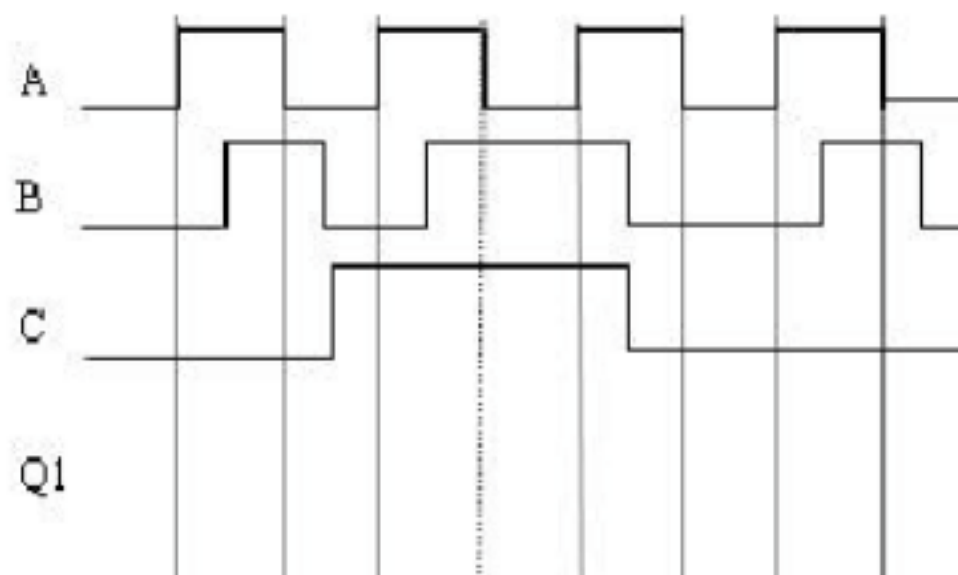


图 3

解:



2、给出图 4 所示的最简逻辑表达式。

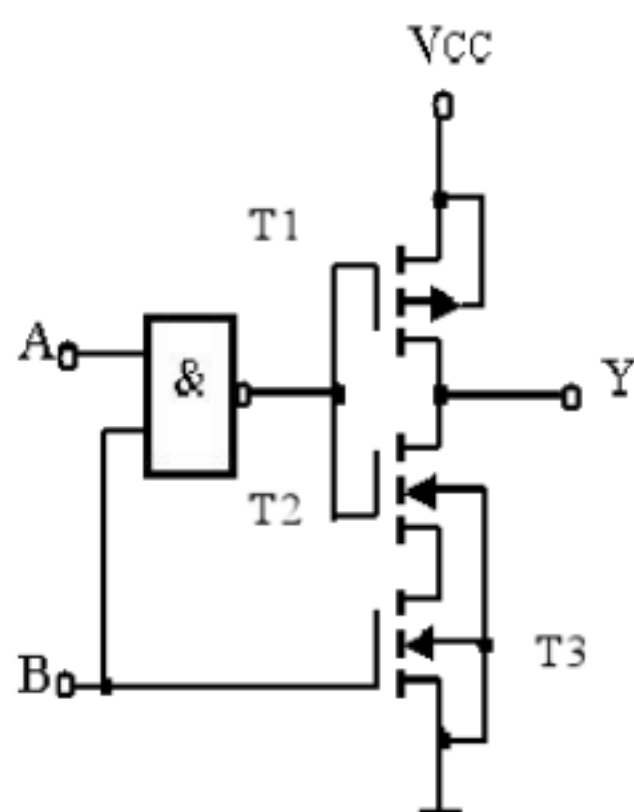


图 4

解：

3、电路如图 5 所示。设 Q_1Q_0 的初态为 00，(1) 写出各触发器驱动方程以及输出方程；(2) 写出触发器特性方程；(3) 导出电路的状态表；(4) 画出电路状态图；(5) 设 $X=0$ ，画出时序图；(6) 说明电路是否可以自启动。

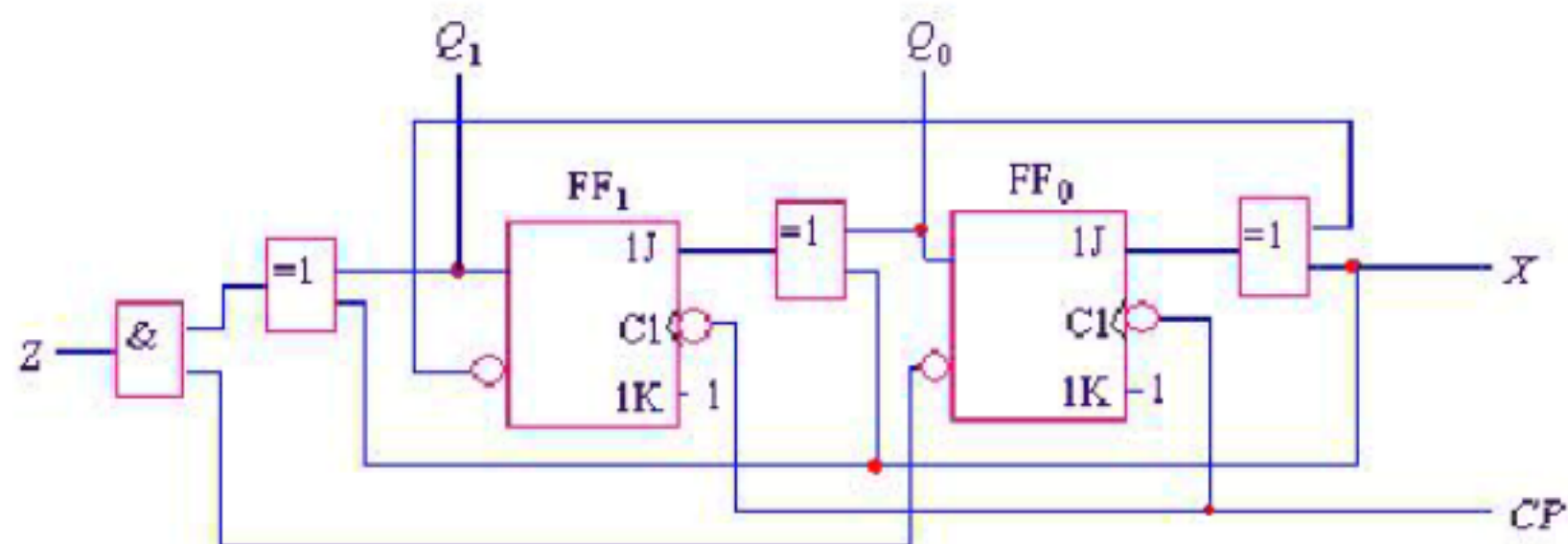


图 5

解:

院/系 _____ 年级 _____ 专业 _____ 姓名 _____ 学号 _____

装 订 线

答 题 勿 超 装 订 线

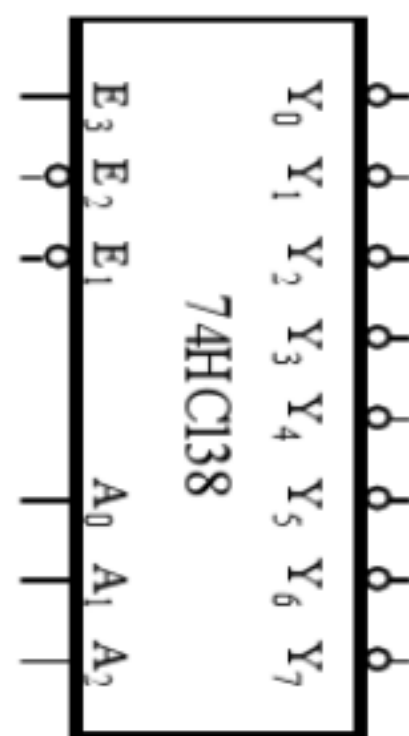
得分

五、设计题（每小题 15 分，共 30 分）

1、某公司有 A、B、C 三个股东，分别占有 50%、30%和 20%的股份，设计一个三输入三输出的多数表决器，用于记录按照股份大小决定的输出表决结果：赞成、平局和否决，分别用 F1、F2 和 F3 表示（股东投赞成票和输出表决结果均用 1 表示）。(1) 进行逻辑抽象；(2)

列真值表；(3) 作卡诺图；(4) 给出最简与或表达式；(5) 给出用 74HC138 实现的逻辑图。

解：



2、有两片 74LVC161 集成计数器,其功能表如表 1 所示。

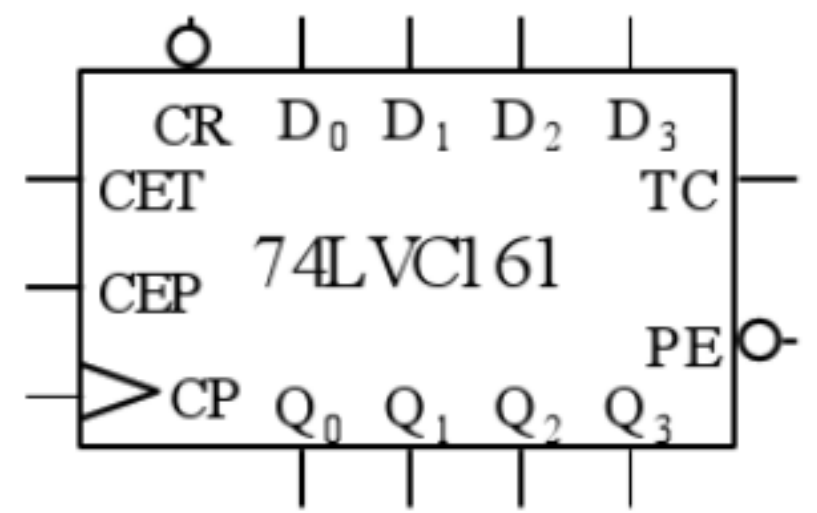
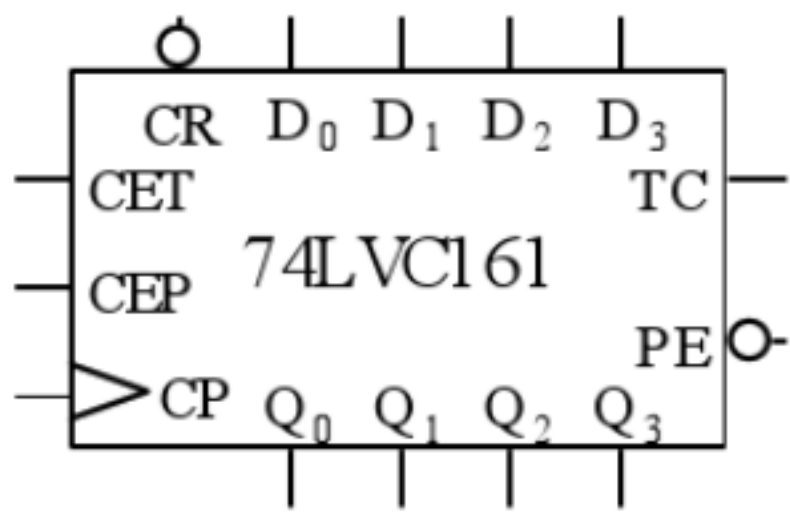
(1) 用反馈清零法构成同步 128 进制计数器。(2) 用反馈置数法 (TC 译码) 构成同步 128 进制计数器。请给出状态变换和译码的设计过程并画逻辑图。

表 1：74LVC161 逻辑功能表

输 入					输 出				
清零	预置	使能		时钟	预置数据输入				进位 TC
		CEP	CET		D ₃	D ₂	D ₁	D ₀	
L	×	×	×	×	×	×	×	×	L
H	L	×	×	↑	D ₃	D ₂	D ₁	D ₀	*
H	H	L	×	×	×	×	×	×	*
H	H	×	L	×	×	×	×	×	*
H	H	H	H	↑	×	×	×	×	*

其中， $Tc = CET \bullet Q_3Q_2Q_1Q_0$

解：(1)



(2)

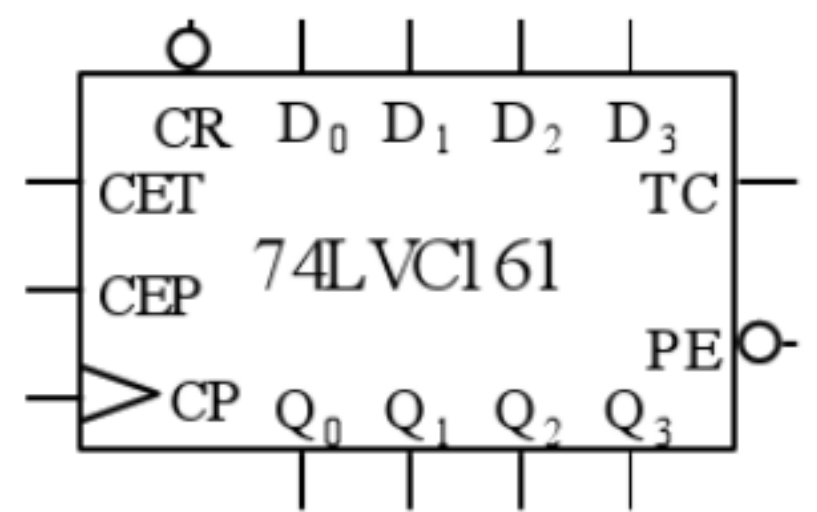
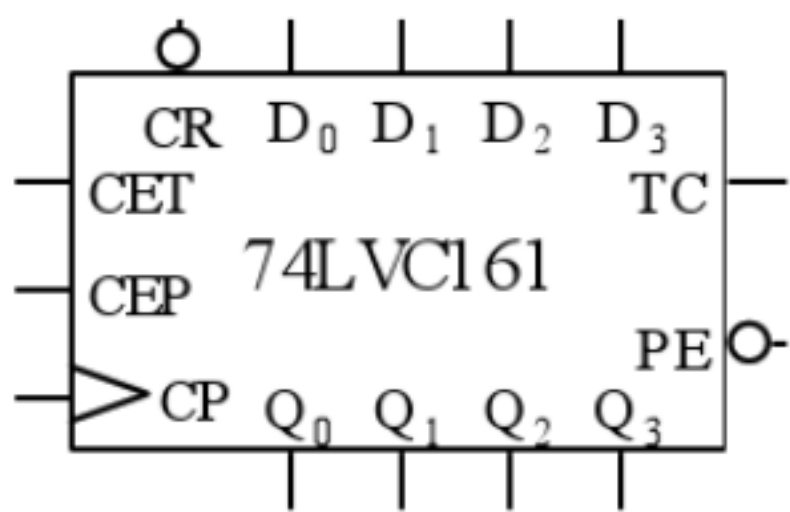


表 2 74HC138 集成译码器功能表

输 入						输 出							
E_3	\overline{E}_2	\overline{E}_1	A_2	A_1	A_0	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L