

9. PCIE 通信测试实验例程

9.1 MES50HP 开发板简介

PGL50H 内置了线速率高达 6.375Gbps 高速串行接口模块，即 HSST。MES50HP 开发板提供一个 PCIe x2 接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x4 PCIe 插槽上使用。（详情请查看“MES50HP 开发板硬件使用手册”）

9.2 实验目的

PC 端可通过 PCIe 识别到 MES50HP 开发板。

9.3 PCIE 简介

PCIE IP 符合 PCI Express® Base Specification Revision 2.1[8] 协议和 PHY Interface for the PCI ExpressTM Architecture Version 2.00[12]（数据通路扩展为 32 bits）协议。

功能特性	特性说明
支持配置 Device Type	PCI Express Endpoint
	Legacy PCI Express Endpoint
	Root Port of PCI Express Root Complex
支持配置 Max Link Width	x1
	x2
	x4
支持配置 Max Link Speed	2.5GT/s
	5GT/s
支持选择 Reference Clk 频率	100MHz
	125MHz
支持 Upconfigure Capable	-
支持 Debug 接口	-
支持通过 Apb 动态配置 PCIe Configuration Space	
支持 Receive Queue Management	-
支持 Lane Reversal	-
支持 Force No Scrambling	-
支持配置 ID	支持配置 Vendor ID
	支持配置 Device ID
	支持配置 Revision ID

	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 Subsystem Vendor ID
	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 Subsystem ID
	支持配置 Classcode
支持 BAR 配置	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 6 个 BAR
	Root Port of PCI Express Root Complex 仅支持配置 BAR0、BAR1
	PCI Express Endpoint 支持配置为 Memory BAR
	Legacy PCI Express Endpoint、Root Port of PCI Express Root Complex 支持配置为 Memory、IO BAR
	支持 32bit BAR
	32bit BAR 支持配置大小为 256 Byte -2G Byte
	BAR0、BAR2、BAR4 支持 64bit BAR
	64bit BAR 支持 Prefetchable
	64bit BAR 支持配置大小为 256 Byte -8E Byte
	支持 Expansion ROM BAR
支持配置 Max Payload Size	Expansion ROM BAR 支持配置大小为 2K Byte -16M Byte
	128 Byte
	256 Byte
	512 Byte
支持配置 Extended Tag Field 与 Extended Tag Default	1024 Byte
	-
支持 Atomic 事务	-
RC 时支持设置 Read Completion Boundary	-
支持配置 Target Link Speed	-
RC 时支持设置 CRS Software Visibility	-
支持设置 ECRC Generation Capable	-
功能特性	特性说明
默认使能 ECRC Check Capable	-
支持 INIT 中断	PCI Express Endpoint、Legacy PCI Express Endpoint 只支持 INTA
	Root Port of PCI Express Root Complex 支持 INTA、INTB、INTC、INTD

支持 MSI 中断	支持 64-bit Address MSI 中断
	支持 Multiple Message Capable: 1、2、4、8、16、32 个 Vectors
	支持 Per Vector Masking Capable
支持 MSIx 中断	支持配置 Table Size 、Offset 与 BIR
	支持配置 PBA Offset 与 BIR

9.4 实验设计

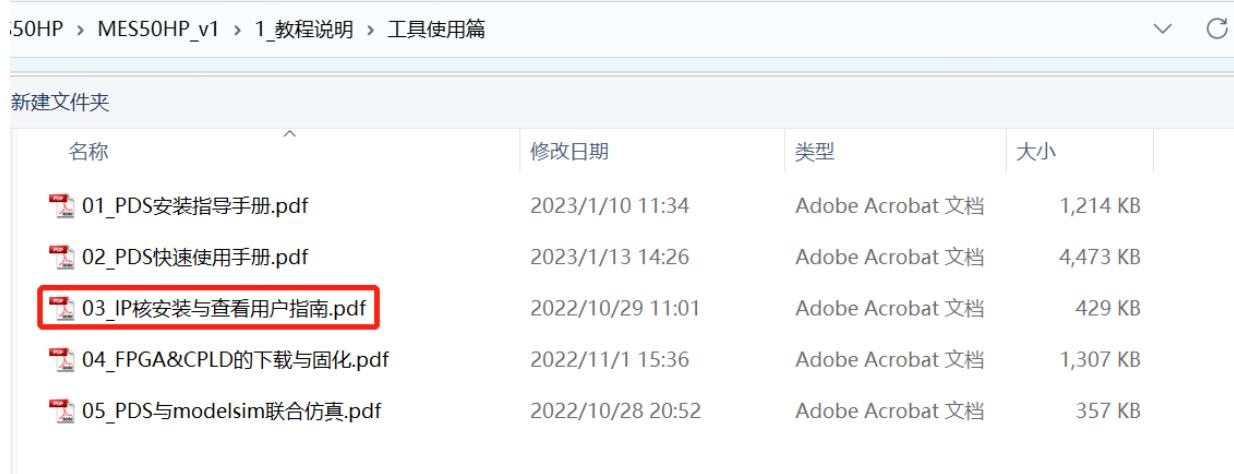
9.4.1 安装 PCIE IP 核

PDS 安装后，需手动添加 PCIE IP，请按以下步骤完成：

- (1) PCIE IP 文件: 6_IP_setup_packet\PCIE

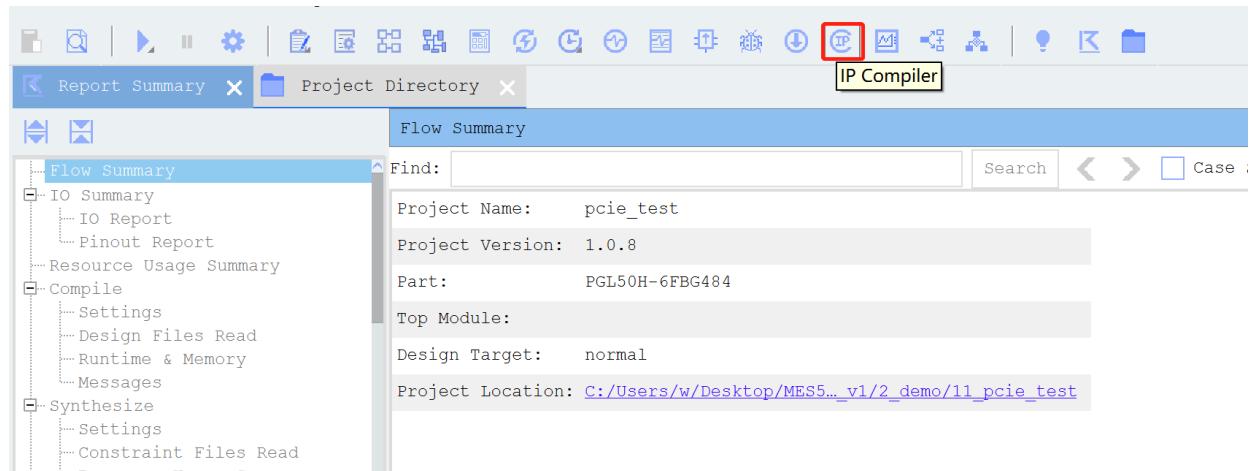


- (2) IP 安装步骤: 1_Demo_document\工具使用篇\03_IP 核安装与查看用户指南

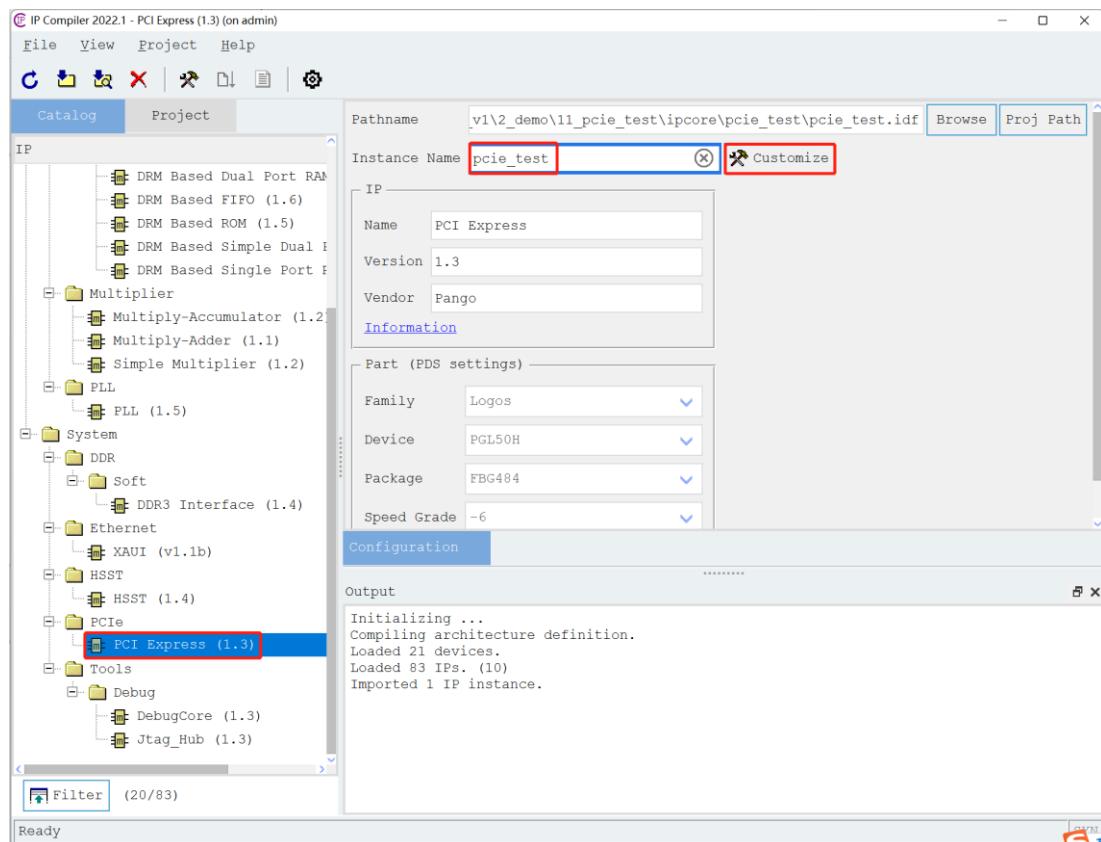


9.4.2 PCIE 参考设计例程

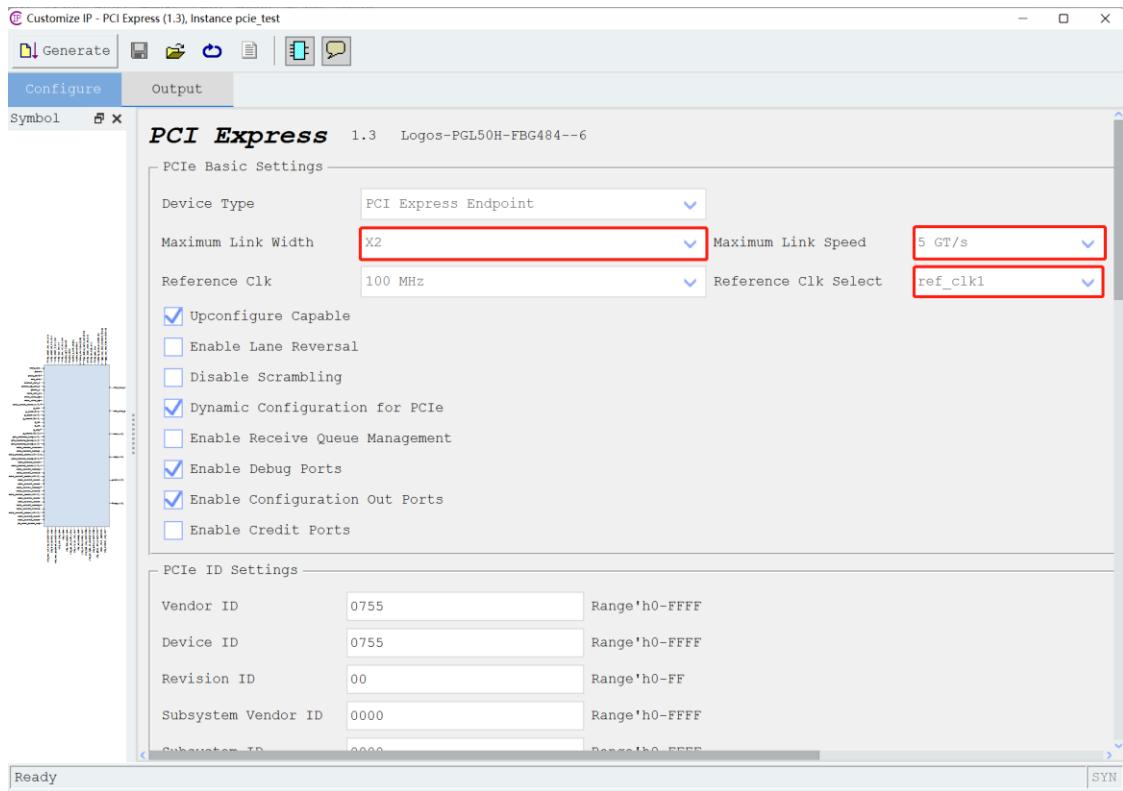
1. 打开 PDS 软件，新建工程 pcie_test，点开如下图标，打开 IP Compiler；



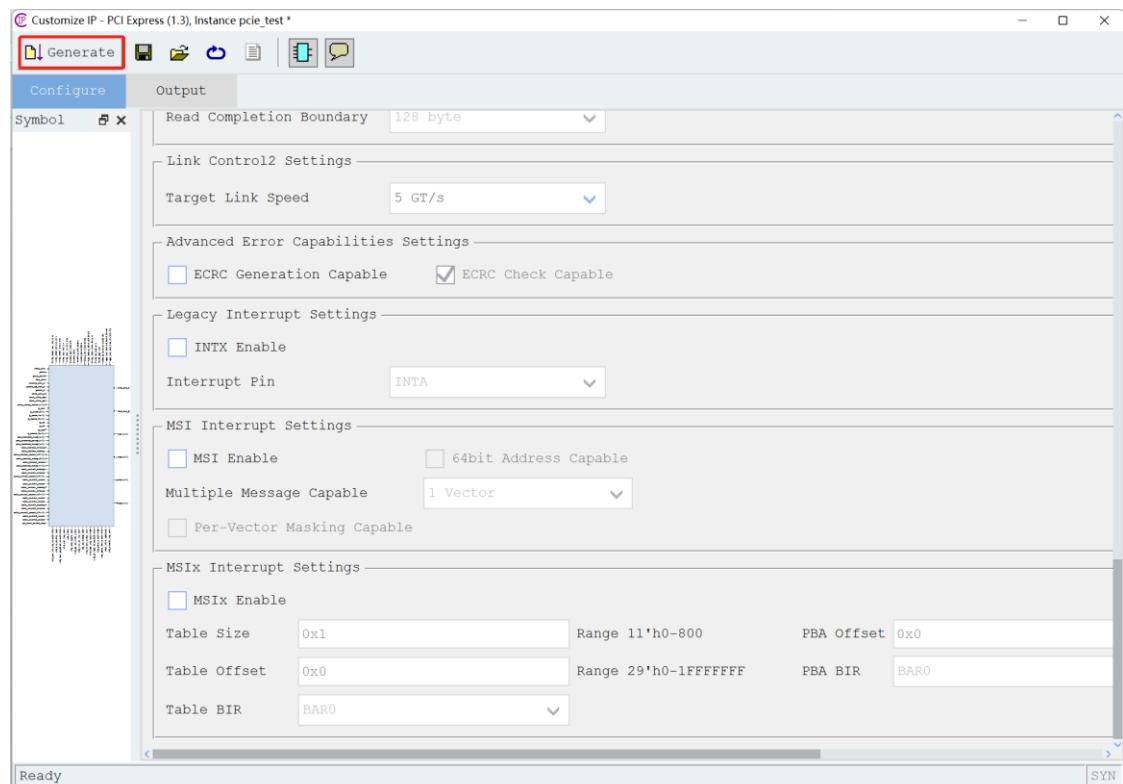
2. 选择 PCIE IP, 取名, 然后点击 Customize;



3. 在 PCIE 设置界面中: 根据开发板配置 lane 数, 可选 X1 或 X2, 可选 Gen1、Gen2, 参考时钟选择 refclk1 (硬件上已固定), 可参考下图:



4. 其他设置可保持默认，点击 Generate 生成 PCIE IP;:



5. 关闭本工程，按此路径打开 Example 工程:

2_Demo\11_pcie_test\ipcore\pcie_test\pnr\example_design

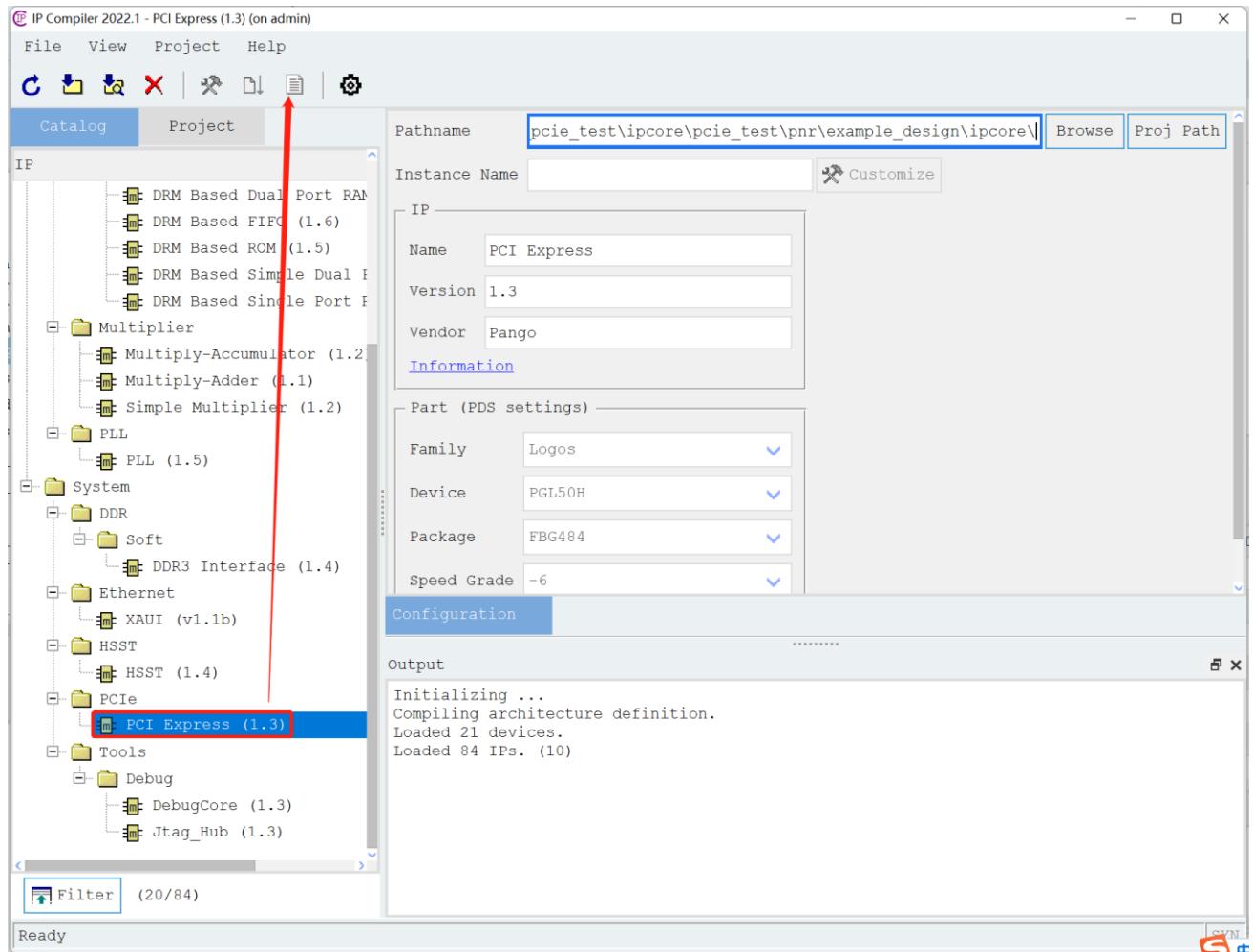
桌面 > MESS50HP > MESS50HP_v1 > 2_demo > 11_pcie_test > ipcore > pcie_test > pnr > example_design

授予访问权限		新建文件夹		
名称		修改日期	类型	大小
compile		2023/2/6 10:39	文件夹	
device_map		2023/2/6 10:39	文件夹	
generate_bitstream		2023/2/6 10:43	文件夹	
log		2023/2/6 10:50	文件夹	
logbackup		2023/2/23 11:24	文件夹	
place_route		2023/2/6 10:41	文件夹	
report_timing		2023/2/6 10:41	文件夹	
synthesize		2023/2/6 10:39	文件夹	
impl.tcl		2023/2/6 10:42	TCL 文件	1 KB
pango_PCIE_top.backup_1.pds		2023/2/6 10:36	PDS 文件	20 KB
pango_PCIE_top.fdc		2023/2/6 10:38	FDC 文件	8 KB
pango_PCIE_top.pds		2023/2/6 10:42	PDS 文件	26 KB
pango_PCIE_top.udc.lock		2023/2/23 11:24	I/OCK 文件	1 KB

6. 按照开发板管脚，修改相关管脚约束：

9	pclk_div2_led	OUTPUT	B2	BANK0	3.3	LVCMOS33	8
10	pcclk_led	OUTPUT	A2	BANK0	3.3	LVCMOS33	8
11	rdlh_link_up	OUTPUT	B3	BANK0	3.3	LVCMOS33	8
12	ref_led	OUTPUT	A3	BANK0	3.3	LVCMOS33	8
13	smlh_link_up	OUTPUT	C5	BANK0	3.3	LVCMOS33	8
14	txd	OUTPUT	R9	BANK2	3.3	LVCMOS33	8
15	button_RST_N	INPUT	K18	BANK1	3.3	LVCMOS15	
16	free_clk	INPUT	P20	BANK1	3.3	LVCMOS15	
17	perst_n	INPUT	A19	BANK0	3.3	LVCMOS33	
18	ref_clk_n	INPUT					
19	ref_clk_p	INPUT					
20	rxd	INPUT	R8	BANK2	3.3	LVCMOS33	

7. 可按以下方式查看 IP 核的用户指南，了解 Example 模块组成；



9.5 实验现象

注：例程位置:2_Demo\09_pcie_test\ipcore\pcie_test\pnr\example_design

将程序固化到 flash 内，把开发板插入电脑 PCIE 卡槽，连接电源，将电源开关打开，电脑开机。打开设备管理器，可识别到 PCIE 设备。

