

Logos2系列FPGA器件数据手册

(DS04001, V2.1)

(2023.07.13)

深圳市紫光同创 电子有限公司
版权所有 侵权必究

文档版本修订记录

修订版本	时间	描述
V0.1	2019.09.09	初始Alpha版本发布
V0.2	2019.10.21	1.增加热插拔特性说明，支持热插拔2级 2.表 5-1中LVDS性能参数改为TBD
V0.3	2019.12.06	1.修改表 2-1和表 2-2的 V_{IN} 信号说明 2.修改表 7-7中HSSTLP的时钟接口速率说明
V1.0	2020.04.02	1.修改Logos2系列FPGA产品概述及特性描述 2.更新表 1-1和表 1-2，增加SERDES LANE说明 3.更新图 1-1说明 4.删除上电顺序中的VCCA_IO 5.修改AC特性参数 6.文档中HSST改为HSSTLP，并修改HSSTLP相关数据
V1.1	2020.05.12	1.修改的表 2-1和表 2-2中 V_{IN} 最大值和最小值 2.修改表 2-3中n和r的数据 3.修改表 2-5中典型值，并补充注释说明 4.修改ESD参数HBM_IO值为 ± 800 5.增加eFUSE编程条件 6.修改表 3-3中SSTL18D_I和SSTL18D_II的 V_{oh} 值 7.修改表 4-11中性能参数 8.增加表 4-12中IOB交流特性 9.修改表 6-1中AC特性参数 10.增加表 8-1的PCIe硬核特性
V1.2	2020.06.12	1.增加CTC缩略语描述 2.修改1.3.6时钟资源说明 3.在表 4-4和表 4-5中增加输入时钟抖动数据，修改输出时钟抖动数据 4. HBM_IO的说明指全部的IO包括电源，删除说明中的通用IO 5.修改表 4-7、表 4-8中最大频率 6.修改表 4-11中各下载模式的AC交流特性 7.修改表 7-9中正弦抖动容限各特性的最小值
V1.3	2020.06.22	修改表 6-1中的ADC硬核特性
V1.4	2020.06.28	修改表 4-4和表 4-5中输入时钟占空比
V1.5	2020.11.10	1.增加-5速度等级的数据说明 2.增加说明-5不支持温度传感器功能 3.ESD指标HBM_IO值改为 ± 1000 4.增加I/O二级热插拔不支持专用I/O和复用I/O说明
V1.6	2021.10.15	1.在表 1-1、表 1-2中增加PG2L25H、PG2L50H的器件信息 2.在表 2-5中增加PG2L25H、PG2L50H的静态功耗数据 3.在表 4-10中增加PG2L25H、PG2L50H的相关数据
V1.7	2021.11.19	1.补充I/O热插拔说明并增加 I_{dk} 缩略语说明 2. 将原图4-1拆分为图 4-1和图 4-2，分别表示上电和重配置特性，并更正RST_N信号名为RSTN 3.更正表 4-10中RST_N信号名为RSTN 4.表 1-1 PG2L50H增加“*”及备注说明 5.表 5-3、表 5-4和表 7-4 区分-5和-6速度等级器件的性能数据 6.表 5-2 中-6速度等级器件DDR速率更新为1066Mbps 7.表 4-11增加速度等级区分

修订版本	时间	描述
V1.8	2022.03.28	<ol style="list-style-type: none"> 在表 1-2中增加PG2L50H器件MBG324封装的IO信息 删除表 1-1中PG2L50H的“*”及备注说明 更新表 1-1中PG2L25H、PG2L50H的分布式RAM资源数量
V1.9	2022.06.30	<ol style="list-style-type: none"> 更新表 1-1中PG2L50H资源数量 更新表 2-3中I_L、I_{REF}、I_{PU}、I_{PD}参数值 更新表 2-5中PG2L25H与PG2L50H的典型静态电流数据 修正表 3-3中SSTL15D_I标准的I_{ol}和I_{oh}参数值 在表 4-11中增加Slave Serial下降沿建立保持时间参数 更新表 4-11中ECCLKIN频率参数值 删除表 4-12中各SSTL与HSTL标准多余的AC参数值 调整章节顺序，把原3.1.1小节的上、下电顺序内容调整至2.6.1小节；原3.1.2小节的热插拔内容调整至2.7小节；把原2.7小节的启动所需最小电流内容合并至2.6.3小节 在表 5-1中增加PG2L25H、PG2L50H器件的相应数据
V2.0	2023.03.21	<ol style="list-style-type: none"> 在表 1-1、表 1-2中增加PG2L100HX、PG2L200H器件相关信息，删除表 1-2 Logos2 FPGA封装信息与用户IO数量中PG2L100H多余的FBG256封装信息 在表 2-1中增加ADC供电电源指标 更新表 2-2下方注释说明 在表 2-4下方增加注释说明 在表 2-5中增加PG2L100HX、PG2L200H器件的典型静态电流数据 更新表 6-1中的参考电压输入管脚名称、ADC输出的时钟信号名称 表 6-1新增电源电压精度指标、APB接口时钟DCLK的频率范围和占空比，表格下方注释增加片内温度检测精度和片内电源电压检测精度的说明 在2.6.1上电、下电顺序小节增加推荐的上电时序图和下电时序图 在表 5-1中增加PG2L100HX、PG2L200H器件的相应数据 在表 4-11中增加参数名称；增加参数$T_{SSCLK2DOUT}$的最小值；增加参数T_{TCKL}；更新F_{SSCLK}、F_{SPCLK}、F_{IPCLK}参数值 更新表 5-4中-5速度等级的参数值 刷新文档格式 在表 4-10中增加PG2L100HX、PG2L200H的相关数据 更新图 1-1，新增X的解释
V2.1	2023.07.13	<ol style="list-style-type: none"> 在表 1-3中新增单板硬件设计指南的相关信息； 表 6-1的结温上限值由125°C更新为100°C，新增参考电压波动对测量精度的影响注释； 表 2-1新增极限温度指标，补充表下方注释内容； 表 2-2新增结温范围说明。

术语与缩略语

Terms and Abbreviations 术语与缩略语	Full Spelling 英文全拼	Chinese Explanation 中文解释
CLM	Configurable Logic Module	可配置逻辑模块
DRM	Dedicated RAM Module	专用RAM存储模块
APM	Arithmetic Process Module	算术处理单元
DDR	Double Data Rate	双倍速率同步动态随机存储器
ADC	Analog to Digital Converter	模数转换器
HSSTLP	High Speed Serial Transceiver Low Performance	高速串行收发器
CTC	Clock Tolerance Compensation	时钟容差补偿
I _{DK}	I drain-knee	最大漏电流或灌电流
PCIe	Peripheral Component Interconnect Express	高速串行计算机扩展总线标准
UID	Unique Identification	唯一标识
HSTL	High Speed Transceiver Logic	高速收发逻辑
SSTL	Stub Series Terminated Logic	短截线串联端接逻辑
LVDS	Low-Voltage Differential Signaling	低电压差分信号
TMDS	Transition-minimized differential signaling	过渡调制差分信号
HDMI	High Definition Multimedia Interface	高清多媒体接口
DVI	Digital Visual Interface	数字视频接口
UI	Unit Interval	单位时间间隔
HR	High Range	宽范围

目 录

文档版本修订记录	1
术语与缩略语	3
目 录	4
表目录	6
图目录	8
1 概述	9
1.1 Logos2系列FPGA产品特性	9
1.2 Logos2系列FPGA资源规模与封装信息	11
1.3 Logos2系列FPGA简要描述	12
1.3.1 CLM	12
1.3.2 DRM	12
1.3.3 APM	13
1.3.4 Input/Output	13
1.3.5 ADC	14
1.3.6 时钟	14
1.3.7 配置	14
1.3.8 高速串行收发器HSSTLP	15
1.4 Logos2系列FPGA参考资料	16
1.5 Logos2系列FPGA订货信息	17
2 工作条件	18
2.1 器件绝对极限电压	18
2.2 器件推荐工作条件	18
2.3 器件推荐工作条件下的直流特性	19
2.4 VIN允许的最大过冲和下冲电压	19
2.5 典型静态电流	20
2.6 上、下电要求	20
2.6.1 上电、下电顺序	20
2.6.2 电源上电斜升时间	21
2.6.3 启动所需的最小电流	22
2.7 热插拔	22
2.7.1 热插拔规格	22
2.7.2 热插拔应用限制	22
2.8 ESD（HBM，CDM），Latch Up指标	22

2.9 eFUSE编程条件	23
3 典型工作条件下的DC直流特性	23
3.1 IO输入输出DC直流特性 (IO Input & Output DC)	23
4 典型工作条件下的AC特性	25
4.1 可配置逻辑模块CLM (Configurable Logic Module) AC交流特性参数	25
4.2 专用RAM模块DRM (Dedicated RAM Module) AC交流特性参数	25
4.3 算术处理单元APM (Arithmetic Process Module) AC交流特性参数	27
4.4 GPLL交流(AC)特性参数	28
4.5 PLL交流(AC)特性参数	29
4.6 DQS AC交流特性参数	30
4.7 全局时钟网络 (Global Clock Network) AC交流特性参数	30
4.8 区域时钟网络 (Regional Clock Network) AC交流特性参数	30
4.9 IO时钟网络 (IO Clock Network) AC交流特性参数	30
4.10 配置和编程 (Configuration and Programming) AC交流特性参数	31
4.10.1 Power-up Timing特性	31
4.10.2 各下载模式AC交流特性	32
4.11 IOB High Range(HR) AC交流特性参数	33
5 典型工作条件下的性能参数 (Fabric Performance)	39
5.1 LVDS性能参数 (LVDS Performance)	39
5.2 存储接口性能参数 (Memory Interface Performance)	39
5.3 专用RAM模块DRM (Dedicated RAM Module) 性能参数	39
5.4 算术模块APM (Arithmetic Process Module) 性能参数	40
6 模数转换器 (ADC) 特性	41
7 高速串行收发器 (HSSTLP) 特性	42
7.1 HSSTLP硬核绝对极限电压, 电流额定值	42
7.2 HSSTLP硬核推荐工作条件	42
7.3 HSSTLP硬核DC直流特性参数	42
7.4 高速串行收发器HSSTLP的AC交流特性	43
8 PCIe硬核特性	46
免责声明	47

表目录

表 1-1 Logos2 FPGA资源数量	11
表 1-2 Logos2 FPGA封装信息与用户IO数量	11
表 1-3 Logos2系列FPGA用户指南文档	16
表 2-1 器件最大绝对电压值	18
表 2-2 推荐工作条件	18
表 2-3 推荐工作条件下的直流特性	19
表 2-4 VIN允许的最大过冲和下冲电压	19
表 2-5 典型静态电流	20
表 2-6 电源上电斜升时间	21
表 2-7 启动所需的最小电流	22
表 2-8 热插拔漏电流规格	22
表 2-9 ESD、Latch-Up指标	22
表 2-10 eFUSE编程条件	23
表 3-1 单端IO电平标准输入输出电压范围	23
表 3-2 差分输入输出标准的参数要求	24
表 3-3 类差分输入输出标准的参数要求	24
表 4-1 CLM模块AC特性	25
表 4-2 DRM模块AC特性	25
表 4-3 APM模块AC特性	27
表 4-4 GPLL交流特性	28
表 4-5 PPLL交流特性	29
表 4-6 DQS AC特性	30
表 4-7 全局时钟网络AC特性	30
表 4-8 区域时钟网络AC特性	30
表 4-9 IO时钟网络AC特性	30
表 4-10 Power-up Timing特性参数	31
表 4-11 Logos2系列FPGA支持的各下载模式的AC交流特性	32
表 4-12 IOB High Range(HR)AC交流特性参数	33
表 5-1 LVDS性能	39
表 5-2 存储接口性能	39
表 5-3 DRM性能	39
表 5-4 APM性能	40

表 6-1 ADC硬核特性	41
表 7-1 HSSTLP绝对极限电压、电流额定值.....	42
表 7-2 HSSTLP硬核推荐工作条件.....	42
表 7-3 HSSTLP硬核DC直流特性	42
表 7-4 HSSTLP硬核性能参数	43
表 7-5 HSSTLP硬核参考时钟开关特性.....	43
表 7-6 HSSTLP硬核PLL/Lock锁定时间特性	43
表 7-7 HSSTLP硬核用户时钟开关特性.....	43
表 7-8 HSSTLP硬核Transmitter发送侧开关特性	44
表 7-9 HSSTLP硬核Receiver接收侧开关特性	44
表 8-1 PCIe性能参数.....	46

图目录

图 1-1 Logos2系列FPGA产品型号的编号内容及意义	17
图 2-1 上电时序图	21
图 2-2 下电时序图	21
图 4-1 器件Power-up Timing特性	31
图 4-2 器件复位重配置Timing特性	31

本文主要包括深圳市紫光同创电子有限公司（以下简称紫光同创）Logos2系列FPGA器件的特性概要描述、产品型号与资源规模列表、AC & DC特性等内容，用户可以通过本文了解Logos2系列FPGA器件特性，方便进行器件选型。

1 概述

Logos2系列可编程逻辑器件是深圳市紫光同创电子有限公司推出的Logos家族第二代全新高性价比、低功耗FPGA产品，它采用了主流的28nm工艺。Logos2系列FPGA包含可配置逻辑模块（CLM）、专用的36Kb存储单元（DRM）、算术处理单元（APM）、多功能高性能IO以及丰富的片上时钟资源等模块，并集成了模数转换模块（ADC）等硬核资源，支持多种配置模式，同时提供位流加密和认证、器件ID（UID）等功能以保护用户的设计安全。基于以上特点，Logos2系列FPGA能够广泛适用于视频、工业控制、汽车电子、通信、计算机、医疗、LED显示安防监控、仪器仪表和消费电子等多个应用领域。

1.1 Logos2系列FPGA产品特性

- 高性价比、低功耗
 - 成熟的 28nm CMOS 工艺
 - 低至 1.0V 的内核电压¹
- 支持多种标准的IO
 - 多达 500 个用户 IO，支持 1.2V 到 3.3V IO 标准
 - 支持 HSTL、SSTL 存储接口标准
 - 支持 LVDS、MINI-LVDS、TMDS（应用于 HDMI、DVI 接口）等差分标准
 - 可编程的 IO BUFFER，高性能的 IO LOGIC
 - 支持热插拔 2 级
- 灵活的可编程逻辑模块CLM
 - LUT6 逻辑结构
 - 每个CLM包含4个多功能LUT6、8个寄存器
- 支持快速算术进位逻辑
- 支持分布式 RAM 模式
- 支持级联链
- 支持多种读写模式的DRM
 - 单个 DRM 提供 36Kb 存储空间，可配置为 2 个独立的 18Kb 存储块
 - 支持多种工作模式，包括单口（SP）RAM、双口（DP）RAM、简单双口（SDP）RAM、ROM 以及 FIFO 模式
 - 双口 RAM 和简单双口 RAM 支持双端口混合数据位宽
 - 支持 ECC 功能
 - 支持 Normal-Write，Transparent-Write 以及 Read-before-Write 三种写模式
 - 支持 Byte-Write 功能

- 可选的地址锁存、输出寄存器
- **高效的算术处理单元APM**
 - 每个 APM 支持 1 个 25*18 运算或 2 个 12*9 运算
 - 支持输入、输出寄存器
 - 支持 48bit 加法
 - 支持有符号数据运算
- **集成ADC硬核**
 - 12bit 分辨率、1MSPS(独立 ADC 双核)采样率
 - 多达 17 个输入 Channel
 - 集成温度传感器(-5 不支持)
- **丰富的时钟资源**
 - 支持 3 类时钟网络，可灵活配置
 - 支持全局时钟 (GLOBAL CLOCK) 网络
 - 支持区域时钟 (REGIONAL CLOCK) 网络
 - 支持 I/O 时钟 (I/O CLOCK) 网络
 - 集成多个 PLL，每个 PLL 支持多达 5 个时钟输出
- **灵活的配置方式**
 - 支持多种编程模式
 - JTAG 模式符合 IEEE 1149.1、IEEE 1149.6 标准
 - Master SPI 可选择最高 8bit 数据位宽，有效提高编程速度
- 支持 Slave Serial、Slave Parallel 模式
- 支持 AES256-GCM 位流加密，支持 96bit UID 保护
- 支持对位流文件进行数字签名认证
- 支持 eFuse 密钥存储
- 支持电池供电的 RAM (BB-RAM) 密钥存储，提供芯片级安全防护
- 支持禁止位流回读
- 支持 JTAG 安全管理
- 支持防 DPA 攻击
- 支持 SEU 检错纠错
- 支持多版本位流回退功能
- 支持看门狗超时检测
- 支持编程下载工具 Fabric Configuration
- 支持在线调试工具 Fabric Debugger
- **高性能的高速串行收发器HSSTLP**
 - 支持 Data Rate 速率高达 6.6Gbps
 - 可灵活配置的 PCS，可支持 PCIe GEN1/GEN2, 千兆以太网、XAUI, Gige 等协议

注：1.DR版本支持VCC 0.9v

1.2 Logos2系列FPGA资源规模与封装信息

Logos2系列FPGA资源规模与封装信息如表 1-1和表 1-2所示。

表 1-1 Logos2 FPGA资源数量

资源名称		PG2L25H	PG2L50H	PG2L100H(X)	PG2L200H
CLM	LUT6	17800	35800	66600	159800
	等效LUT4	26700	53700	99900	239700
	FF	35600	71600	133200	319600
	分布式ram (Kb)	343.75	593.75	1243.75	2468.75
DRM (36Kbits/个)		55	85	155	415
APM(个)		80	120	240	740
PLLs	GPLLs	3	5	6	10
	PPLLs	3	5	6	10
ADC (dual core)	专用模拟通道(差分输入对)	1	1	1	1
	复用模拟通道(差分输入对)	11	16	16	16
SERDES LANE ⁽¹⁾		4	4	8	16
PCIE GEN2×4 CORE		1	1	1	1

注：1. 4个LANE组成一个HSSTLP

表 1-2 Logos2 FPGA封装信息与用户IO数量

封装信息	器件	PG2L25H		PG2L50H		PG2L100H(X)		PG2L200H	
		SERDES LANE	I/O	SERDES LANE	I/O	SERDES LANE	I/O	SERDES LANE	I/O
FBG676 (27mm×27mm, 1.0mm)						8	300		
FBG484 (23mm×23mm, 1.0mm)				4	250	4	285		
MBG325 (15mm×15mm, 0.8mm)	4	150							
MBG324 (15mm×15mm, 0.8mm)				0	210	0	210		
FBB484 (23mm×23mm, 1.0mm)								4	285
FBB676 (27mm×27mm, 1.0mm)								8	400
FFBG1156 (35mm×35mm, 1.0mm)								16	500

1.3 Logos2系列FPGA简要描述

1.3.1 CLM

CLM (Configurable Logic Module, 可配置逻辑模块) 是Logos2系列产品的基本逻辑单元, 它主要由多功能LUT6, 寄存器以及扩展功能选择器等组成。CLM在Logos2系列产品中有CLMA和CLMS 两种形态。CLMA和CLMS均支持逻辑功能, 算术功能, 移位寄存器功能以及ROM功能, 仅有CLMS支持分布式RAM功能。CLM的主要功能特性如下:

- 采用创新的 LUT6 逻辑结构
- 每个 CLM 包含 4 个多功能 LUT6
- 每个 CLM 包含 8 个寄存器
- 支持算术功能模式
- 支持快速算术进位逻辑
- 可高效实现多路选择功能
- 可实现 ROM 功能
- 支持分布式 RAM 模式
- 支持级联链

详细CLM特性及使用方法可参考《UG040001_Logos2系列FPGA可配置逻辑模块(CLM)用户指南》。

1.3.2 DRM

单个DRM有36K bits存储单元, 支持多种工作模式, 支持可配置的数据位宽, 并在DP RAM和SDP RAM模式下支持双端口混合数据位宽。DRM的主要特性如下:

- DRM 存储容量可以独立配置 2 个 18K 或 1 个 36K。
- DP RAM 的端口数据位宽高至 36bit, 它的两个端口除了共享 RAM 内容之外完全独立, 支持不同的时钟域。
- SDP RAM 的端口数据位宽高至 72bit, 它的两个端口也支持不同的时钟域, 但它的一个端口仅限于写操作, 另一个端口仅限于读操作。
- ROM 模式下, DRM 的内容通常在下载配置数据的过程中初始化。当然, 其它模式也可以利用编程配置来初始化 DRM 的内容。ROM 的端口数据位宽高至 72bits。
- 同步或者异步 FIFO 模式时, 一个端口专用于 FIFO 数据写入, 另一个端口专用于 FIFO 数据读取, 读写端口可以采用不同的时钟。
- 36K 存储器模式下支持 64-bits ECC, 并支持用户插入错误。

详细DRM特性及使用方法可参考《UG040002_Logos2系列FPGA专用RAM模块(DRM)用户指南》。

1.3.3 APM

每个APM由I/O Unit, Preadder, Mult和Postadder功能单元组成, 支持每一级寄存器流水。每一个APM可实现一个25*18乘法器或两个12*9乘法器, 支持预加功能; 支持有符号运算; 可实现1个48bit或2个24bit的加/减/累加运算。Logos2 FPGA的APM支持级联, 可实现滤波器以及高位宽乘法器应用。APM的主要特性如下:

- 有符号数乘法器 25*18;无符号乘通过高位赋 0 实现
- 所有的计算及输出结果均为有符号数, 已包含符号位
- 支持 1 个 48bits 加/减/累加运算或 2 个 24bits 运算
- Pre-add 为 25bits
- 独立可选的 CE 和 RST
- 支持输入级联
- 支持输出级联
- 控制/数据信号流水线
- 支持动态模式切换
- 支持 Rounding 功能

详细APM特性及使用方法可参考《UG040003_Logos2系列FPGA算术处理模块(APM)用户指南》。

1.3.4 Input/Output

IOB

Logos2 FPGA的IO按照Bank分布, 每个Bank由独立的IO电源供电。IO灵活可配置, 支持1.2V~3.3V电源电压以及不同的单端和差分接口标准, 以适应不同的应用场景。所有的用户IO都是双向的, 内含IBUF、OBUF以及三态控制TBUF。Logos2 FPGA的IOB功能强大, 可灵活配置接口标准、输出驱动强度、Slew Rate、输入迟滞等。详细的IO特性及使用方法可参考《UG040006_Logos2系列FPGA输入输出接口(IO)用户指南》。

IOL

IOL模块位于IOB和Core之间, 对要输入和输出FPGA Core的信号进行管理。

IOL支持各种高速接口, 除了支持数据直接输入输出、IO寄存器输入输出模式外, 还支持以下功能:

- ISERDES: 针对高速接口, 支持 1:2; 1:4; 1:7; 1:8 等的输入 Deserializer。
- OSERDES: 针对高速接口, 支持 2:1; 4:1; 7:1; 8:1 等的输出 Serializer。
- 内置 IO 延迟功能, 可以动/静态调整输入/出延迟。

内置输入FIFO, 主要用于完成从外部非连续DQS (针对DDR memory interface) 到内部连续时钟的时钟域转换和一些特殊的Generic DDR应用中采样时钟和内部时钟的相差补偿。

详细IO特性及使用方法参考《UG040006_Logos2系列FPGA输入输出接口 (IO) 用户指南》。

1.3.5 ADC

每款Logos2 FPGA内部都集成了一个分辨率为12bit、采样率为1MSPS的模数转换器 (ADC)。每个ADC带有17对差分Channels, 其中16对Analog Input与GPIO复用, 另外1对采用专用模拟输入引脚。17对Channels的扫描方式完全由FPGA灵活控制, 用户可以通过User Logic决定最终由几对Channels分享1MSPS的ADC采样率。

ADC提供对片上电压及温度的监测功能。可对VCC、VCCA、VCC_DRM进行检测; 详细特性参数见表 6-1。ADC详细使用参考《UG040009_Logos2系列FPGA模数转换模块(ADC) 用户指南》。

1.3.6 时钟

Logos2系列产品包含三类时钟, 分别为全局时钟(Global Clock)、区域时钟(Region Clock)和I/O Clock。全局时钟为芯片各节点的同步逻辑单元提供时钟。全局时钟可作为不同的时钟区域内的同步逻辑单元的同步时钟。区域时钟为所属的单个时钟区域内的同步逻辑单元提供时钟。可同步驱动上下相邻的两个时钟区域。I/O Clock为I/O高速数据提供同步时钟。

为了满足用户关于频率变化和相位调整的需求, Logos2系列产品还提供了丰富的PLL资源, GPLL相比PPLL提供更多的分频和功能, PPLL则可以为DDR等提供时钟。

PG2L100H整体时钟资源如下所示:

- 芯片有 32 个 GLOBAL CLOCK, 芯片上下部分各有 16 个 GLOBAL CLOCK。
- 芯片有 96 个 HORIZONTAL CLOCK, 每个 REGION 里有 12 个 HORIZONTAL CLOCK。

时钟的详细特性及使用方法请参考《UG040004_Logos2系列FPGA时钟资源 (Clock) 用户指南》。

1.3.7 配置

配置(configuration)是对FPGA进行编程的过程。Logos2 FPGA使用SRAM单元存储配置数据, 每次上电后都需要重新配置; 配置数据可以由芯片主动从外部flash获取, 也可通过外

部处理器/控制器将配置数据下载到芯片中。

Logos2 FPGA支持多种配置模式，包括JTAG模式、Master SPI模式、Slave Parallel模式、Slave Serial模式。Logos2 FPGA的配置相关功能如下所述：

- JTAG 模式，符合 IEEE 1149.1、IEEE 1149.6 标准
- Master SPI 模式，支持数据位宽 1/2/4/8bit
- Slave Parallel 模式，支持数据位宽 8/16/32bit
- Slave Serial 模式
- 支持配置数据流压缩，可有效减小 bit 流的大小，节约存储空间和编程时间
- 配置数据流加密可防止恶意抄袭，有效保护客户设计知识产权
- 支持 SHA-3 摘要、RSA-2048 认证、AES256-GCM 自认证对位流进行数字签名
- 密钥存储方式支持 eFuse 和电池供电的 RAM（BB-RAM）密钥存储，其中 BB-RAM 可提供芯片级的安全防护
- 支持防位流反向读取的安全防护技术
- 支持 JTAG 安全管理，可永久关闭 JTAG 功能
- 支持防 DPA 攻击，防止加密密钥被黑客破解
- 支持 SEU 1bit 纠错和 2bit 检错
- 支持看门狗超时检测功能
- 在主 SPI 模式下，支持配置位流版本回退功能
- 支持 UID 功能

配置的详细特性及使用方法请参考《UG040005_Logos2 系列 FPGA 配置 (configuration) 用户指南》。

1.3.8 高速串行收发器HSSTLP

HSSTLP是内置于Logos2系列产品的高速串行接口模块，Data Rate高达6.6Gbps。除了PMA，HSSTLP集成了丰富的PCS功能，可灵活应用于各种串行协议标准。每个HSSTLP支持一至四个全双工收发Lane。HSSTLP主要特性包括：

- 支持 DataRate 速率：0.6Gbps-6.6Gbps
- 灵活的参考时钟选择方式
- 发送通道和接收通道数据率可独立配置
- 可编程输出摆幅和去加重
- 接收端自适应线性均衡器

- PMA Rx 支持 SSC
- 数据通道支持数据位宽：8bit only, 10bit only, 8b10b, 16bit only, 20bit only, 32bit only, 40bit only, 64b66b/64b67b 等模式
- 可灵活配置的 PCS，可支持 PCI Express GEN1, PCI Express GEN2, XAUI, 千兆以太网, CPRI, SRIO 等协议
- 灵活的 Word Alignment 功能
- 支持 RxClock Slip 功能以保证固定的 Receive Latency
- 支持协议标准 8b10b 编码解码
- 支持协议标准 64b66b/64b67b 数据适配功能
- 灵活的 CTC 方案
- 支持 x2 和 x4 的 Channel Bonding
- HSSTLP 的配置支持动态修改
- 近端环回和远端环回模式
- 内置 PRBS 功能
- 自适应 EQ

HSSTLP的详细特性及使用方法请参考《UG040008_Logos2系列FPGA高速串行收发器(HSSTLP)用户指南》

1.4 Logos2系列FPGA参考资料

1.3小节对Logos2 FPGA各模块以及时钟和配置系统做了简要描述，要了解相应模块的详细信息，请查阅Logos2 FPGA相关的用户指南文档，见下表。

表 1-3 Logos2系列FPGA用户指南文档

文档编号	文档名称	文档内容
UG040001	《Logos2系列FPGA可配置逻辑模块（CLM）用户指南》	Logos2系列FPGA可配置逻辑模块功能描述
UG040002	《Logos2系列FPGA专用RAM模块（DRM）用户指南》	Logos2系列FPGA专用RAM模块功能描述
UG040003	《Logos2系列FPGA算术处理模块（APM）用户指南》	Logos2系列FPGA算术处理模块功能描述
UG040004	《Logos2系列FPGA时钟资源（Clock）用户指南》	Logos2系列FPGA时钟资源，包括PLL的功能与用法描述
UG040005	《Logos2系列FPGA配置（configuration）用户指南》	Logos2系列FPGA配置接口、配置模式、配置过程等的描述
UG040006	《Logos2系列FPGA输入输出接口（IO）用户指南》	Logos2系列FPGA输入输出接口功能描述
UG040007	《Logos2系列产品GTP用户指南》	Logos2系列FPGA GTP功能描述和使用指南
UG040008	《Logos2系列FPGA高速串行收发器（HSSTLP）用户指南》	Logos2系列FPGA高速串行收发器(HSSTLP)功能描述
UG040009	《Logos2系列FPGA模数转换模块（ADC）用户指南》	Logos系列FPGA模数转换器功能描述

文档编号	文档名称	文档内容
UG040012	《Logos2单板硬件设计指南》	Logos2系列FPGA单板硬件设计指南

1.5 Logos2系列FPGA订货信息

Logos2系列FPGA产品型号的编号内容及意义如图 1-1所示。

示例：

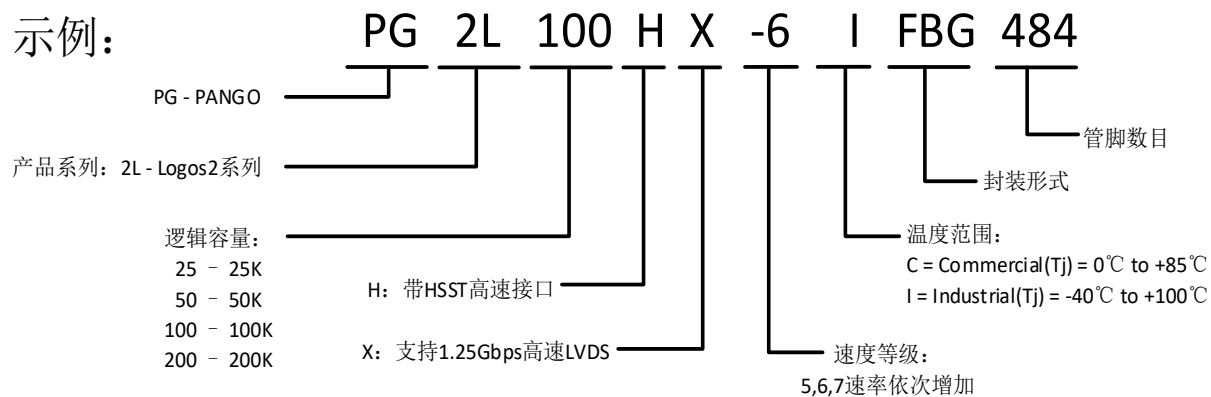


图 1-1 Logos2 系列 FPGA 产品型号的编号内容及意义

2 工作条件

2.1 器件绝对极限电压

表 2-1 器件最大绝对电压值

名称	最小值	最大值	单位	说明
V_{REF}	-0.5	2.0	V	输入参考电压
V_{CCB}	-0.5	2.0	V	密钥存储器备用电池电源供电电压
V_{CC}	-0.5	1.1	V	内核逻辑电源供电电压
V_{CCA}	-0.5	2.0	V	辅助电源供电电压
V_{CCIO}	-0.5	3.6	V	输出驱动器电源的供电电压
V_{CC_DRM}	-0.5	1.1	V	DRM 电源供电电压
$V_{IN}^{(1)}$	-0.3	$V_{CCIO}+0.45$	V	I/O 输入电压
	-0.3	2.525	V	V_{CCIO} 为 3.3V 时, V_{REF} 或差分 I/O 标准的 I/O 输入电压, TMDS_33 标准除外
V_{CCADC}	-0.5	2.0	V	ADC 电源的供电电压
T_{STG}	-65	150	°C	存储环境温度
$T_{SOL}^{(2)}$		260	°C	最高焊接温度
T_j		125	°C	最高结温

注:

- 1、 V_{IN} 最大值适用于直流信号。最大的过充和下冲交流规格见表 2-4;
- 2、器件焊接相关说明详见器件封装指南;
- 3、超过上述绝对最大额定值可能导致器件永久性损坏。在极限额定值内操作不会损坏器件, 但不表示器件在此极限值下功能正常。长期在极值条件下运行会严重影响器件的可靠性。

2.2 器件推荐工作条件

表 2-2 推荐工作条件

名称	最小值	典型值	最大值	单位	说明
V_{CCB}	1.0	--	1.89	V	密钥存储器备用电池电源供电电压
V_{CC}	0.95	1.0	1.05	V	内核电源电压
V_{CCA}	1.71	1.8	1.89	V	辅助电源供电电压
V_{CCIO}	1.14	--	3.465	V	输出驱动器电源的供电电压
V_{CC_DRM}	0.95	1.0	1.05	V	DRM 电源供电电压
V_{IN}	-0.2	--	$V_{CCIO}+0.2$	V	I/O 输入电压
	-0.2	--	2.5	V	V_{CCIO} 为 3.3V 时, V_{REF} 或差分 I/O 标准的 I/O 输入电压, TMDS_33 标准除外
I_{IN}	--	--	10	mA	在上电或者未上电的 Bank 内的任意一个 PIN 的正偏钳位二极管所允许流过的最大电流
T_j	0		85	°C	商业级器件工作结温范围
	-40		100	°C	工业级器件工作结温范围

注: V_{CCIO} 电压应在 1.2V、1.35V、1.5V、1.8V、2.5V 和 3.3V 以及各电压的 $\pm 5\%$ 范围内

2.3 器件推荐工作条件下的直流特性

表 2-3 推荐工作条件下的直流特性

标识	最小值	典型值	最大值	说明
V_{DRVCC}	0.75V	--	--	V_{CC} 的配置数据保持电压
V_{DRVCCA}	1.5V	--	--	V_{CCA} 的配置数据保持电压
I_L	--	--	60uA	引脚的输入或者输出漏电流
I_{REF}	--	--	60uA	V_{REF} 引脚的漏电流
I_{PU}	90uA	--	390uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=3.3V$)
	68uA	--	370uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=2.5V$)
	34uA	--	300uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.8V$)
	23uA	--	190uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.5V$)
	12uA	--	150uA	PAD 的上拉电流($V_{IN}=0$; $V_{CCIO}=1.2V$)
I_{PD}	50uA	--	350uA	PAD 的下拉电流($V_{IN}=3.3V$)
	45uA	--	180uA	PAD 的下拉电流($V_{IN}=1.8V$)
I_{CCADC}	--	--	25mA	模拟电路上电状态, ADC 模拟电源的电流
I_{VCCB}	--	--	150nA	V_{CCB} 电源电流
R_{INTERM}	28 Ω	40 Ω	55 Ω	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 40 Ω 的时候)
	35 Ω	50 Ω	65 Ω	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 50 Ω 的时候)
	44 Ω	60 Ω	83 Ω	在 $V_{CCIO}/2$ 电压下的可编程输入终端的戴维南等值电阻。(当设置为 60 Ω 的时候)
C_{IN}	--	--	TBD	裸片 PAD 端的输入电容
n	--	0.9988	--	温度二极管的理想因子
r	--	2.5 Ω	--	温度二极管的串行电阻

注：典型值是指常压，25℃条件下的测量值；最大值是指常压，100℃结温条件下的测量值

2.4 VIN允许的最大过冲和下冲电压

表 2-4 VIN允许的最大过冲和下冲电压

过冲电压 (V)	%UI (-40℃~125℃)	下冲电压 (V)	%UI (-40℃~125℃)
$V_{CCIO} + 0.45$	100	-0.3	100
		-0.35	55.5
		-0.4	23.2
		-0.45	9.9
$V_{CCIO} + 0.5$	42	-0.5	4.3
$V_{CCIO} + 0.55$	19.08	-0.55	1.89
$V_{CCIO} + 0.6$	8.77	-0.60	0.84
$V_{CCIO} + 0.65$	4.1	-0.65	0.387
$V_{CCIO} + 0.7$	1.9	-0.7	0.18
$V_{CCIO} + 0.75$	0.918	-0.75	0.08
$V_{CCIO} + 0.80$	0.44	-0.8	0.04

过冲电压 (V)	%UI (-40℃~125℃)	下冲电压 (V)	%UI (-40℃~125℃)
VCCIO + 0.85	0.21	-0.85	0.017

注:

1. 过冲或下冲的峰值电压, 以及在 $V_{CCIO}+0.20V$ 以上或 $GND-0.20V$ 以下的持续时间, 不得超过本表中的数值
2. UI持续时间小于15us

2.5 典型静态电流

表 2-5 典型静态电流

标识	器件	典型值	单位	说明
I _{CCQ}	PG2L25H	150	mA	V _{CC} 的静态电流
	PG2L50H	275		
	PG2L100H(X)	500		
	PG2L200H	1065		
I _{CC_DRM} Q	PG2L25H	3.5	mA	V _{CC_DRM} 的静态电流
	PG2L50H	6.5		
	PG2L100H(X)	11		
	PG2L200H	30		
I _{CCIO} Q	PG2L25H	6.6	mA	V _{CCIO} 的静态电流
	PG2L50H	6.6		
	PG2L100H(X)	18		
	PG2L200H	30		
I _{CCA} Q	PG2L25H	30	mA	V _{CCA} 的静态电流
	PG2L50H	55		
	PG2L100H(X)	120		
	PG2L200H	380		

注:

1. 典型值是指常压, 85℃结温并且都是单端I/O; 空白配置的器件并且没有输出电流负载, 没有输入上拉电阻, 所有I/O处于三态并且悬空
2. 其它特定条件下的静态功耗评估请使用PDS中集成的功耗评估工具。

2.6 上、下电要求

2.6.1 上电、下电顺序

- 在上下电过程中, 必须满足 $(V_{CCIO}-V_{CCA}) > 2V$ 的时间小于 100 毫秒。
- 推荐上电顺序: VCC, VCC_DRM, VCCA, VCCIO, 如图 2-1 所示, 各电源电压在达到典型电压值前需满足: $V_{CC} \geq V_{CC_DRM} \geq V_{CCA} \geq V_{CCIO}$, 此时上电电流最小。
- 推荐下电顺序为推荐上电顺序的反方向, 如图 2-2 所示, 各电源电压在下电到零电压前需满足: $V_{CCIO} \leq V_{CCA} \leq V_{CC_DRM} \leq V_{CC}$ 。

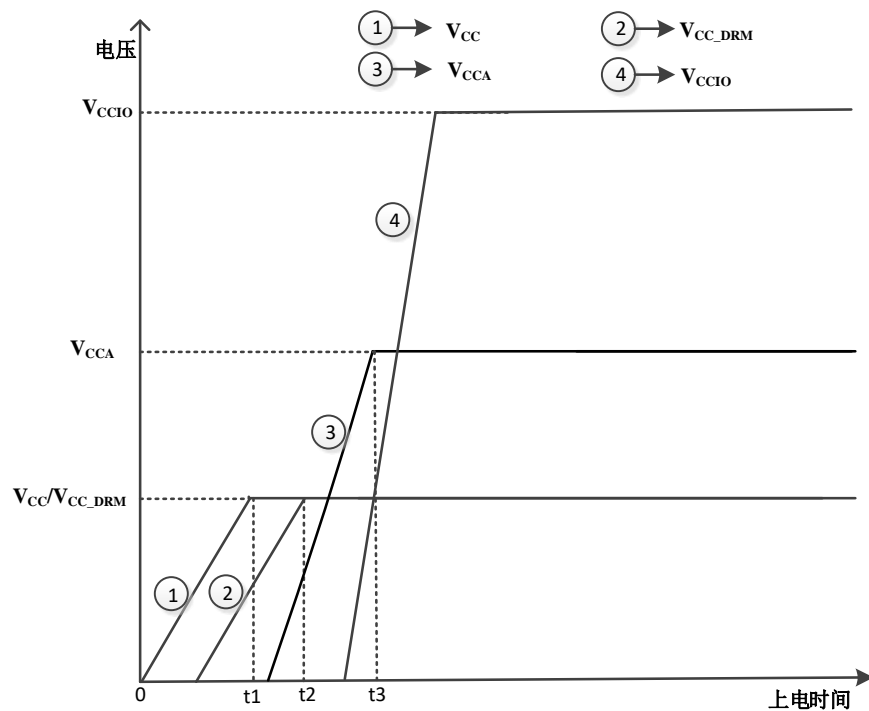


图 2-1 上电时序图

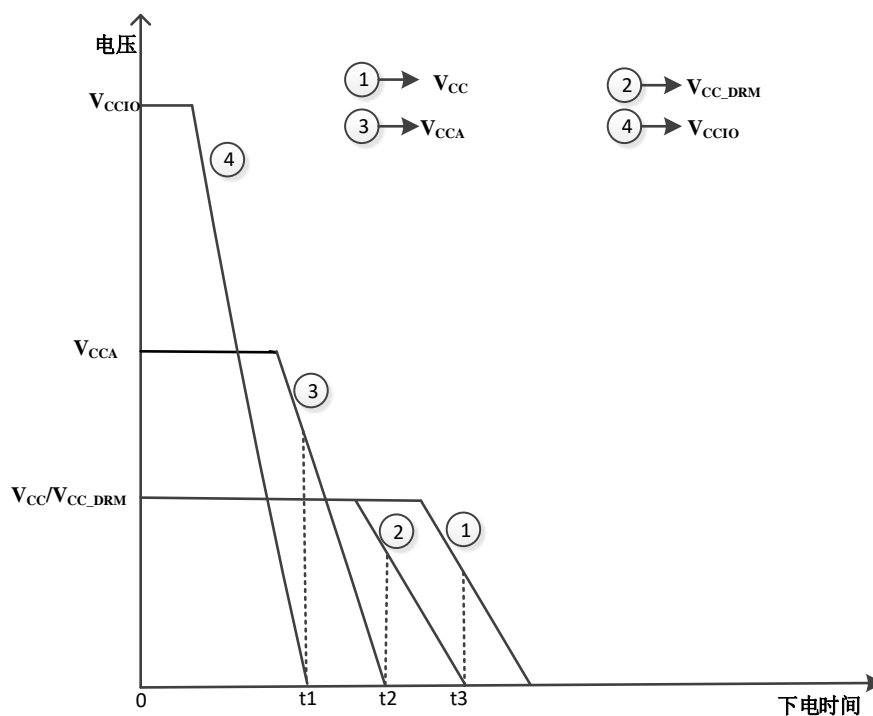


图 2-2 下电时序图

2.6.2 电源上电斜升时间

表 2-6 电源上电斜升时间

标识	最小值	最大值	单位	说明
T_{VCC}	0.2	50	ms	V_{CC} 从GND上升到90% V_{CC} 的时间

标识	最小值	最大值	单位	说明
T _{VCC_DRM}	0.2	50	ms	V _{CC_DRM} 从GND上升到90%V _{CC_DRM} 的时间
T _{VCCIO}	0.2	50	ms	V _{CCIO} 从GND上升到90%V _{CCIO} 的时间
T _{VCCA}	0.2	50	ms	V _C CA从GND上升到90%V _C CA的时间
T _{VCCIO2VCCA}	-	100	ms	V _{CCIO} - V _C CA >2V的时间

2.6.3 启动所需的最小电流

表 2-7 启动所需的最小电流

标识	最大值	单位	说明
I _{CCMIN}	I _{CCQ} +150	mA	V _{CC} 上电启动的最小电流
I _{CC_DRMMIN}	I _{CC_DRMQ} +70	mA	V _{CC_DRM} 上电启动的最小电流
I _{CCIOMIN}	I _{CCIOQ} +50	mA	V _{CCIO} 上电启动的最小电流（每 bank）
I _{CCAMIN}	I _{CCAQ} +40	mA	V _C CA 上电启动的最小电流

2.7 热插拔

2.7.1 热插拔规格

器件热插拔漏电流规格见表 2-8。

表 2-8 热插拔漏电流规格

参数符号	参数描述	最大值
I _{DK} （DC） ⁽¹⁾	DC 电流,每个I/O	1mA
I _{DK} （AC） ⁽²⁾	AC 电流,每个I/O	1mA

注：

1. DC电流为芯片未上电时，给支持热插拔的I/O上加电压，测试灌入IO的电流最大值。
2. AC电流为推荐上下电顺序的上下电过程中灌入IO的最大电流。
3. 专用配置I/O不支持热插拔，配置复用I/O和ADC复用I/O可满足I_{DK}（DC）电流，不满足 I_{DK}（AC）电流。其它用户I/O在推荐上下电顺序的情况下满足 I_{DK}电流规格，在不满足推荐上下电顺序的情况下，I_{DK}（AC）最大电流为15mA。

2.7.2 热插拔应用限制

满足热插拔需满足以下条件：

- (1) 需按芯片推荐的上下电顺序进行上下电。
- (2) 确保满足应用要求，用户需选择合适的外部电路（比如上下拉及串阻）等。

2.8 ESD（HBM，CDM），Latch Up指标

表 2-9 ESD、Latch-Up指标

标识	值	单位	说明
HBM_IO	±1000	V	Human Body Model（HBM）
HBM_SERDES	±1000	V	HBM，Serdes
CDM_IO	±350	V	Charge Device Model（CDM），通用IO
CDM_SERDES	±300	V	CDM，serdes，Logos2 100K及以下器件

标识	值	单位	说明
	±250	V	CDM,SERDES,Logos2 100k以上器件
Latch-up	±100	mA	电流注入方式

2.9 eFUSE编程条件

表 2-10 eFUSE编程条件

标识	最小值	最大值	单位	说明
I _{eFUSE}		188	mA	V _{CCA} 提供的电流
T _j	15	125	°C	

3 典型工作条件下的DC直流特性

3.1 IO输入输出DC直流特性（IO Input & Output DC）

各单端IO电平标准输入输出电压范围如下表

表 3-1 单端IO电平标准输入输出电压范围

标准	VIL		VIH		VOL Max (v)	VOH Min (v)	IOL (mA)	IOH (mA)
	Min (v)	Max(v)	Min(v)	Max(v)				
PCI33	-0.3	0.3VCCIO	0.5VCCIO	VCCIO+0.5	0.1VCCIO	0.9VCCIO	1.5	-0.5
LVC MOS33	-0.3	0.8	2.0	3.465	0.4	VCCIO-0.4	4 8 12 16	-4 -8 -12 -16
LVTTL33	-0.3	0.8	2.0	3.465	0.4	2.4	4 8 12 16 24	-4 -8 -12 -16 -24
LVC MOS25	-0.3	0.7	1.7	VCCIO+0.3	0.4	VCCIO-0.4	4 8 12 16	-4 -8 -12 -16
LVC MOS18	-0.3	0.35VCCIO	0.65VCCIO	VCCIO+0.3	0.4	VCCIO-0.4	4 8 12 16 24	-4 -8 -12 -16 -24
LVC MOS15	-0.3	0.35VCCIO	0.65VCCIO	VCCIO+0.3	0.4	VCCIO-0.4	4 8 12 16	-4 -8 12 16
LVC MOS12	-0.3	0.35VCCIO	0.65VCCIO	VCCIO+0.3	0.4	VCCIO-0.4	4 8 12	-4 -8 -12
SSTL18_I	-0.3	Vref-0.125	Vref+0.125	VCCIO+0.3	0.5VCCIO-0.47	0.5VCCIO+0.47	8	-8
SSTL18_II	-0.3	Vref-0.125	Vref+0.125	VCCIO+0.3	0.5VCCIO-0.6	0.5VCCIO+0.6	13.4	-13.4
SSTL15_I	-0.3	Vref-0.10	Vref+0.10	VCCIO+0.3	0.5VCCIO-0.175	0.5VCCIO+0.175	8.9	-8.9
SSTL15_II	-0.3	Vref-0.10	Vref+0.10	VCCIO+0.3	0.5VCCIO-0.175	0.5VCCIO+0.175	13	-13

标准	VIL		VIH		VOL Max (v)	VOH Min (v)	IOL (mA)	IOH (mA)
	Min (v)	Max(v)	Min(v)	Max(v)				
HSUL12	-0.3	Vref-0.13	Vref+0.13	VCCIO+0.3	0.2VCCIO	0.8VCCIO	0.1	-0.1
HSTL18_I	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.40	VCCIO-0.40	8	-8
HSTL18_II	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.40	VCCIO-0.40	16	-16
HSTL15_I	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.40	VCCIO-0.40	8	-8
HSTL15_II	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.40	VCCIO-0.40	16	-16
SSTL135_I	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.5VCCIO-0.15	0.5VCCIO+0.15	8.9	-8.9
SSTL135_II	-0.3	Vref-0.1	Vref+0.1	VCCIO+0.3	0.5VCCIO-0.15	0.5VCCIO+0.15	13	-13
LPDDR	-0.3	0.2VCCIO	0.8VCCIO	VCCIO+0.3	0.1VCCIO	0.9VCCIO	0.1	-0.1

差分IO电平标准输入输出电压范围如表 3-2所示

表 3-2 差分输入输出标准的参数要求

I/O Standard	Vicm(V)			Vid(V)			Vocm(V)			Vod(V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
LVDS	1	1.2	1.425	0.1	0.35	0.6	1	1.25	1.425	0.25	0.35	0.6
BLVDS	0.3	1.2	1.425	0.1	—	—	—	1.25	—	—		
MINI_LVDS	0.3	1.2	VCCA	0.2	0.4	0.6	1	1.2	1.4	0.3	0.40	0.6
PPDS	0.2	0.9	VCCA	0.1	0.25	0.4	0.5	1.0	1.4	0.1	0.3	0.45
RSDS	0.3	0.9	1.5	0.1	0.35	0.6	1	1.2	1.4	0.1	0.35	0.6
TMDS	2.7	2.96 5	3.23	0.15	0.675	1.2	VCCIO- 0.405	VCCIO- 0.3	VCCIO- 0.19	0.4	0.6	0.8

表 3-3 类差分输入输出标准的参数要求

IO 标准	Vid(V)	Vicm (V)			Vol(V)	Voh(V)	Iol (mA)	Ioh (mA)
	min	min	typ	max	max	min	max	min
HSUL12D	0.1	0.3	0.6	0.85	0.2VCCIO	0.8VCCIO	0.1	-0.1
SSTL135D_I	0.1	0.3	0.675	1	0.5VCCIO-0.15	0.5VCCIO+0.15	8.9	-8.9
SSTL135D_II	0.1	0.3	0.675	1	0.5VCCIO-0.15	0.5VCCIO+0.15	13	-13
HSTL15D_I	0.1	0.3	0.75	1.125	0.4	VCCIO-0.4	8	-8
HSTL15D_II	0.1	0.3	0.75	1.125	0.4	VCCIO-0.4	16	-16
HSTL18D_I	0.1	0.3	0.9	1.425	0.4	VCCIO-0.4	8	-8
HSTL18D_II	0.1	0.3	0.9	1.425	0.4	VCCIO-0.4	16	-16
LPDDR	0.1	0.3	0.9	1.425	0.1VCCIO	0.9VCCIO	0.1	-0.1
SSTL15D_I	0.1	0.3	0.75	1.125	0.5VCCIO-0.175	0.5VCCIO+0.175	0.89	-0.89
SSTL15D_II	0.1	0.3	0.75	1.125	0.5VCCIO-0.175	0.5VCCIO+0.175	13	-13
SSTL18D_I	0.1	0.3	0.9	1.425	0.5VCCIO-0.47	0.5VCCIO+0.47	8	-8
SSTL18D_II	0.1	0.3	0.9	1.425	0.5VCCIO-0.6	0.5VCCIO+0.6	13.4	-13.4

4 典型工作条件下的AC特性

本章主要列出了Logos2系列FPGA各逻辑单元在典型工作条件下的AC交流特性。

4.1 可配置逻辑模块CLM（Configurable Logic Module）AC交流特性参数

表 4-1 CLM模块AC特性

延时时间			单位	参数说明
-5	-6	-7		
逻辑延时				
0.24	0.196	TBD	ns,max	LUT6输入Ax/Bx/Cx/Dx到Y0/Y1/Y2/Y3 delay
0.452	0.353	TBD	ns,max	LUT6输入Ax/Bx/Cx/Dx到CR0/CR1的delay（LUT7）
0.445	0.395	TBD	ns,max	LUT6输入Ax/Bx/Cx/Dx到CR2到Y1(LUT8)的delay
0.449	0.357	TBD	ns,max	LUT input Ax到CYA(CR0)的delay
0.446	0.371	TBD	ns,max	LUT input Bx到CYB(CR1)的delay
0.452	0.358	TBD	ns,max	LUT input Cx到CYC(CR2)的delay
0.434	0.353	TBD	ns,max	LUT input Dx到CYD(CR3)的delay
0.105	0.065	TBD	ns,max	CIN 输入到COUT的delay
时序参数				
0.227	0.198	TBD	ns,max	CLK输入相对于Q0/Q1/Q2/Q3的TCO
0.27	0.218	TBD	ns,max	CLK输入相对于CR0/CR1/CR2/CR3的TCO
0.288/-0.08	0.22/-0.16	TBD	ns,min	Ax/Bx/Cx/Dx相对于DFF的setup/hold
0.16/-0.1	0.12/0.04	TBD	ns,min	M相对于DFF的setup/hold
0.224/-0.07	0.13/-0.04	TBD	ns,min	CE相对于DFF的setup/hold
0.224/-0.07	0.11/-0.05	TBD	ns,min	RS相对于DFF的setup/hold
分布式 RAM 时序参数				
0.455	0.63	TBD	ns,max	CLK -> Y0/Y1/Y2/Y3 mem read delay
0.56	0.71	TBD	ns,max	CLK -> CR0/CR1/CR2/CR3 mem read delay
-0.26/0.28	0.145/0.083	TBD	ns,min	CLK -> WE timing check, setup/hold
0.24/-0.07	0.048/0.193	TBD	ns,min	CLK -> An address timing check, setup/hold
-0.26/0.28	0.048/0.193	TBD	ns,min	CLK -> AD/BD/CD/DD data timing check,setup/hold

注：表中参数值只适用于PG2L100H，Logos2系列其它器件参数请参考PDS时序报告

4.2 专用RAM模块DRM（Dedicated RAM Module）AC交流特性参数

表 4-2 DRM模块AC特性

类别	数值			单位	AC 交流特性参数说明
	-5	-6	-7		
T _{co_18K}	1.75	1.529	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器不使能, 18K模式)
T _{co_18K_reg}	0.718	0.625	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器使能, 18K模式)

类别	数值			单位	AC 交流特性参数说明
	-5	-6	-7		
T _{co_36K}	1.758	1.529	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器不使能, 36K模式)
T _{co_36K_reg}	0.718	0.625	TBD	ns,max	CLKA/CLKB->QA/QB (输出寄存器使能, 36K模式)
T _{co_ecc}	1.758	1.529	TBD	ns,max	CLKB->QA/QB (输出寄存器不使能, ECC模式)
T _{co_ecc_reg}	0.718	0.625	TBD	ns,max	CLKB->QA/QB (输出寄存器使能, ECC模式)
T _{co_ecc_err}	0.718	0.625	TBD	ns,max	CLKB->ECC_S/DBITERR (输出寄存器使能, ECC模式)
T _{co_flag_full}	1.11	0.966	TBD	ns,max	CLKA->FULL(ALMOST_FULL) (18K/36K FIFO模式)
T _{co_flag_empty}	0.652	0.567	TBD	ns,max	CLKB->EMPTY(ALMOST_EMPTY) (18K/36K FIFO模式)
T _{co_ecc_parity}	0.407	0.354	TBD	ns,max	CLKA->ECC_PARITY (ECC 编码模式)
T _{co_ecc_rdaddr}	0.834	0.726	TBD	ns,max	CLKA->ECC_RDADDR (输出寄存器不使能, ECC模式)
T _{co_ecc_rdaddr_reg}	0.834	0.726	TBD	ns,max	CLKA->ECC_RDADDR (输出寄存器使能, ECC模式)
T _{su_18K_ad} / T _{hd_18K_ad}	-0.077/0.097	-0.067/0.085	TBD	ns,min	地址输入Setup/Hold time (18K模式)
T _{su_18K_d} / T _{hd_18K_d}	-0.002/0.043	-0.002/0.038	TBD	ns,min	数据输入Setup/Hold time (18K模式)
T _{su_18K_ce} / T _{hd_18K_ce}	0.034/0.029	0.03/0.026	TBD	ns,min	CE输入Setup/Hold time (18K模式)
T _{su_18K_we} / T _{hd_18K_we}	-0.065/0.086	-0.057/0.075	TBD	ns,min	WE输入Setup/Hold time (18K模式)
T _{su_18K_be} / T _{hd_18K_be}	-0.010/0.029	-0.009/0.026	TBD	ns,min	BE输入Setup/Hold time (18K模式)
T _{su_18K_oe} / T _{hd_18K_oe}	-0.060/0.080	-0.053/0.070	TBD	ns,min	OCE输入Setup/Hold time (18K模式)
T _{su_18K_rst} / T _{hd_18K_rst}	0.001/0.017	0.001/0.015	TBD	ns,min	同步复位输入Setup/Hold time (18K模式)
T _{su_36K_ad} / T _{hd_36K_ad}	-0.077/0.097	-0.067/0.085	TBD	ns,min	地址输入Setup/Hold time (36K模式)
T _{su_36K_d} / T _{hd_36K_d}	-0.002/0.043	-0.002/0.038	TBD	ns,min	数据输入Setup/Hold time (36K模式)
T _{su_36K_ce} / T _{hd_36K_ce}	0.034/-0.014	0.03/-0.013	TBD	ns,min	CE输入Setup/Hold time (36K模式)
T _{su_36K_we} / T _{hd_36K_we}	-0.033/0.054	-0.029/0.047	TBD	ns,min	WE输入Setup/Hold time (36K模式)
T _{su_36K_be} / T _{hd_36K_be}	-0.01/0.029	-0.009/0.026	TBD	ns,min	BWE输入Setup/Hold time (36K模式)
T _{su_36K_oe} / T _{hd_36K_oe}	-0.027/0.047	-0.024/0.041	TBD	ns,min	OCE输入Setup/Hold time (36K模式)
T _{su_36K_rst} / T _{hd_36K_rst}	0.001/0.017	0.001/0.015	TBD	ns,min	同步复位输入Setup/Hold time (36K模式)
T _{su_ecc_d} / T _{hd_ecc_d}	0.021/0.018	0.019/0.016	TBD	ns,min	数据输入Setup/Hold time (ECC模式)

类别	数值			单位	AC 交流特性参数说明
	-5	-6	-7		
T _{su_fifo_wctl} / T _{hd_fifo_wctl}	-0.065/0.086	-0.057/0.075	TBD	ns,min	WREN输入(Setup/Hold time) (18K/36K FIFO模式)
T _{su_fifo_rctl} / T _{hd_fifo_rctl}	0.03/-0.014	0.03/-0.013	TBD	ns,min	RDEN输入(Setup/Hold time) (18K/36K FIFO模式)
T _{su_ecc_injerr} / T _{hd_ecc_injerr}	0.021/0.018	0.019/0.016	TBD	ns,min	INJECT_S/DBITERR输入Setup/Hold time(ECC 模式)
T _{mpw_norm}	1.104	0.960	TBD	ns,min	CLKA/CLKB MPW (NW/TW模式)
T _{mpw_rbw}	1.546	1.345	TBD	ns,min	CLKA/CLKB MPW (RBW模式)
T _{mpw_fifo}	1.104	0.960	TBD	ns,min	CLKA/CLKB MPW (FIFO模式)
T _{mpw_ecc}	1.104	0.960	TBD	ns,min	CLKA/CLKB MPW (ECC模式)

注：表中参数值只适用于PG2L100H，Logos2系列其它器件参数请参考PDS时序报告

4.3 算术处理单元APM（Arithmetic Process Module）AC交流特性参数

表 4-3 APM模块AC特性

AC 交流特性参数说明	Pre-dder	Multiplier	Post-adder	数值			单位
				-5	-6	-7	
数据/控制 Pin 到输入 register clk 的 setup 和 hold 时间							
H→preadd unit register CLK setup/hold	Yes	NA	NA	1.376/-0.1	1.197/-0.141	TBD	ns
X→preadd unit register CLK setup/hold	Yes	NA	NA	1.58/-0.16	1.376/-0.147	TBD	ns
X→input unit register CLK setup/hold	NA	NA	NA	0.38/-0.02	0.336/-0.020	TBD	ns
Y→input unit register CLK setup/hold	NA	NA	NA	0.22/-0.03	0.196/-0.028	TBD	ns
H→input unit register CLK setup/hold	NA	NA	NA	0.28/-0.04	0.248/-0.042	TBD	ns
Z→input unit register CLK setup/hold	NA	NA	NA	0.16/0.01	0.146/0.010	TBD	ns
INCTRL→input unit register CLK setup/hold	NA	NA	NA	0.16/0	0.144/0.000	TBD	ns
MODEY→input unit register CLK setup/hold	NA	NA	NA	0.16/-0.009	0.147/-0.008	TBD	ns
MODEZ→input unit register CLK setup/hold	NA	NA	NA	0.25/-0.01	0.220/-0.014	TBD	ns
数据 Pin 到 pipeline register clk 的 setup 和 hold 时间							
Y→Multiplier unit register CLK setup/hold	NA	Yes	No	1.47/-0.25	1.281/-0.226	TBD	ns
X→Multiplier unit register CLK setup/hold	Yes	Yes	No	2.76/-0.38	2.402/-0.333	TBD	ns
X→Multiplier unit register CLK setup/hold	No	Yes	No	1.57/-0.26	1.373/-0.233	TBD	ns
H-> Multiplier unit register CLK setup/hold	Yes	Yes	No	2.55/-0.36	2.224/-0.316	TBD	ns
数据/控制 Pin 到输出 register clk 的 setup 和 hold 时间							

AC 交流特性参数说明	Pre-dder	Multiplier	Post-adder	数值			单位
				-5	-6	-7	
Y→postadd unit register CLK setup/hold	NA	Yes	Yes	2.51/-0.512	2.190/-0.446	TBD	ns
X→postadd unit register CLK setup/hold	No	Yes	Yes	2.636/-0.52	2.293/-0.454	TBD	ns
X→postadd unit register CLK setup/hold	Yes	Yes	Yes	3.82/-0.63	3.322/-0.554	TBD	ns
H→postadd unit register CLK setup/hold	Yes	Yes	Yes	3.61/-0.617	3.144/-0.537	TBD	ns
Z→postadd unit register CLK setup/hold	NA	NA	Yes	1.411/-0.23	1.227/-0.208	TBD	ns
Y→postadd unit register CLK setup/hold	NA	No	Yes	1.447/-0.27	1.259/-0.242	TBD	ns
X→postadd unit register CLK setup/hold	No	No	Yes	1.342/-0.28	1.167/-0.247	TBD	ns
PI→postadd unit register CLK setup/hold	NA	NA	Yes	1.314/-0.04	1.143/-0.035	TBD	ns
从各级 register clk 到 APM 输出 Pin 时间							
postadd unit register CLK→P output	NA	NA	NA	0.380	0.331	TBD	ns
Multiplier unit register CLK→Poutput	NA	NA	Yes	1.703	1.481	TBD	ns
Multiplier unit register CLK→Poutput	NA	NA	No	0.488	0.425	TBD	ns
pretadd unit register CLK→DPO output	Yes	Yes	Yes	2.58	2.248	TBD	ns
Z input unit register CLK→DPO output	NA	NA	Yes	1.59	1.390	TBD	ns
从数据/控制 Pin 到 APM 输出 Pin 组合逻辑延时							
Y→Poutput	NA	Yes	No	1.86	1.619	TBD	ns
Y→Poutput	NA	Yes	Yes	2.75	2.399	TBD	ns
Y→Poutput	NA	No	Yes	1.66	1.444	TBD	ns
X→Poutput	No	Yes	No	1.93	1.680	TBD	ns
X→Poutput	Yes	Yes	No	2.94	2.564	TBD	ns
X→Poutput	Yes	Yes	Yes	4.03	3.512	TBD	ns
X→Poutput	No	No	Yes	1.50	1.308	TBD	ns
H→Poutput	Yes	Yes	No	2.95	2.568	TBD	ns
H→Poutput	Yes	Yes	Yes	3.84	3.347	TBD	ns
Z→Poutput	NA	NA	Yes	1.62	1.410	TBD	ns
PI→Poutput	NA	NA	Yes	1.53	1.339	TBD	ns

注：表中参数值只适用于PG2L100H，Logos2系列其它器件参数请参考PDS时序报告

4.4 GPLL交流(AC)特性参数

表 4-4 GPLL交流特性

指标	最小值	最大值	单位	说明
F_{IN}	10	800	MHz	输入时钟频率
F_{INJIT}	300		ps	输入时钟抖动 ($F_{IN} < 200\text{MHz}$)
	0.06		UI	输入时钟抖动 ($F_{IN} \geq 200\text{MHz}$)

指标	最小值	最大值	单位	说明
F_{INDT}	10-49MHz: 25% 50-199MHz: 30% 200-399MHz: 35% 400-499MHz: 40% 500-800MHz: 45%			输入时钟占空比
F_{PFD}	10	450	MHz	PFD工作频率范围
F_{VCO}	600	1200	MHz	VCO工作频率范围
F_{OUT}	4.69	800	MHz	输出时钟频率范围
F_{OUTCAS}	0.0366	800	MHz	输出级联频率范围
T_{PHO}	0.12		ns	静态相位失调
T_{OUTJIT}	180		ps	输出时钟抖动 ($F_{OUT} \geq 100\text{MHz}$)
	0.018		UI	输出时钟抖动 ($F_{OUT} < 100\text{MHz}$)
$T_{OUTDUTY}$	50% \pm 5%			输出时钟占空比精度 (50%情形)
F_{BW}	1	4	MHz	环路带宽
T_{LOCK}	---	200	us	锁定时间
F_{DPS_CLK}	0.01	450	MHz	动态相移时钟频率
T_{RST}	10	---	ns	复位信号宽度

4.5 PPLL交流(AC)特性参数

表 4-5 PPLL交流特性

指标	最小值	最大值	单位	说明
F_{IN}	19	800	MHz	输入时钟频率
F_{INJIT}	200		ps	输入时钟抖动 ($F_{IN} < 200\text{MHz}$)
	0.04		UI	输入时钟抖动 ($F_{IN} \geq 200\text{MHz}$)
F_{INDT}	10-49MHz: 25% 50-199MHz: 30% 200-399MHz: 35% 400-499MHz: 40% 500-800MHz: 45%			输入时钟占空比
F_{PFD}	19	450	MHz	PFD工作频率范围
F_{VCO}	1330	2133	MHz	VCO工作频率范围
F_{OUT}	10.39	2133	MHz	输出时钟频率范围
T_{PHO}	0.12		ns	静态相位失调
T_{OUTJIT}	180		ps	输出时钟抖动 ($F_{OUT} \geq 100\text{MHz}$)
	0.018		UI	输出时钟抖动 ($F_{OUT} < 100\text{MHz}$)
T_{OUTDT}	50% \pm 5%			输出时钟占空比精度 (50%情形)
F_{BW}	1	4	MHz	带宽
T_{LOCK}	---	120	us	锁定时间
T_{RST}	10	---	ns	复位信号宽度

4.6 DQS AC交流特性参数

DQS相位调整的单步相位偏移值如表 4-6所示。

表 4-6 DQS AC特性

类别	速度等级	AC 交流特性参数描述			单位
		最小值	典型值	最大值	
DQS	-5, -6	4	7	10	ps

4.7 全局时钟网络（Global Clock Network） AC交流特性参数

表 4-7 全局时钟网络AC特性

名称	最大频率	单位	说明
	-5, -6		
GLOBAL CLK	600	MHz	全局时钟网络

4.8 区域时钟网络（Regional Clock Network） AC交流特性参数

表 4-8 区域时钟网络AC特性

名称	最大频率	单位	说明
	-5, -6		
REGIONAL CLK	350	MHz	区域时钟网络

注：最大输入频率650 MHz

4.9 IO时钟网络（IO Clock Network） AC交流特性参数

表 4-9 IO时钟网络AC特性

名称	最大频率	单位	说明
	-5, -6		
IO CLK	680	MHz	IO时钟网络

4.10 配置和编程（Configuration and Programming） AC交流特性参数

4.10.1 Power-up Timing特性

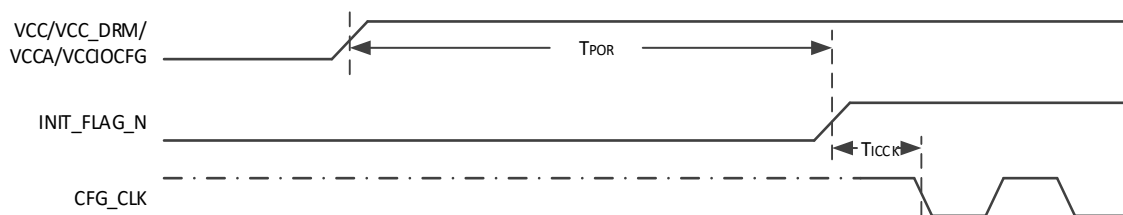


图 4-1 器件 Power-up Timing 特性

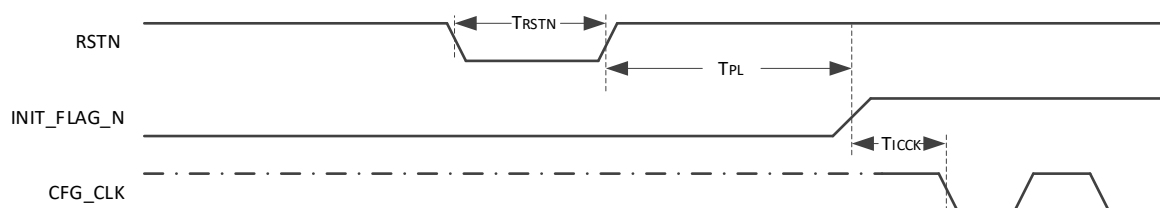


图 4-2 器件复位重配置 Timing 特性

表 4-10 Power-up Timing特性参数

名称	器件	数值	单位	说明
T_{PL}	PG2L25H	3.6	ms, Max	Program Latency
	PG2L50H	6		
	PG2L100H(X)	11		
	PG2L200H	26		
T_{POR}	PG2L25H	63.6	ms, Max	Power-on-Reset
	PG2L50H	66		
	PG2L100H(X)	71		
	PG2L200H	86		
T_{ICCK}	Logos2	400	ns,Min	CFG_CLK输出延时
T_{RSTN}		384	ns,Min	RSTN低脉冲宽度

4.10.2 各下载模式AC交流特性

表 4-11 Logos2系列FPGA支持的各下载模式的AC交流特性

接口	名称	描述	数值		属性
			-5	-6	
JTAG	F _{TCK}	TCK频率	50M	50M	最大
	F _{TCKD}	TCK占空比	45%/55%	45%/55%	最小/最大
	T _{TCKH}	TCK高脉宽	10ns	10ns	最小
	T _{TCKL}	TCK低脉宽	10ns	10ns	最小
	T _{TMSSU} /T _{TDISU}	TMS/TDI建立时间（TCK上升沿）	3.5ns	3.5ns	最小
	T _{TMSSH} /T _{TDIH}	TMS/TDI保持时间（TCK上升沿）	1.5ns	1.5ns	最小
	T _{TCK2TDO}	TCK下降沿到TDO输出有效	6ns	6ns	最大
Master SPI模式	F _{MCLK}	CFG_CLK频率	40M	40M	最大
		CFG_CLK频率（低速）	15.38M	15.38M	最大
		CFG_CLK频率（菊花链）	25M	25M	最大
	F _{MCLKS}	CFG_CLK频率初始值	2.99M	2.99M	典型
	F _{MCLKD}	CFG_CLK占空比	45%/55%	45%/55%	最小/最大
	F _{MCLKTOL}	CFG_CLK频率偏差	50%	50%	最大
	F _{EMCLK}	ECCLKIN频率	40M	40M	最大
		ECCLKIN频率（低速）	15.38M	15.38M	最大
	F _{EMCLKD}	ECCLKIN占空比	45%/55%	45%/55%	最小/最大
	T _{MDSU}	D[7:0]建立时间（CFG_CLK上升沿）	9.5ns	9.5ns	最小
	T _{MDH}	D[7:0]保持时间（CFG_CLK上升沿）	0ns	0ns	最小
	T _{MDSUF}	D[7:0]建立时间（CFG_CLK下降沿）	9.5ns	9.5ns	最小
	T _{MDHF}	D[7:0]保持时间（CFG_CLK下降沿）	0ns	0ns	最小
	T _{MCLK2D}	CFG_CLK下降沿到D[0]/D[4]输出有效	3.5ns	3.5ns	最大
	T _{MCLK2CS}	CFG_CLK下降沿到FCS_N/FCS2_N输出有效	4ns	4ns	最大
	T _{MCLK2DOUT}	CFG_CLK下降沿到CSO_DOUT输出有效	3.5ns	3.5ns	最大
Slave Serial	F _{SSCLK}	CFG_CLK频率	50M	50M	最大
		CFG_CLK频率（菊花链）	50M	50M	最大
	T _{SSCLKL}	CFG_CLK低脉宽	6ns	6ns	最小
	T _{SSCLKH}	CFG_CLK高脉宽	6ns	6ns	最小
	T _{SSDSU}	DI建立时间（CFG_CLK上升沿）	3.5ns	3.5ns	最小
	T _{SSDH}	DI保持时间（CFG_CLK上升沿）	0ns	0ns	最小
	T _{SSDSUF}	DI建立时间（CFG_CLK下降沿）	3.5ns	3.5ns	最小
	T _{SSDHF}	DI保持时间（CFG_CLK下降沿）	0ns	0ns	最小
	T _{SSCLK2DOUT}	CFG_CLK下降沿到CSO_DOUT输出有效	2ns/7ns	2ns/7ns	最小/最大
Slave	F _{SPCLK}	CFG_CLK频率	20M	50M	最大

接口	名称	描述	数值		属性
			-5	-6	
Parallel	T _{SPCLKL}	CFG_CLK低脉宽	6ns	6ns	最小
	T _{SPCLKH}	CFG_CLK高脉宽	6ns	6ns	最小
	T _{SPDSU}	D[31:0]建立时间 (CFG_CLK上升沿)	5.5ns	5.5ns	最小
	T _{SPDH}	D[31:0]保持时间 (CFG_CLK上升沿)	0.5ns	0.5ns	最小
	T _{SPCRSU}	CS_N/RWSEL建立时间 (CFG_CLK上升沿)	4.5ns	4.5ns	最小
	T _{SPCRH}	CS_N/RWSEL保持时间 (CFG_CLK上升沿)	0.5ns	0.5ns	最小
	T _{SPCLK2D}	CFG_CLK上升沿到D[31:0]输出有效	9ns	9ns	最大
	T _{SPCS2CSO}	CS_N到CSO_DOUT输出延迟	8.5ns	8.5ns	最大
内部从并行接口	F _{IPCLK}	CLK频率	20M	50M	最大
	T _{IPCLKL}	CLK低脉宽	2.5ns	2.5ns	最小
	T _{IPCLKH}	CLK高脉宽	2.5ns	2.5ns	最小
	T _{IPDSU}	CS_N/RW_SEL/DI[31:0]建立时间 (CLK上升沿)	2ns	2ns	最小
	T _{IPDH}	CS_N/RW_SEL/DI[31:0]保持时间 (CLK上升沿)	1ns	1ns	最小
	T _{IPCLK2D}	CLK上升沿到DO[31:0]输出有效	4ns	4ns	最大
	T _{IPCLK2D1}	CLK上升沿到RBCRC_VALID/ECC_VALID/DRCFG_OVE R/PRCFG_OVER输出有效	2ns	2ns	最大
	T _{IPCLK2D2}	CLK上升沿到RBCRC_ERR/ ECC_INDEX/SEU_ERROR/SEU_FRAME_ADDR/SEU_FRAME_NADDR SEU_COLUMN_ADDR/SEU_COLUMN_NADDR SEU_REGION_ADDR/SEU_REGION_NADDR DRCFG_ERR/PRCFG_ERR输出有效	0	0	最大

4.11 IOB High Range(HR) AC交流特性参数

IOB High Range(HR)AC交流特性参数如表 4-12所示，其中DO=>PAD为从IOB端口DO经过OBUF到PAD的延时；PAD=>DIN为从PAD经过IBUF到IOB端口DIN的延时。

表 4-12 IOB High Range(HR)AC交流特性参数

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS33 STRENGTH"4" MODE"F"	1.705	0.8347
LVC MOS33 STRENGTH "4" MODE"S"	2.376	0.8347
LVC MOS33 STRENGTH"8" MODE"F"	1.688	0.8347
LVC MOS33 STRENGTH"8" MODE"S"	2.369	0.8347

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS33 STRENGTH"12" MODE"F"	1.466	0.8347
LVC MOS33 STRENGTH"12" MODE"S"	2.172	0.8347
LVC MOS33 STRENGTH"16" MODE"F"	1.266	0.8347
LVC MOS33 STRENGTH"16" MODE"S"	1.913	0.8347
LVTTL33 STRENGTH"4" MODE"F"	1.705	0.8347
LVTTL33 STRENGTH"4" MODE"S"	2.376	0.8347
LVTTL33 STRENGTH"8" MODE"F"	1.688	0.8347
LVTTL33 STRENGTH"8" MODE"S"	2.369	0.8347
LVTTL33 STRENGTH"12" MODE"F"	1.466	0.8347
LVTTL33 STRENGTH"12" MODE"S"	2.172	0.8347
LVTTL33 STRENGTH"16" MODE"F"	1.266	0.8347
LVTTL33 STRENGTH"16" MODE"S"	1.913	0.8347
LVTTL33 STRENGTH"24" MODE"F"	1.266	0.8347
LVTTL33 STRENGTH"24" MODE"S"	1.913	0.8347
LVC MOS25 STRENGTH"4" MODE"F"	1.49	0.8982
LVC MOS25 STRENGTH"4" MODE"S"	2.084	0.8982
LVC MOS25 STRENGTH"8" MODE"F"	1.525	0.8982
LVC MOS25 STRENGTH"8" MODE"S"	2.325	0.8982
LVC MOS25 STRENGTH"12"	1.354	0.8982

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"F"		
LVC MOS25 STRENGTH"12" MODE"S"	2.115	0.8982
LVC MOS25 STRENGTH"16" MODE"F"	1.23	0.8982
LVC MOS25 STRENGTH"16" MODE"S"	1.903	0.8982
LVC MOS18 STRENGTH"4" MODE"F"	1.068	0.996
LVC MOS18 STRENGTH"4" MODE"S"	1.274	0.996
LVC MOS18 STRENGTH"8" MODE"F"	0.9271	0.996
LVC MOS18 STRENGTH"8" MODE"S"	1.151	0.996
LVC MOS18 STRENGTH"12" MODE"F"	0.8111	0.996
LVC MOS18 STRENGTH"12" MODE"S"	0.9624	0.996
LVC MOS18 STRENGTH"16" MODE"F"	0.8024	0.996
LVC MOS18 STRENGTH"16" MODE"S"	0.9805	0.996
LVC MOS18 STRENGTH"24" MODE"F"	0.8218	0.996
LVC MOS18 STRENGTH"24" MODE"S"	0.9408	0.996
LVC MOS15 STRENGTH"4" MODE"F"	1.003	1.091
LVC MOS15 STRENGTH"4" MODE"S"	1.214	1.091
LVC MOS15 STRENGTH"8" MODE"F"	1.003	1.091
LVC MOS15 STRENGTH"8" MODE"S"	1.214	1.091
LVC MOS15 STRENGTH"12" MODE"F"	0.7844	1.091

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
LVC MOS15 STRENGTH"12" MODE"S"	0.9222	1.091
LVC MOS15 STRENGTH"16" MODE"F"	0.8026	1.091
LVC MOS15 STRENGTH"16" MODE"S"	0.9151	1.091
LVC MOS12 STRENGTH"4" MODE"F"	0.9499	1.238
LVC MOS12 STRENGTH"4" MODE"S"	1.156	1.238
LVC MOS12 STRENGTH"8" MODE"F"	0.9499	1.238
LVC MOS12 STRENGTH"8" MODE"S"	1.156	1.238
LVC MOS12 STRENGTH"12" MODE"F"	0.9118	1.238
LVC MOS12 STRENGTH"12" MODE"S"	1.034	1.238
SSTL18_I STRENGTH"8" MODE"F"	0.7247	0.871
SSTL18_I STRENGTH"8" MODE"S"	0.8676	0.871
SSTL18_II STRENGTH"13.4" MODE"F"	0.6479	0.871
SSTL18_II STRENGTH"13.4" MODE"S"	0.7475	0.871
SSTL18D_I STRENGTH"8" MODE"F"	0.7247	0.871
SSTL18D_I STRENGTH"8" MODE"S"	0.8676	0.871
SSTL18D_II STRENGTH"13.4" MODE"F"	0.6479	0.871
SSTL18D_II STRENGTH"13.4" MODE"S"	0.7475	0.871
HSTL18_I STRENGTH"8" MODE"F"	0.7247	0.871
HSTL18_I STRENGTH"8"	0.8676	0.871

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
MODE"S"		
HSTL18_II STRENGTH"16" MODE"F"	0.6479	0.871
HSTL18_II STRENGTH"16" MODE"S"	0.7475	0.871
HSTL18D_I STRENGTH"8" MODE"F"	0.7247	0.871
HSTL18D_I STRENGTH"8" MODE"S"	0.8676	0.871
HSTL18D_II STRENGTH"16" MODE"F"	0.6479	0.871
HSTL18D_II STRENGTH"16" MODE"S"	0.7475	0.871
SSTL15_I STRENGTH"8.9" MODE"F"	0.7278	0.9481
SSTL15_I STRENGTH"8.9" MODE"S"	0.8599	0.9481
SSTL15_II STRENGTH"13" MODE"F"	0.7295	0.9481
SSTL15_II STRENGTH"13" MODE"S"	0.8726	0.9481
SSTL15D_I STRENGTH"8.9" MODE"F"	0.7278	0.9481
SSTL15D_I STRENGTH"8.9" MODE"S"	0.8599	0.9481
SSTL15D_II STRENGTH"13" MODE"F"	0.7295	0.9481
SSTL15D_II STRENGTH"13" MODE"S"	0.8726	0.9481
HSTL15_I STRENGTH"8" MODE"F"	0.7278	0.9481
HSTL15_I STRENGTH"8" MODE"S"	0.8599	0.9481
HSTL15_II STRENGTH"16" MODE"F"	0.7295	0.9481
HSTL15_II STRENGTH"16" MODE"S"	0.8726	0.9481

I/O标准	Delay(DO=>PAD)/ns	Delay(PAD=>DIN)/ns
HSTL15D_I STRENGTH"8" MODE"F"	0.7278	0.9481
HSTL15D_I STRENGTH"8" MODE"S"	0.8599	0.9481
HSTL15D_II STRENGTH"16" MODE"F"	0.7295	0.9481
HSTL15D_II STRENGTH"16" MODE"S"	0.8726	0.9481
SSTL135_I STRENGTH"8.9" MODE"F"	0.7459	1.071
SSTL135_I STRENGTH"8.9" MODE"S"	0.8795	1.071
SSTL135_II STRENGTH"13" MODE"F"	0.7036	1.071
SSTL135_II STRENGTH"13" MODE"S"	0.8431	1.071
SSTL135D_I STRENGTH"8.9" MODE"F"	0.7459	1.071
SSTL135D_I STRENGTH"8.9" MODE"S"	0.8795	1.071
SSTL135D_II STRENGTH"13" MODE"F"	0.7036	1.071
SSTL135D_II STRENGTH"13" MODE"S"	0.8431	1.071
LPDDR MODE"F"	0.9499	1.238
LPDDR MODE"S"	1.156	1.238
HSUL12 MODE"F"	0.9499	1.238
HSUL12 MODE"S"	1.156	1.238
TMDS	0.9883	0.9481
LVDS25	0.9883	0.9481
MINI-LVDS	0.9883	0.9481
RSDS	0.9883	0.9481
PPDS	0.9883	0.9481

5 典型工作条件下的性能参数（Fabric Performance）

本章列举实现Logos2系列FPGA常见应用的performance特性。

5.1 LVDS性能参数（LVDS Performance）

表 5-1 LVDS性能

描述		最大速率		单位	IO资源
		-5	-6		
SDR LVDS Transmitter	PG2L100H	400	450	Mbps	OSERDES (DATA_WIDTH =4 TO 8)
	PG2L25H、PG2L50H、PG2L100HX、PG2L200H	TBD	625	Mbps	
DDR LVDS Transmitter	PG2L100H	800	900	Mbps	OSERDES (DATA_WIDTH =4 TO 8)
	PG2L25H、PG2L50H、PG2L100HX、PG2L200H	TBD	1250	Mbps	
SDR LVDS Receiver	PG2L100H	400	450	Mbps	ISERDES (DATA_WIDTH =4 TO 8)
	PG2L25H、PG2L50H、PG2L100HX、PG2L200H	TBD	625	Mbps	
DDR LVDS Receiver	PG2L100H	800	900	Mbps	ISERDES (DATA_WIDTH =4 TO 8)
	PG2L25H、PG2L50H、PG2L100HX、PG2L200H	TBD	1250	Mbps	

5.2 存储接口性能参数（Memory Interface Performance）

表 5-2 存储接口性能

名称	最大速率		单位
	-5	-6	
DDR3	800	1066	Mbps
DDR3L	667	667	Mbps
DDR2	667	667	Mbps
LPDDR2	667	667	Mbps
LPDDR	400	400	Mbps
QDR2	500	500	Mbps

5.3 专用RAM模块DRM（Dedicated RAM Module）性能参数

表 5-3 DRM性能

模式	最大速率 (MHz)	
	-5	-6
DRM(NW模式&读寄存器使能) @ 18K存储器模式	300	400
DRM(TW模式&读寄存器使能) @ 18K存储器模式	300	400

模式	最大速率 (MHz)	
	-5	-6
DRM(RBW模式&读寄存器使能) @ 18K存储器模式	250	350
DRM(同步FIFO模式&读寄存器使能)	300	400
DRM(ECC模式)	200	300

5.4 算术模块APM (Arithmetic Process Module) 性能参数

表 5-4 APM性能

条件	最大速率 (MHz)	
	-5	-6
All registers used (使用APM每一级的寄存器)	350	460
Only use INREG and PREG (只使用APM的输入输出寄存器)	160	190

6 模数转换器（ADC）特性

本章主要介绍Logos2系列FPGA的ADC硬核的特性参数，如表 6-1所示。

表 6-1 ADC硬核特性

参数	最小值	典型值	最大值	单位	描述/条件	
VCCADC = 1.8V ±5%, VREFADC_P = 1.255V, VREFADC_N = 0V, ADC_CLK_OUT = 26 MHz, Tj: -40 ℃ ~100 ℃, 专用通道; Typical values at Tj=+40 ℃ Vinp-p=-0.45dB Full Scale;						
VCCADC	1.71	1.8	1.89	V	模拟供电电压	
Resolution	12	--	--	Bits	分辨率	
Sample Rate	--	--	1	MSPS	采样率	
Channel	--	--	17		通道	
Voltage Reference ⁽¹⁾	1.205	1.255	1.305	V	外部参考电压	
	1.230	1.255	1.280	V	内部参考电压	Ground VREFP pin to AGND, -40℃≤ Tj ≤100 ℃
Offset Error	--	--	±4	LSB	Bipolar	-40℃≤ Tj <100 ℃
	--	--	±12	LSB	Unipolar	-40℃≤ Tj ≤100 ℃
Gain Error	--	±1	--	%FS	Gain error calibration后增益误差	
DNL	--	--	-1<DNL<5	LSB	Differential Nonlinear; Nonmissing codes	
INL	--	--	±4	LSB	Integral Nonlinear	-40℃≤ Tj ≤100 ℃
SNR_1		58	--	dB	Signal to Noise Ratio	F _{SAMPLE} = 500KS/s,F _{IN} = 20 kHz 专用通道
SNR_2		58		dB	Signal to Noise Ratio	F _{SAMPLE} = 500KS/s,F _{IN} = 20 kHz 辅助通道
THD_1	--	64		dB	2 nd to 7 th total harmonic distortion	F _{SAMPLE} = 500KS/s,F _{IN} = 20 kHz 专用通道
THD_2	--	62		dB	2 nd to 7 th total harmonic distortion	F _{SAMPLE} = 500KS/s,F _{IN} = 20 kHz 辅助通道
Temperature Sensor Accuracy ⁽¹⁾	--	--	±4	℃	温度检测精度	-40℃≤ Tj ≤100℃
Voltage Sensor Accuracy ⁽¹⁾			±5	%	片内电源电压检测精度	电压测量范围: V _{CC} /V _{CC_DRM} :1V ± 3% V _{CCA} :1.8V ± 5% 温度范围:-40 ℃ ≤Tj ≤100 ℃
DCLK	8		100	MHz	APB接口时钟	
DCLK占空比	40		60	%		

注:

- 1.片内温度检测精度和片内电源电压检测精度为使能Offset Error和Gain Error校准后，ADC采样时钟频率在1MHz~5MHz的测试结果；参考电压VREFADC_P=1.255V和VREFADC_N=0V的任何变化都会影响测量的温度和电源电压的精度；
- 2.ADC采样辅助IO通道，辅助IO需约束在1.8V电源域下；
- 3.-5不支持温度传感器功能

7 高速串行收发器（HSSTLP）特性

本章主要介绍Logos2系列FPGA的HSSTLP硬核的特性，主要包括绝对极限额定电压/电流、推荐工作条件、AC/DC特性以及支持典型协议工作模式下的特性。

7.1 HSSTLP硬核绝对极限电压，电流额定值

表 7-1 HSSTLP绝对极限电压、电流额定值

名称	最小值	最大值	单位	说明
HSSTAVCC	-0.5	1.21	V	HSST模拟电源1.0V电压
HSSTAVCCPLL	-0.5	1.32	V	HSST PLL模拟电源1.2V电压

注：超过上述极限额定值可能导致器件永久性损坏。

7.2 HSSTLP硬核推荐工作条件

下表列出Logos2系列FPGA的HSSTLP硬核推荐工作电压。

表 7-2 HSSTLP硬核推荐工作条件

名称	最小值	典型值	最大值	单位	说明
电压值					
HSSTAVCC	0.97	1.0	1.03	V	HSST模拟电源1.0V电压
HSSTAVCCPLL	1.17	1.2	1.23	V	HSST PLL模拟电源1.2V电压

7.3 HSSTLP硬核DC直流特性参数

表 7-3 HSSTLP硬核DC直流特性

名称	最小	典型	最大	单位	条件	说明
输入和输出信号DC直流特性						
HSST_V _{DINPP}	150	-	1000	mV	外部AC交流耦合	差分输入峰峰电压
HSST_V _{DIN}	0	-	HSSTAVCC	mV	直流耦合, HSSTAVCC=1V	输入绝对电压值
HSST_V _{INCM}	-	3/4 HSSTAVCC	-	mV	直流耦合, HSSTAVCC=1V	共模输入电压值
HSST_V _{DOUTPP}	900	-	-	mV	摆幅设置最大	差分输出峰峰电压
HSST_V _{OUTCMDC}	HSSTAVCC– DV _{OUTPP} /4			mV	DC共模输出电压,是发送端悬空的情况	
HSST_V _{OUTCMAC}	1/2 HSSTAVCC			mV	共模输出电压值:外部AC交流耦合	
HSST_R _{DIN}	-	100	-	Ω	差分输入阻值	
HSST_R _{DOUT}	-	100	-	Ω	差分输出阻值	
HSST_TX _{SKEW}	-	-	14	ps	Tx输出的P端和N端skew	
HSST_C _{DEXT}	-	100	-	nF	推荐外部AC交流耦合电容值	
参考时钟输入DC直流特性						

名称	最小	典型	最大	单位	条件	说明
HSST_V _{RCLKPP}	400	-	2000	mV		差分输入峰峰电压
HSST_R _{RCLK}	-	100	-	Ω		差分输入阻值
HSST_C _{RCLKEXT}	-	100	-	nF		推荐外部AC交流耦合电容值

7.4 高速串行收发器HSSTLP的AC交流特性

HSSTLP硬核的AC交流特性如表 7-4至表 7-9所示。

表 7-4 HSST硬核性能参数

名称	数值			单位	说明
	-5	-6	-7		
HSST_F _{max}	5	6.6	TBD	Gbps	HSST最大的数据速率
HSST_F _{min}	0.6	0.6	TBD	Gbps	HSST最小的数据速率
HSST_F _{pllmax}	5	6.6	TBD	GHz	HSST PLL的最大频率
HSST_F _{pllmin}	1.6	1.6	TBD	GHz	HSST PLL的最小频率

HSSTLP参考时钟开关特性如表 7-5所示。

表 7-5 HSSTLP硬核参考时钟开关特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_F _{REFCLK}	60	-	330	MHz		参考时钟频率范围
HSST_T _{RCLK}	-	225	-	ps	20%-80%	参考时钟上升时间
HSST_T _{FCLK}	-	225	-	ps	80%-20%	参考时钟下降时间
HSST_T _{RATIO}	45	50	55	%	PLL	参考时钟占空比

表 7-6 HSSTLP硬核PLL/Lock锁定时间特性

名称	数值			单位	条件	说明
	最小	典型值	最大			
HSST_T _{PLLLOCK}	-	-	1.5	ms		PLL锁定时间,从复位释放到锁定的时间
HSST_T _{CDRLOCK}	-	60,000	2,500,000	UI	PLL锁到参考时钟后,到切换到有外部输入数据后,CDR锁定的时间	CDR锁定时间

HSST硬核用户时钟开关特性如表 7-7所示

表 7-7 HSSTLP硬核用户时钟开关特性

名称	频率		单位	说明
数据接口时钟开关特性				
HSST_F _{T2C}	206.25	MHz	P_CLK2CORE_TX的最大频率	
HSST_F _{R2C}	206.25	MHz	P_CLK2CORE_RX的最大频率	

名称	频率		单位	说明
HSST_F _{TFC}	206.25	MHz	P_TX_CLK_FR_CORE	的最大频率
HSST_F _{RFC}	206.25	MHz	P_RX_CLK_FR_CORE	的最大频率
APB动态配置接口时钟开关特性				
HSST_F _{APB}	100	MHz	APB CLK	最大频率

HSST硬核Transmitter发送侧开关特性如表 7-8所示。

表 7-8 HSSTLP硬核Transmitter发送侧开关特性

名称	最小	典型	最大	单位	条件	说明
HSST_T _{TXR}	-	100	-	ps	20%-80%	TX上升时间
HSST_T _{TXF}	-	100	-	ps	80%-20%	TX下降时间
HSST_T _{CHSKEW}	-	-	500	ps	-	TX 通道间 skew
HSST_V _{TXIDLEAMP}	-	-	30	mV	-	Electrical idle幅值
HSST_V _{TXIDLETIME}	-	-	150	ns	-	Electrical idle过渡时间
HSST_TJ _{0.6G}	-	-	0.1	UI	0.6Gbps	Total Jitter
HSST_DJ _{0.6G}	-	-	0.05	UI		Deterministic Jitter
HSST_TJ _{1.25G}	-	-	0.1	UI	1.25Gbps	Total Jitter
HSST_DJ _{1.25G}	-	-	0.05	UI		Deterministic Jitter
HSST_TJ _{2.5G}	-	-	0.2	UI	2.5Gbps	Total Jitter
HSST_DJ _{2.5G}	-	-	0.08	UI		Deterministic Jitter
HSST_TJ _{3.125G}	-	-	0.2	UI	3.125Gbps	Total Jitter
HSST_DJ _{3.125G}	-	-	0.08	UI		Deterministic Jitter
HSST_TJ _{5.0G}	-	-	0.3	UI	5.0Gbps	Total Jitter
HSST_DJ _{5.0G}	-	-	0.1	UI		Deterministic Jitter
HSST_TJ _{6.6G}	-	-	0.3	UI	6.6Gbps	Total Jitter
HSST_DJ _{6.6G}	-	-	0.1	UI		Deterministic Jitter

HSST硬核Receiver接收侧开关特性如表 7-9所示。

表 7-9 HSSTLP硬核Receiver接收侧开关特性

名称	最小	典型	最大	单位	说明
HSST_T _{RXIDLETIME}	-		34	ns	RXELECIDLE状态到LOS信号响应的时 间
HSST_RX _{VPP00B}	72	-	210	mV	OOB检测门限峰峰值
HSST_RX _{TRACK}	-5000	-	5000	ppm	接收端扩频跟随，调制频率33kHz
HSST_RX _{LENGTH}	-	-	512	UI	支持RX连续长0或长1的长度
HSST_RX _{TOLERANCE}	-1250	-	1250	ppm	数据/参考时钟的频偏容限
正弦抖动容限					
HSST_SJ_0.6	TBD	-	-	UI	正弦抖动 ⁽¹⁾ ，0.6Gbps
HSST_SJ_1.25	0.42	-	-	UI	正弦抖动 ⁽¹⁾ ，1.25Gbps
HSST_SJ_2.5	0.42	-	-	UI	正弦抖动 ⁽¹⁾ ，2.5Gbps

名称	最小	典型	最大	单位	说明
HSST_SJ_3.125	0.4	-	-	UI	正弦抖动 ⁽¹⁾ , 3.125Gbps
HSST_SJ_5.0	0.4	-	-	UI	正弦抖动 ⁽¹⁾ , 5.0Gbps
HSST_SJ_6.6	0.4	-	-	UI	正弦抖动 ⁽¹⁾ , 6.6Gbps

注：1.注入的正弦抖动的频率为10MHz

8 PCIe硬核特性

表 8-1 PCIe性能参数

名称	数值	单位	说明
Fpclk	250	MHz	PCIe内核最大时钟频率
Fpclk_div2	125	MHz	用户接口最大时钟频率

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。