

DRM Based RAM/FIFO IP
用户指南
(UG041002,V1.10)
(2023-08-23)

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2019-11-09	V1.0	1. 初始版本。	DRM Based Dual Port RAM: V1.0,V1.1,V1.2 DRM Based Simple Dual Port RAM: V1.0,V1.1,V1.2,V1.3 DRM Based Single Port RAM: V1.0,V1.1,V1.2 DRM Based ROM: V1.0,V1.1,V1.2 DRM Based FIFO: V1.0,V1.1,V1.2,V1.3
2021-03-11	V1.1	1. 使用 DRM18K 时关闭时钟使能，改而在仅使用一个 DRM18K 时，可以使用时钟功能； 2. 更新 IP 例化界面截图，添加第二级寄存器参数说明； 3. 更新第一级输出时钟寄存、第二级输出时钟寄存、rd_oce 信号、输出时钟极性反向配置说明。	DRM Based Dual Port RAM: V1.3 DRM Based Simple Dual Port RAM: V1.4 DRM Based Single Port RAM: V1.2,V1.3 DRM Based ROM: V1.2,V1.3 DRM Based FIFO: V1.4
2021-09-24	V1.4_i1	1. 更新文档修订记录，增加“适用 IP 及对应版本”列； 2. 更新文档版本命名规则，当前 UG 版本为 V1.4_i1； 3. 添加各 IP 界面配置参数默认值描述，参见表 2、表 4、表 6、表 8、表 10； 4. 表 2、表 4、表 6、表 8 中 Init File 默认值改为“NONE”。	DRM Based Dual Port RAM: V1.3 DRM Based Simple Dual Port RAM: V1.4 DRM Based Single Port RAM: V1.3 DRM Based ROM: V1.3 DRM Based FIFO: V1.4
2021-12-22	V1.5	1. 更新 DRM Based Dual Port RAM、DRM Based Simple Dual Port RAM、DRM Based FIFO 相关混合位宽使用说明，删除混合位宽模式下必须使用 Low Power Mode 的限制； 2. 更新 DRM RAM IP 使用初始化功能的说明，删除混合位宽模式下不能进行初始化的限制。	DRM Based Dual Port RAM: V1.4 DRM Based Simple Dual Port RAM: V1.5 DRM Based Single Port RAM: V1.3 DRM Based ROM: V1.3 DRM Based FIFO: V1.5

日期	文档版本	修订记录	适用 IP 及对应版本
2022-04-29	V1.6	<ul style="list-style-type: none"> 1. 调整手册架构，规范格式； 2. 添加 IP 版本变更记录； 3. 添加“第 1 章 前言”； 4. 除 DRM Based ROM 外，各子 IP 的“功能概述”部分添加 64K 模式不支持 Byte Write 的声明； 5. 更新各子 IP 接口框图和 IP 例化界面截图； 6. 更新表 2-4、表 2-7 中的 Init File 参数说明，删除混合位宽情况下不能进行初始化的限制； 7. 表 2-14 中“rd_empty”和“wr_full”端口的“I/O”项，更正为“O”； 8. 添加“2.6.5 复位使用说明”和“2.7.2 复位说明”； 9. 添加“2.7.1 DRM 资源”； 10. 添加“2.7.3 混合数据位宽”，补充地址锁存使能时的混合数据位宽使用规则； 11. 添加“第 3 章 附录”。 	<p>DRM Based Dual Port RAM: V1.5</p> <p>DRM Based Simple Dual Port RAM: V1.6</p> <p>DRM Based Single Port RAM: V1.4</p> <p>DRM Based ROM: V1.4</p> <p>DRM Based FIFO: V1.6</p>
2022-05-20	V1.6	<ul style="list-style-type: none"> 1. 增加 DRM Based Simple Dual Port RAM V1.6a 版本和 DRM Based FIFO V1.6a 版本对应的 IP 版本变更记录； 2. 更新“文档版本修订记录”，完善“适用 IP 及对应版本”及“日期”。 	<p>DRM Based Dual Port RAM: V1.5</p> <p>DRM Based Simple Dual Port RAM: V1.6,V1.6a</p> <p>DRM Based Single Port RAM: V1.4</p> <p>DRM Based ROM: V1.4</p> <p>DRM Based FIFO: V1.6,V1.6a</p>
2022-09-08	V1.7	<ul style="list-style-type: none"> 1. 增加 DRM Based Dual Port RAM V1.6 版本、DRM Based Simple Dual Port RAM V1.7 版本、DRM Based Single Port RAM V1.5 版本、DRM Based ROM V1.5 版本和 DRM Based FIFO V1.7 版本对应的 IP 版本变更记录； 2. 更新 DRM Based FIFO 接口示意图，参见图 2-29 和图 2-30。 	<p>DRM Based Dual Port RAM: V1.6</p> <p>DRM Based Simple Dual Port RAM: V1.7</p> <p>DRM Based Single Port RAM: V1.5</p> <p>DRM Based ROM: V1.5</p> <p>DRM Based FIFO: V1.7</p>

日期	文档版本	修订记录	适用 IP 及对应版本
2023-04-25	V1.8	<ol style="list-style-type: none"> 1. 增加 DRM Based Dual Port RAM V1.7 版本、DRM Based Simple Dual Port RAM V1.8 版本、DRM Based Single Port RAM V1.6 版本、DRM Based ROM V1.6 版本和 DRM Based FIFO V1.8 版本对应的 IP 版本变更记录； 2. 完善各子 IP 时序模型章节描述，参见“2.2.3 时序模型”、“2.3.3 时序模型”、“2.4.3 时序模型”、“2.5.3 时序模型”、“2.6.3 时序模型”； 3. 完善 IP 接口列表，补充 rd_clk_en 信号相关说明，参见表 2-5； 4. 新增“2.6.5 异步 FIFO 约束”； 5. 补充同步 FIFO 说明，参见“注意”； 6. 新增“2.6.7 读写状态信号”； 7. 新增“2.7.2 端口冲突说明”。 	<p>DRM Based Dual Port RAM: V1.7</p> <p>DRM Based Simple Dual Port RAM: V1.8</p> <p>DRM Based Single Port RAM: V1.6</p> <p>DRM Based ROM: V1.6</p> <p>DRM Based FIFO: V1.8</p>
2023-05-18	V1.9	<ol style="list-style-type: none"> 1. 增加 DRM Based Dual Port RAM V1.8 版本、DRM Based Simple Dual Port RAM V1.9 版本、DRM Based Single Port RAM V1.7 版本、DRM Based ROM V1.7 版本和 DRM Based FIFO V1.9 版本对应的 IP 版本变更记录； 2. 依据命名规范更新手册封面及文件名。 	<p>DRM Based Dual Port RAM: V1.8</p> <p>DRM Based Simple Dual Port RAM: V1.9</p> <p>DRM Based Single Port RAM: V1.7</p> <p>DRM Based ROM: V1.7</p> <p>DRM Based FIFO: V1.9</p>

日期	文档版本	修订记录	适用 IP 及对应版本
2023-08-23	V1.10	<ol style="list-style-type: none"> 1. 增加 DRM Based Dual Port RAM V1.9 版本、DRM Based Simple Dual Port RAM V1.10 版本、DRM Based Single Port RAM V1.8 版本、DRM Based ROM V1.8 版本和 DRM Based FIFO V1.10 版本对应的 IP 版本变更记录； 2. 更新 DRM Based Dual Port RAM 地址锁存功能的使用限制，参见表 2-4 和表 2-17； 3. UG 声明内容更新，添加免责序号。 	<p>DRM Based Dual Port RAM: V1.9</p> <p>DRM Based Simple Dual Port RAM: V1.10</p> <p>DRM Based Single Port RAM: V1.8</p> <p>DRM Based ROM: V1.8</p> <p>DRM Based FIFO: V1.10</p>

IP 版本变更记录

DRM Based Dual Port RAM		
IP 版本	更新说明	发布时间
V1.5	<ul style="list-style-type: none"> 1. 自 V1.5 版本开始记录更新内容; 2. 参数配置界面调整、规范; 3. 参数配置界面在 DRM 资源模式为“64K”时禁止勾选“Enable Byte Write”; 4. 修复同步复位时输出异常的问题; 5. 修复参数配置界面 DRM 资源总数错误的问题; 6. UG 更新。 	2022-04-29
V1.6	<ul style="list-style-type: none"> 1. 修复未使能 Byte Write 时 DRM 相应端口未固接“1”的问题; 2. 修复参数配置界面弹窗可能出现乱码的问题; 3. 修复参数配置界面部分器件 DRM 资源总数错误的问题; 4. UG 更新。 	2022-09-08
V1.7	<ul style="list-style-type: none"> 1. 修复同时使能 B 端口第二级输出寄存器和 b_rd_oce 信号时输出数据有误的问题; 2. 更正代码注释中的参数取值范围; 3. 修复参数配置界面中部分新增器件 DRM 资源总数错误的问题; 4. UG 更新。 	2023-04-25
V1.8	<ul style="list-style-type: none"> 1. UG 更新。 	2023-05-18
V1.9	<ul style="list-style-type: none"> 1. 降低地址位宽和数据位宽检测报警的警告级别; 2. 参数配置界面在使能 Byte Write 功能且 Byte Size 配置为 8 时, 禁止将数据位宽配置为 9*2^N; 3. 修复 createCasParam.tcl 脚本的表达式错误; 4. 修复部分信号在 IO 框图显示异常问题; 5. 修复部分混合位宽配置下的 Byte Write 功能错误; 6. UG 更新。 	2023-08-23

DRM Based Simple Dual Port RAM		
IP 版本	更新说明	发布时间
V1.6	<ul style="list-style-type: none"> 1. 自 V1.6 版本开始记录更新内容; 2. 参数配置界面调整、规范; 3. 修复参数配置界面在 DRM 资源模式为“36K”时部分情况禁止使能地址锁存的问题; 4. 参数配置界面在 DRM 资源模式为“64K”时禁止勾选“Enable Byte Write”; 5. DRM 资源模式为“36K”，使能了地址锁存和 Byte Write 时，参数配置界面允许的最大数据位宽比修改为 4; 6. 修复同步复位时输出异常的问题; 7. 修复参数配置界面 DRM 资源总数错误的问题; 8. UG 更新。 	2022-04-29
V1.6a	<ul style="list-style-type: none"> 1. 修复未使能 Byte Write 时 DRM 相应端口未固接“1”的问题。 	2022-05-20
V1.7	<ul style="list-style-type: none"> 1. 修复参数配置界面弹窗可能出现乱码的问题; 2. 修复参数配置界面部分器件 DRM 资源总数错误的问题; 3. UG 更新。 	2022-09-08
V1.8	<ul style="list-style-type: none"> 1. 更正代码注释中的参数取值范围; 2. 修复参数配置界面中部分新增器件 DRM 资源总数错误的问题; 3. 修复 DRM64K 模式下的初始化问题; 4. UG 更新。 	2023-04-25
V1.9	<ul style="list-style-type: none"> 1. UG 更新。 	2023-05-18
V1.10	<ul style="list-style-type: none"> 1. 降低地址位宽和数据位宽检测报警的警告级别; 2. 参数配置界面在使能 Byte Write 功能且 Byte Size 配置为 8 时，禁止将数据位宽配置为 9*2^N; 3. 修复部分混合位宽配置下的 Byte Write 功能错误; 4. 修复 createCasParam.tcl 脚本的表达式错误; 5. UG 更新。 	2023-08-23

DRM Based Single Port RAM

IP 版本	更新说明	发布时间
V1.4	1. 自 V1.4 版本开始记录更新内容; 2. 参数配置界面调整、规范; 3. 修复参数配置界面在 DRM 资源模式为“36K”时部分情况禁止使能地址锁存的问题; 4. 参数配置界面在 DRM 资源模式为“64K”时禁止勾选“Enable Byte Write”; 5. 修复部分情况下初始化和复位置位值出错的问题; 6. 修复同步复位时输出异常的问题; 7. 修复参数配置界面 DRM 资源总数错误的问题; 8. UG 更新。	2022-04-29
V1.5	1. 修复未使能 Byte Write 时 DRM 相应端口未固接“1”的问题; 2. 修复参数配置界面弹窗可能出现乱码的问题; 3. 修复参数配置界面部分器件 DRM 资源总数错误的问题; 4. UG 更新。	2022-09-08
V1.6	1. 更正代码注释中的参数取值范围; 2. 修复参数配置界面中部分新增器件 DRM 资源总数错误的问题; 3. UG 更新。	2023-04-25
V1.7	1. UG 更新。	2023-05-18
V1.8	1. 降低地址位宽和数据位宽检测报警的警告级别; 2. UG 更新。	2023-08-23

DRM Based ROM		
IP 版本	更新说明	发布时间
V1.4	1. 自 V1.4 版本开始记录更新内容; 2. 参数配置界面调整、规范; 3. 修复参数配置界面在 DRM 资源模式为“36K”时部分情况禁止使能地址锁存的问题; 4. 修复部分情况下初始化和复位置位值出错的问题; 5. 修复同步复位时输出异常的问题; 6. 修复参数配置界面 DRM 资源总数错误的问题; 7. UG 更新。	2022-04-29
V1.5	1. 修复未使能 Byte Write 时 DRM 相应端口未固接“1”的问题; 2. 修复参数配置界面弹窗可能出现乱码的问题; 3. 修复参数配置界面部分器件 DRM 资源总数错误的问题; 4. UG 更新。	2022-09-08
V1.6	1. 修复参数配置界面中部分新增器件 DRM 资源总数错误的问题; 2. UG 更新。	2023-04-25
V1.7	1. UG 更新。	2023-05-18
V1.8	1. 降低地址位宽和数据位宽检测报警的警告级别; 2. UG 更新。	2023-08-23

DRM Based FIFO		
IP 版本	更新说明	发布时间
V1.6	1. 自 V1.6 版本开始记录更新内容; 2. 参数配置界面调整、规范; 3. 参数配置界面在 DRM 资源模式为“64K”时禁止勾选“Enable Byte Write”； 4. 修复同步复位时输出异常的问题; 5. 修复参数配置界面 DRM 资源总数错误的问题; 6. UG 更新。	2022-04-29
V1.6a	1. 修复未使能 Byte Write 时 DRM 相应端口未固接“1”的问题。	2022-05-20
V1.7	1. 修复参数配置界面弹窗可能出现乱码的问题; 2. 修复参数配置界面部分器件 DRM 资源总数错误的问题; 3. UG 更新。	2022-09-08
V1.8	1. 更正代码注释中的参数取值范围; 2. 修复参数配置界面中部分新增器件 DRM 资源总数错误的问题; 3. 统一 RTL 代码命名，在文件名和模块名后添加用户例化名作为后缀; 4. 为跨时钟域的指针信号添加标记，使其在综合阶段得以保留且不被优化; 5. UG 更新。	2023-04-25
V1.9	1. UG 更新。	2023-05-18
V1.10	1. 降低地址位宽和数据位宽检测报警的警告级别; 2. 参数配置界面在使能 Byte Write 功能且 Byte Size 配置为 8 时，禁止将数据位宽配置为 $9*2^N$; 3. 修复部分混合位宽配置下的 Byte Write 功能错误; 4. 修复 createCasParam.tcl 脚本的表达式错误; 5. UG 更新。	2023-08-23

目录

文档版本修订记录	2
IP 版本变更记录	6
第 1 章 前言	15
1.1 关于本手册	15
1.2 手册行文规范	15
第 2 章 IP 使用指南	16
2.1 IP 简介	16
2.2 DRM Based Dual Port RAM	17
2.2.1 功能概述	17
2.2.2 接口说明	18
2.2.3 时序模型	20
2.2.4 模块例化	20
2.3 DRM Based Simple Dual Port RAM	27
2.3.1 功能概述	27
2.3.2 接口说明	28
2.3.3 时序模型	29
2.3.4 模块例化	29
2.4 DRM Based Single Port RAM	35
2.4.1 功能概述	35
2.4.2 接口说明	35
2.4.3 时序模型	37
2.4.4 模块例化	37
2.5 DRM Based ROM	43
2.5.1 功能概述	43
2.5.2 接口说明	43
2.5.3 时序模型	44
2.5.4 模块例化	44
2.6 DRM Based FIFO	49
2.6.1 功能概述	49
2.6.2 接口说明	50
2.6.3 时序模型	52
2.6.4 模块例化	55
2.6.5 异步 FIFO 约束	60
2.6.6 复位使用说明	60
2.6.7 读写状态信号	61
2.7 说明与注意事项	61
2.7.1 DRM 资源	61
2.7.2 端口冲突说明	62
2.7.3 复位说明	62
2.7.4 混合数据位宽	62
2.7.5 RAM/ROM 初始化	63
第 3 章 附录	66

3.1 参考文档	66
3.2 术语表	66
3.3 缩略语表	66
3.4 声明	67
3.4.1 版权声明	67
3.4.2 免责声明	67

表目录

表 1-1 行文规范说明.....	15
表 2-1 DRM IP 适用器件及封装	16
表 2-2 DRM Based Dual Port RAM 接口列表	18
表 2-3 DRM Based Dual Port RAM IP 生成后的输出文件	23
表 2-4 DRM Based Dual Port RAM 参数描述列表.....	23
表 2-5 DRM Based Simple Dual Port RAM 接口列表	28
表 2-6 DRM Based Simplel Dual Port RAM IP 生成后的输出文件	32
表 2-7 DRM Based Simple Dual Port RAM 参数描述列表	32
表 2-8 DRM Based Single Port RAM 接口口列表	36
表 2-9 DRM Based Single Port RAM IP 生成后的输出文件	40
表 2-10 DRM Based Single Port RAM 参数描述列表	40
表 2-11 DRM Based ROM 接口列表	44
表 2-12 DRM Based ROM IP 生成后的输出文件.....	47
表 2-13 DRM Based ROM 参数描述列表.....	47
表 2-14 DRM Based FIFO 接口列表	51
表 2-15 DRM Based FIFO IP 生成后的输出文件	58
表 2-16 DRM Based FIFO 参数描述列表	58
表 2-17 混合位宽使用规则.....	63

图目录

图 2-1 DRM Based Dual Port RAM 接口示意图	18
图 2-2 DRM Based Dual Port RAM A 端口 Normal Write 状态时序图（未使能输出寄存）	20
图 2-3 DRM Based Dual Port RAM A 端口 Read_Before_Write 状态时序图（未使能输出寄存） ..	20
图 2-4 DRM Based Dual Port RAM A 端口 Transparent_Write 状态时序图（未使能输出寄存） ..	20
图 2-5 DRM Based Dual Port RAM 选择路径	21
图 2-6 工程例化界面.....	21
图 2-7 DRM Based Dual Port RAM 参数配置界面.....	22
图 2-8 DRM Based Dual Port RAM IP 生成报告界面	23
图 2-9 DRM Based Simple Dual Port RAM 接口示意图	28
图 2-10 DRM Based Simple Dual Port RAM 经典时序图（未使能输出寄存）	29
图 2-11 DRM Based Simple Dual Port RAM 选择路径	30
图 2-12 工程例化界面.....	30
图 2-13 DRM Based Simple Dual Port RAM 参数配置界面	31
图 2-14 DRM Based Simple Dual Port RAM IP 生成报告界面	32
图 2-15 DRM Based Single Port RAM 接口示意图	35
图 2-16 DRM Based Single Port RAM Normal Write 状态时序图（未使能输出寄存）	37
图 2-17 DRM Based Single Port RAM Read_Before_Write 状态时序图（未使能输出寄存）	37
图 2-18 DRM Based Single Port RAM Transparent_Write 状态时序图（未使能输出寄存）	37
图 2-19 DRM Based Single Port RAM 选择路径	38
图 2-20 工程例化界面.....	38
图 2-21 DRM Based Single Port RAM 参数配置界面	39
图 2-22 DRM Based Single Port RAM IP 生成报告界面	39
图 2-23 DRM Based ROM 接口示意图.....	43
图 2-24 DRM Based ROM 典型时序图（未使能输出寄存）	44
图 2-25 DRM Based ROM 选择路径	45
图 2-26 工程例化界面.....	45
图 2-27 DRM Based ROM 参数配置界面	46
图 2-28 DRM Based ROM IP 生成报告界面	47
图 2-29 DRM Based FIFO（异步 FIFO）接口示意图	50
图 2-30 DRM Based FIFO（同步 FIFO）接口示意图	50
图 2-31 同步 FIFO 写入时序图	52
图 2-32 异步 FIFO 空状态写入时序图	53
图 2-33 异步 FIFO 即将写满时序图	53
图 2-34 同步 FIFO 读出时序图（未使能输出寄存）	54
图 2-35 异步 FIFO 在满状态的读出时序图（未使能输出寄存）	55
图 2-36 异步 FIFO 即将读空的读出时序图（未使能输出寄存）	55
图 2-37 DRM Based FIFO 选择路径	56
图 2-38 工程例化界面.....	56
图 2-39 DRM Based FIFO 参数配置界面	57
图 2-40 DRM Based FIFO IP 生成报告界面	58
图 2-41 二进制初始化文件示例（Data Width: 64, Address Width: 10）	64
图 2-42 十六进制初始化文件示例（Data Width: 64, Address Width: 10）	65

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 DRM IP 产品的用户指南，包括 DRM Based Dual Port RAM、DRM Based Simple Dual Port RAM、DRM Based Single Port RAM、DRM Based ROM、DRM Based FIFO。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 DRM IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。
推荐	推荐给用户的设置和使用说明。

第2章 IP 使用指南

本章讲述 DRM IP 相关使用指南，内容包括 IP 简介、DRM Based Dual Port RAM、DRM Based Simple Dual Port RAM、DRM Based Single Port RAM、DRM Based ROM、DRM Based FIFO、说明与注意事项。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial[1]*
- *Pango_Design_Suite_User_Guide[2]*
- *IP_Compiler_User_Guide[3]*
- *Simulation_User_Guide[4]*

2.1 IP 简介

DRM IP 是紫光同创基于 DRM (Dedicated RAM Module) 设计的 IP，通过对 DRM 的级联调用实现 RAM/ROM/FIFO 相关设计，用户可以通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。DRM IP 包含如下子 IP：

- DRM Based Dual Port RAM
- DRM Based Simple Dual Port RAM
- DRM Based Single Port RAM
- DRM Based ROM
- DRM Based FIFO

表 2-1 DRM IP 适用器件及封装

适用器件	支持封装类型
Titan2 系列器件	ALL
Logos2 系列器件	ALL

2.2 DRM Based Dual Port RAM

2.2.1 功能概述

DRM Based Dual Port RAM 是基于 DRM 设计的双端口 RAM，主要特性如下。详细配置规则参见“2.2.4 4 参数描述”。

- 支持 A/B 端口独立读写操作；
- 支持 A/B 端口混合数据位宽；
- 支持 Byte Write 功能¹；
- 支持输出时钟极性反向；
- 支持时钟使能²；
- 支持地址锁存³；
- 支持两级输出寄存；
- 支持输出数据复位值置位⁴；
- 支持两种复位模式：异步复位、同步复位；
- 支持三种写模式：Normal_Write、Transparent_Write 和 Read_Before_Write；
- 支持使用二进制或十六进制初始化文件进行初始化；
- 支持三种级联方式：18K 模式级联、36K 模式级联、64Kx1 硬级联；
- 支持低功耗模式。

¹ 64K 模式不支持 Byte Write 功能。

² 18K 模式下，使用的 DRM 数量超过 1 个时，不支持时钟使能。

³ 18K 模式不支持地址锁存。

⁴ 第二级输出寄存不支持复位值置位。

2.2.2 接口说明

1. 接口框图

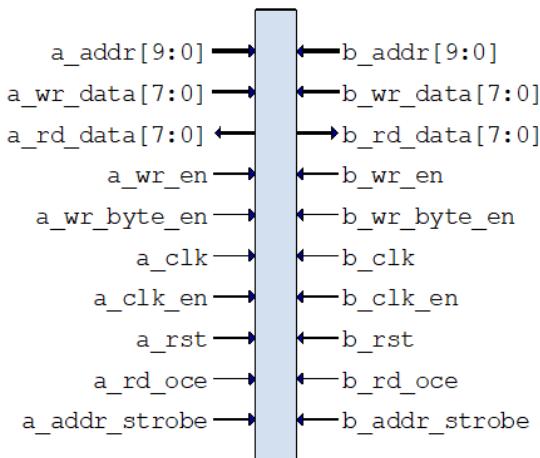


图 2-1 DRM Based Dual Port RAM 接口示意图

2. 接口列表

表 2-2 DRM Based Dual Port RAM 接口列表

端口	I/O	描述
a_addr	I	A 端口地址信号，位宽范围 5~20。
a_wr_data	I	A 端口写数据信号，位宽范围 1~1152。
a_rd_data	O	A 端口读数据信号，位宽范围 1~1152。
a_wr_en	I	A 端口写使能信号。 1: 写使能; 0: 读使能。
a_clk	I	A 端口时钟信号。
a_clk_en	I	A 端口时钟使能信号。 1: 对应地址有效; 0: 对应地址无效。
a_rst	I	A 端口复位信号。 1: 复位; 0: 复位释放。
a_byte_en	I	A 端口 Byte Write 使能信号 ⁵ ，位宽范围 1~128。 1: 对应 Byte 值有效; 0: 对应 Byte 值无效。

⁵ 当配置“Enable Byte Write”选项勾选时有效。

端口	I/O	描述
a_rd_oce	I	A 端口读数据输出寄存使能信号。 1: 读数据寄存输出; 0: 寄存输出数据保持。
a_addr_strobe	I	A 端口地址锁存信号。 1: 对应地址无效, 地址被保持; 0: 对应地址有效。
b_addr	I	B 端口地址信号, 位宽范围 5~20。
b_wr_data	I	B 端口写数据信号, 位宽范围 1~1152。
b_rd_data	O	B 端口读数据信号, 位宽范围 1~1152。
b_wr_en	I	B 端口写使能信号。 1: 写使能; 0: 读使能。
b_clk	I	B 端口时钟信号。
b_clk_en	I	B 端口时钟使能信号。 1: 对应地址有效; 0: 对应地址无效。
b_RST	I	B 端口复位信号。 1: 复位; 0: 复位释放。
b_byte_en	I	B 端口 Byte Write 使能信号 ⁶ , 位宽范围 1~128。 1: 对应 Byte 值有效; 0: 对应 Byte 值无效。
b_rd_oce	I	B 端口读数据输出寄存使能信号。 1: 读数据寄存输出; 0: 寄存输出数据保持。
b_addr_strobe	I	B 端口地址锁存信号。 1: 对应地址无效, 地址被保持; 0: 对应地址有效。

⁶ 当配置“Enable Byte Write”选项勾选时有效。

2.2.3 时序模型

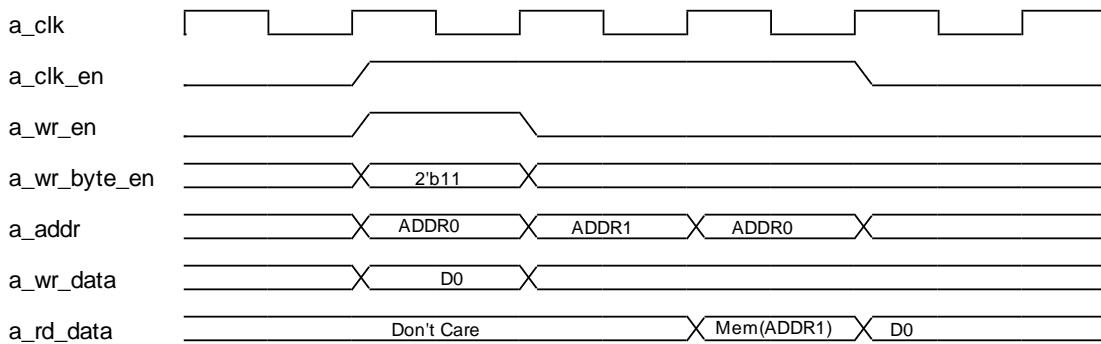


图 2-2 DRM Based Dual Port RAM A 端口 Normal Write 状态时序图（未使能输出寄存）

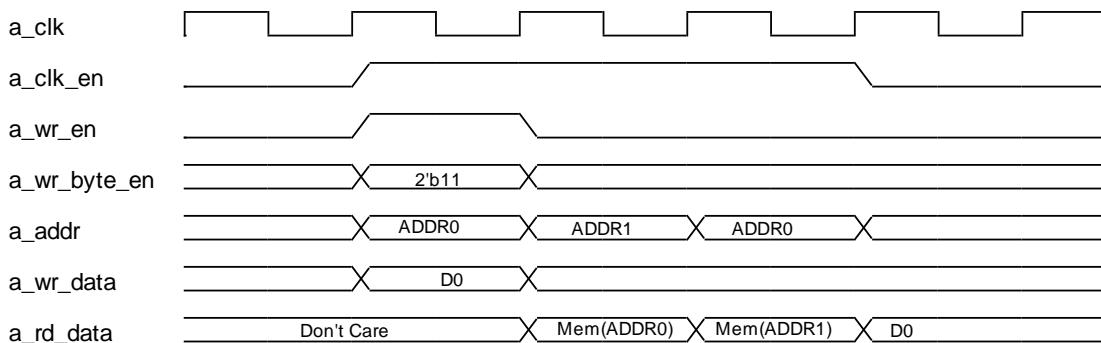


图 2-3 DRM Based Dual Port RAM A 端口 Read_Before_Write 状态时序图（未使能输出寄存）

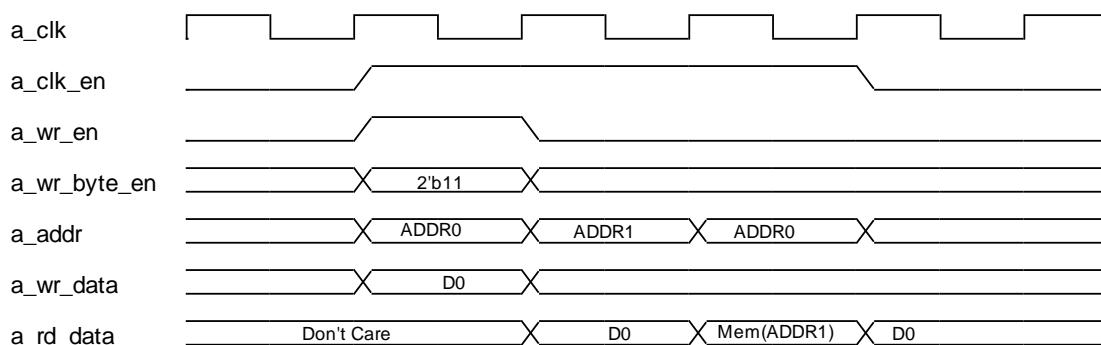


图 2-4 DRM Based Dual Port RAM A 端口 Transparent_Write 状态时序图（未使能输出寄存）

2.2.4 模块例化

通过 IPC 工具可以完成 DRM Based Dual Port RAM 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide[3]*。

DRM Based Dual Port RAM 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 Module/Memory/DRAM 目录下对应版本的 DRM Based Dual Port RAM，IP 选择路径如图 2-5 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-6 所示。

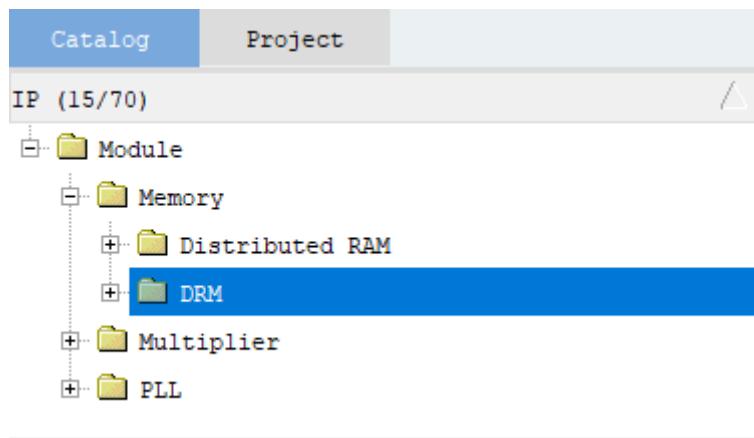


图 2-5 DRM Based Dual Port RAM 选择路径

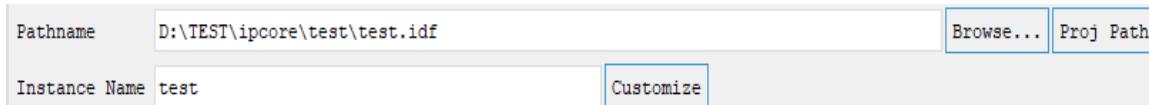


图 2-6 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 DRM Based Dual Port RAM IP 参数配置界面，如图 2-7 所示。

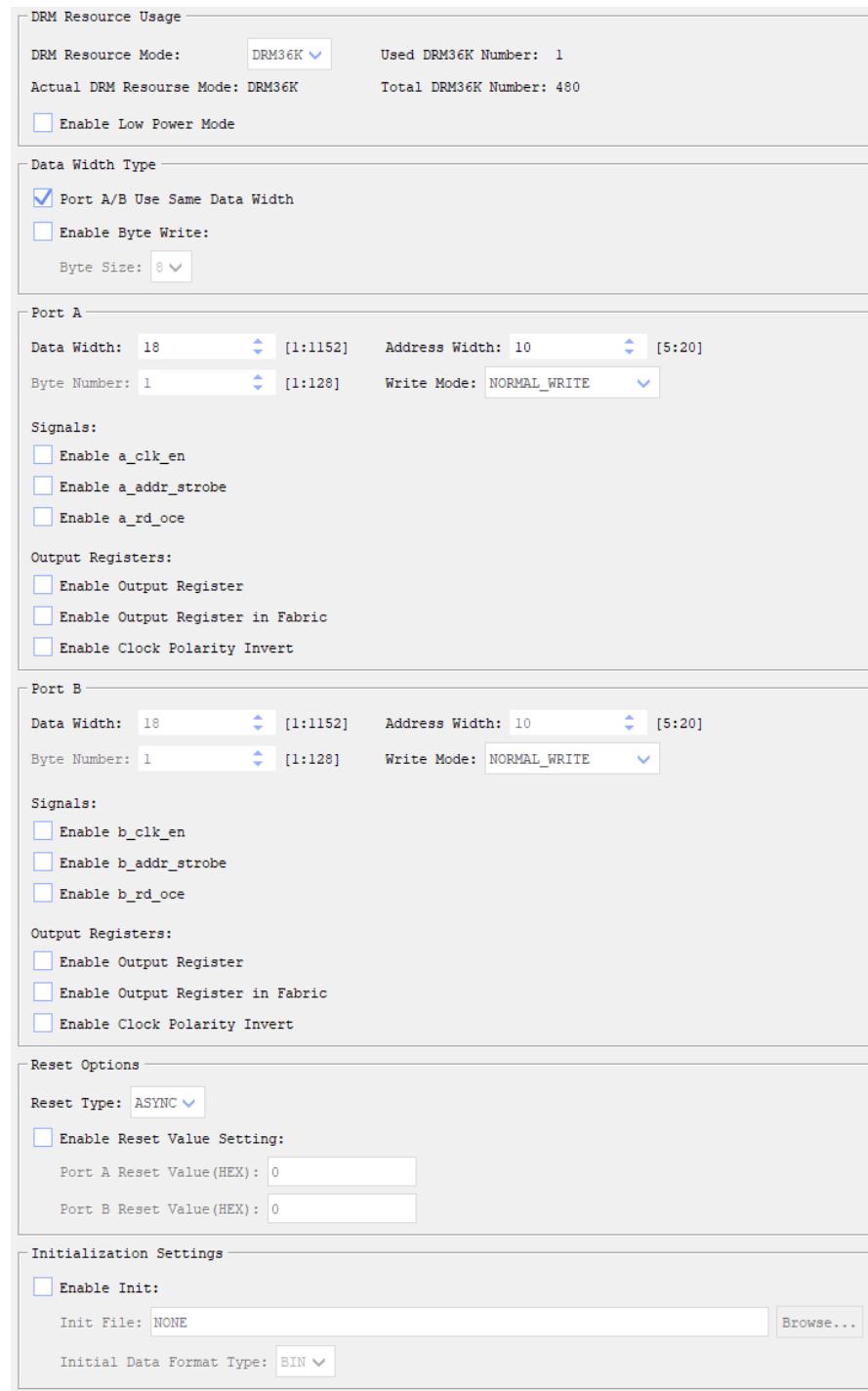


图 2-7 DRM Based Dual Port RAM 参数配置界面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 DRM Based Dual Port RAM IP 代码。生成 IP 的信息报告界面如图 2-8 所示。



图 2-8 DRM Based Dual Port RAM IP 生成报告界面

成功生成 IP 后会在图 2-6 中指定的 Project 路径下输出表 2-3 所示文件。

表 2-3 DRM Based Dual Port RAM IP 生成后的输出文件

输出文件 ⁷	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>_tb.v	所生成 IP 的 Test Bench .v 文件。
init_param_bin_exmp.dat	二进制初始化文件示例。
init_param_hex_exmp.dat	十六进制初始化文件示例。
/rtl/*	所生成 IP 的 RTL 代码文件、初始化参数配置.v 文件及数据输出复位值配置.v 文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）

4. 参数描述

表 2-4 DRM Based Dual Port RAM 参数描述列表

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
DRM Resource Usage	DRM Resource Mode	DRM 资源模式。 AUTO：自动选择资源； DRM18K：指定使用 DRM18K； DRM36K：指定使用 DRM36K； DRM64K：指定使用 64Kx1 硬级联，1 个 64Kx1 消耗 2 个 DRM36K。	AUTO
	Actual DRM Resource Mode	不可配置，显示当前实际使用的 DRM 模式。	-
	Used DRM36K Number	不可配置，显示当前实际使用的 DRM36K 资源数。	-
	Total DRM36K Number	不可配置，显示当前器件所支持的 DRM 资源总数。	-
	Enable Low Power Mode	配置是否使能低功耗模式。 勾选：使用低功耗模式级联，以数据位宽选择级联； 不勾选：使用普通模式级联，以地址深度选择级联。	勾选

⁷ <instance_name>是用户输入的例化名；“*”为通配符，代替同一类型的文件。

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
Data Width Type	Port A/B Use Same Data Width	配置 A、B 端口是否使用相同位宽模式。 勾选: A、B 端口数据位宽相等; 不勾选: A、B 端口数据位宽可以不相等。	勾选
	Enable Byte Write	配置是否使能 Byte Write 功能。 勾选: 使能 Byte Write 功能; 不勾选: 不使能 Byte Write 功能。	不勾选
	Byte Size	Byte Write 使能时, 配置 Byte 位宽。 8: 1Byte = 8bit; 9: 1Byte = 9bit。	8
Port A	Data Width	配置 A 端口数据位宽。 配置范围: 1~1152。 注: 占用的 DRM 数量应小于 DRM 总数。	18
	Address Width	配置 A 端口地址位宽。 配置范围: 5~20。 注: A, B 端口配置的 RAM 容量大小应一致。	10
	Byte Number	Enable Byte Write 功能使能时, 配置所使用的 Byte 个数。 配置范围: 1~128。	1
	Write Mode	配置 A 端口写模式。 NORMAL_WRITE: 普通写模式, 当 a_wr_en 有效时, A 端口有效读数据为 Don't Care; TRANSPARENT_WRITE: 透传写模式, 当 a_wr_en 有效时, A 端口有效读数据为有效地址写入的数据; READ_BEFORE_WRITE: 先读后写模式, 当 a_wr_en 有效时, A 端口有效读数据为有效地址的旧数据。	NORMAL_WRITE
	Enable a_clk_en	配置是否使能 A 端口的 a_clk_en 信号。 勾选: 使能 a_clk_en 信号; 不勾选: 不使能 a_clk_en 信号。 注: 当 DRM Resource Type 为 DRM18K, 且仅使用 1 个 DRM18K 时, 支持 a_clk_en 信号使能, 使用 2 个及以上 DRM18K 时, 不支持 a_clk_en 信号使能。	不勾选
	Enable a_addr_strobe	配置是否使能 A 端口的 a_addr_strobe 信号。 勾选: 使能 a_addr_strobe; 不勾选: 不使能 a_addr_strobe。 注: 当 DRM Resource Type 为 DRM18K 时, 不支持 a_addr_strobe 信号使能; NORMAL_WRITE 模式下, 勾选了“Enable Byte Write”而没有勾选“Port A/B Use Same Data Width”, 不支持 a_addr_strobe 信号使能。	不勾选
	Enable a_rd_oce	配置是否使能 A 端口 a_rd_oce 信号。 勾选: 使能 a_rd_oce 信号; 不勾选: 不使能 a_rd_oce 信号。 注: 使能 a_rd_oce 时, 两级输出寄存必须最少使能一级。默认使能第一级。	不勾选

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
	Enable Output Register	配置是否使能 A 端口第一级输出寄存，由 DRM 内部实现。 勾选：使能输出寄存； 不勾选：不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能 A 端口第二级输出寄存，由片上逻辑实现。 勾选：使能第二级输出寄存； 不勾选：不使能第二级输出寄存。	不勾选
	Enable Clock Polarity Invert	配置是否使能 A 端口输出时钟极性反向。 勾选：使能输出时钟极性反向，A 端口读数据在时钟下降沿输出； 不勾选：不使能输出时钟极性反向，A 端口读数据在时钟上升沿输出。 注：使能 A 端口输出时钟极性反向时，两级输出寄存必须最少使能一级。默认使能第一级。	不勾选
Port B	Data Width	配置 B 端口数据位宽。 合法配置范围：1~1152。 注：占用的 DRM 数量应小于 DRM 总数。	18
	Address Width	配置 B 端口地址位宽。 合法配置范围：5~20。 注：A, B 端口配置的 RAM 容量大小应一致。	10
	Byte Number	Enable Byte Write 功能使能时，配置所使用的 Byte 个数。 合法配置范围：1~128。	1
	Write Mode	配置 B 端口写模式。 NORMAL_WRITE：普通写模式，当 b_wr_en 有效时，B 端口有效读数据为 Don't Care； TRANSPARENT_WRITE：透传写模式，当 b_wr_en 有效时，B 端口有效读数据为有效地址写入的数据； READ_BEFORE_WRITE：先读后写模式，当 b_wr_en 有效时，B 端口有效读数据为有效地址的旧数据。	NORMAL_WRITE
	Enable b_clk_en	配置是否使能 B 端口 b_clk_en 信号。 勾选：使能 b_clk_en 信号； 不勾选：不使能 b_clk_en 信号。 注：当 DRM Resource Type 为 DRM18K 时，仅使用 1 个 DRM18K 时，支持 b_clk_en 信号使能，使用 2 个及以上 DRM18K 时，不支持 b_clk_en 信号使能。	不勾选
	Enable b_addr_strobe	配置是否使能 B 端口 b_addr_strobe 信号。 勾选：使能 b_addr_strobe； 不勾选：不使能 b_addr_strobe。 注：当 DRM Resource Type 为 DRM18K 时，不支持 b_addr_strobe 信号使能；NORMAL_WRITE 模式下，勾选了“Enable Byte Write”而没有勾选“Port A/B Use Same Data Width”，不支持 b_addr_strobe 信号使能。	不勾选

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
	Enable b_rd_oce	配置是否使能 B 端口 b_rd_oce 信号。 勾选：使能 b_rd_oce 信号； 不勾选：不使能 b_rd_oce 信号。 注：使能 b_rd_oce 时，两级输出寄存必须最少使能一级。默认使能第一级。	不勾选
	Enable Output Register	配置是否使能 B 端口第一级输出寄存，由 DRM 内部实现。 勾选：使能输出寄存； 不勾选：不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能 B 端口第二级输出寄存，由片上逻辑实现。 勾选：使能第二级输出寄存； 不勾选：不使能第二级输出寄存。	不勾选
	Enable Clock Polarity Invert	配置是否使能 B 端口输出时钟极性反向。 勾选：使能输出时钟极性反向，B 端口读数据在时钟下降沿输出； 不勾选：不使能输出时钟极性反向，B 端口读数据在时钟上升沿输出。 注：使能 B 端口输出时钟极性反向时，两级输出寄存必须最少使能一级。默认使能第一级。	不勾选
Reset Options	Reset Type	配置复位方式。 ASYNC：异步复位； SYNC：同步复位。	ASYNC
	Enable Reset Value Setting	配置是否使能输出数据复位值置位。 勾选：使能复位值置位； 不勾选：不使能复位值置位。	不勾选
	Port A Reset Value(HEX)	配置端口 A 输出数据的复位置位值，数据格式为十六进制。	0
	Port B Reset Value(HEX)	配置端口 B 输出数据的复位置位值，数据格式为十六进制。	0
Initialization Settings	Enable Init	配置是否使能对当前 RAM 进行初始化。	不勾选
	Init File	配置使能对当前 RAM 进行初始化。 指定初始化文件路径，若不指定，则生成初始值为全“0”的初始化参数配置.v 文件。	NONE
	Initial Data Format Type	配置初始化文件数据内容格式。 BIN：初始化文件数据内容为二进制数； HEX：初始化文件数据内容为十六进制数。	BIN

注：“-”表示 IP 配置界面无该参数默认值。

2.3 DRM Based Simple Dual Port RAM

2.3.1 功能概述

DRM Based Simple Dual Port RAM 是基于 DRM 设计的简单双端口 RAM，主要特性如下。详细配置规则参见“2.3.4 4 参数描述”。

- 支持读写端口在不同时钟域；
- 支持读写端口混合数据位宽；
- 支持 Byte Write 功能⁸；
- 支持输出时钟极性反向；
- 支持读写时钟使能⁹；
- 支持地址锁存¹⁰；
- 支持两级输出寄存；
- 支持输出数据复位值置位¹¹；
- 支持两种复位模式：异步复位、同步复位；
- 支持使用二进制或十六进制初始化文件进行初始化；
- 支持三种级联方式：18K 模式级联、36K 模式级联、64Kx1 硬级联；
- 支持低功耗模式。

⁸ 64K 模式不支持 Byte Write 功能。

⁹ 18K 模式下，使用的 DRM 数量超过 1 个时，不支持时钟使能。

¹⁰ 18K 模式不支持地址锁存。

¹¹ 第二级输出寄存不支持复位值置位。

2.3.2 接口说明

1. 接口框图

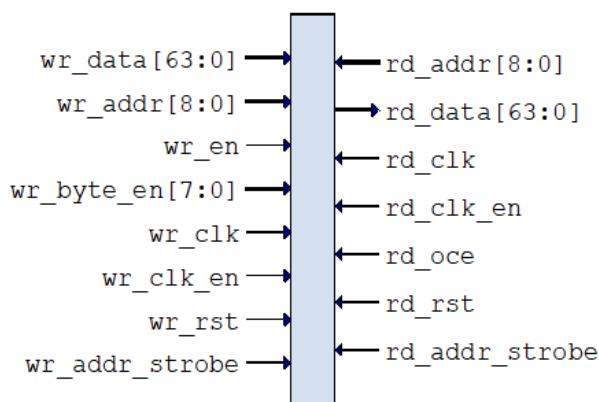


图 2-9 DRM Based Simple Dual Port RAM 接口示意图

2. 接口列表

表 2-5 DRM Based Simple Dual Port RAM 接口列表

端口	I/O	描述
wr_data	I	写数据信号，位宽范围 1~1152。
wr_addr	I	写地址信号，位宽范围 6~20。
wr_en	I	写使能信号。 1: 写使能； 0: 读使能。
wr_clk	I	写时钟信号。
wr_clk_en	I	写时钟使能信号。 1: 对应地址有效； 0: 对应地址无效。
wr_RST	I	写端口复位信号。 1: 复位； 0: 复位释放。
wr_byte_en	I	Byte Write 使能信号 ¹² ，位宽范围 1~128。 1: 对应 Byte 值有效； 0: 对应 Byte 值无效。
wr_addr_strobe	I	写地址锁存信号。 1: 对应地址无效，地址被保持； 0: 对应地址有效。
rd_data	O	读数据信号，位宽范围 1~1152。
rd_addr	I	读地址信号，位宽范围 6~20。

12 当配置“Enable Byte Write”选项勾选时有效。

端口	I/O	描述
rd_clk	I	读时钟信号。
rd_clk_en	I	读时钟使能信号。 1: 对应地址有效; 0: 对应地址无效。
rd_RST	I	读端口复位信号。 1: 复位; 0: 复位释放。
rd_OCE	I	读数据输出寄存使能信号。 1: 读数据寄存输出; 0: 寄存输出数据保持。
rd_addr_strobe	I	读地址锁存信号。 1: 对应地址无效, 地址被保持; 0: 对应地址有效。

2.3.3 时序模型

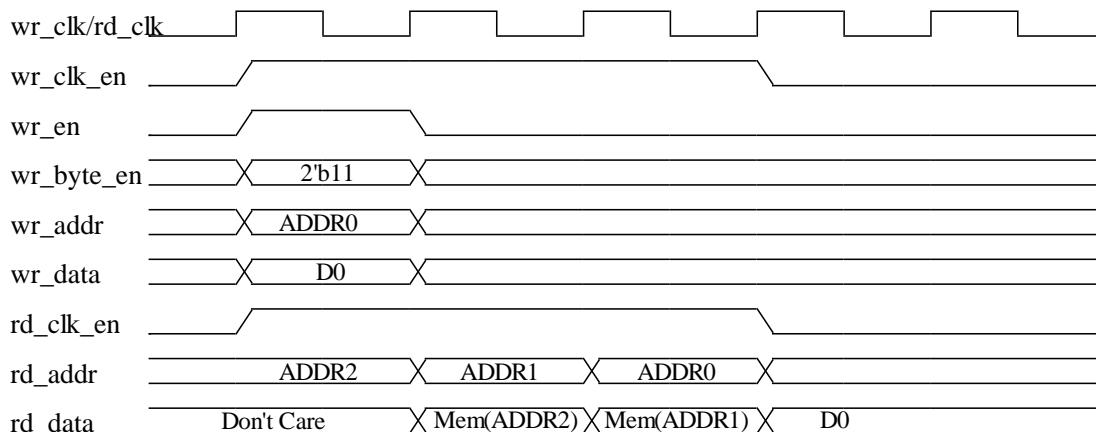


图 2-10 DRM Based Simple Dual Port RAM 经典时序图（未使能输出寄存）

2.3.4 模块例化

通过 IPC 工具可以完成 DRM Based Simple Dual Port RAM 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

DRM Based Simple Dual Port RAM 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的

IP 模型。

选择器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 Module/Memory/DRM 目录下对应版本的 DRM Based Simple Dual Port RAM, IP 选择路径如图 2-11 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-12 所示。

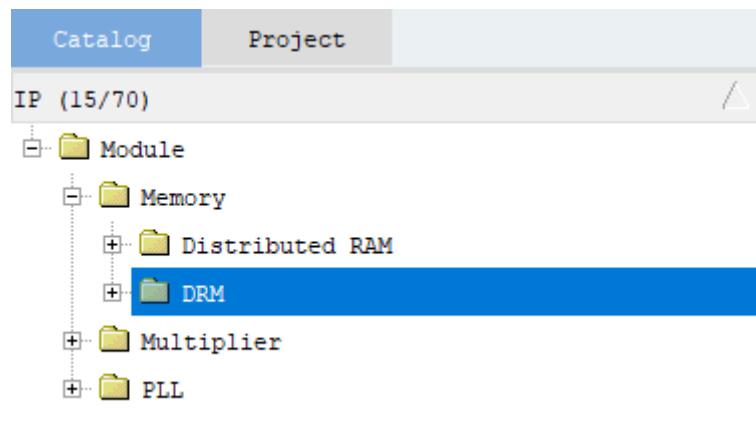


图 2-11 DRM Based Simple Dual Port RAM 选择路径

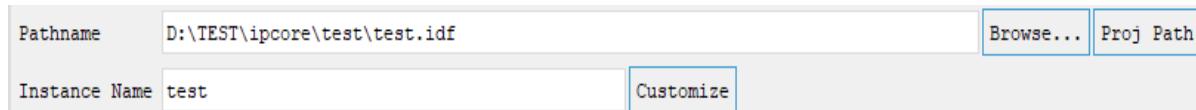


图 2-12 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 DRM Based Simple Dual Port RAM IP 参数配置界面，如图 2-13 所示。

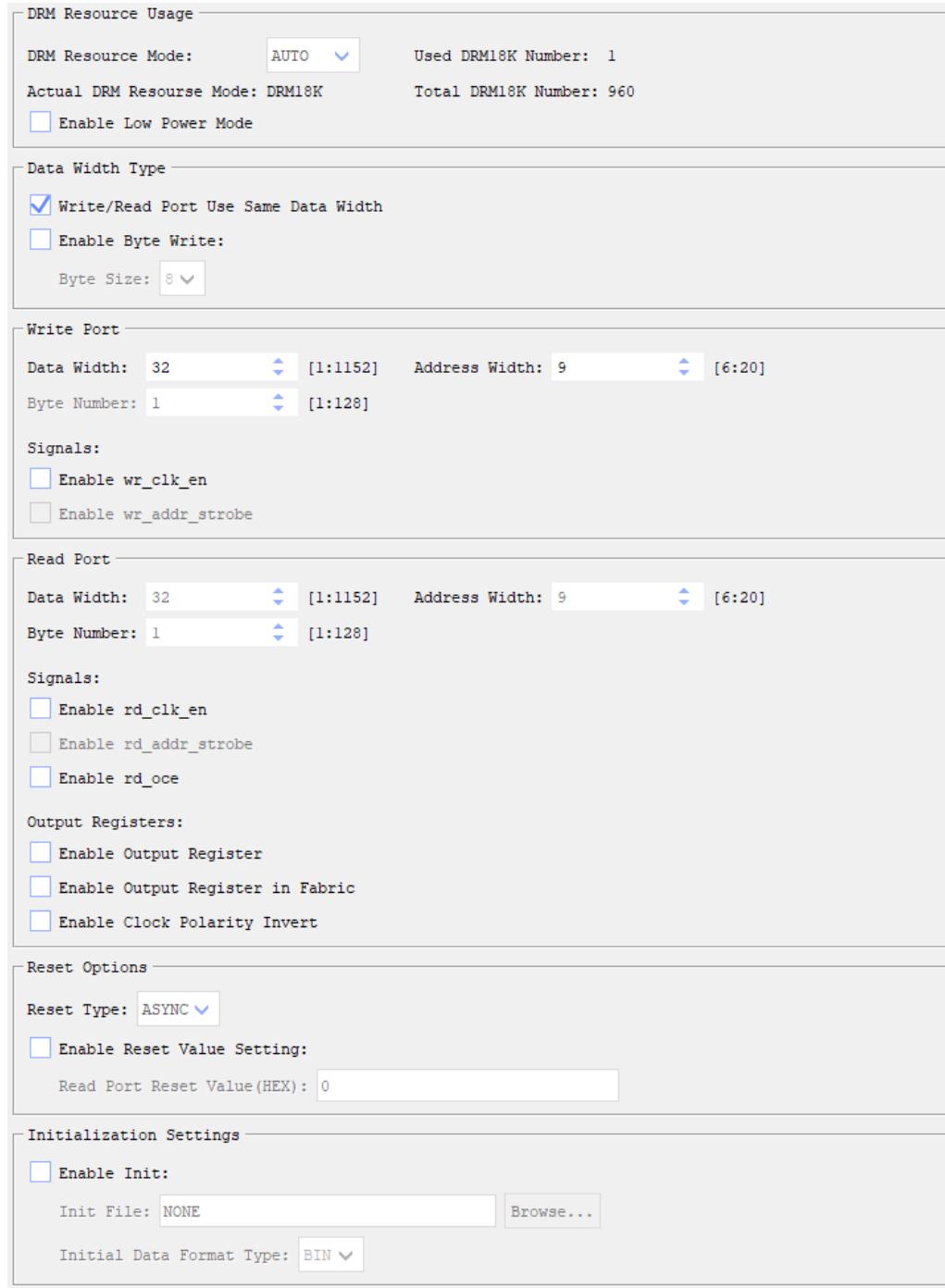


图 2-13 DRM Based Simple Dual Port RAM 参数配置界面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 DRM Based Simple Dual Port RAM IP 代码。生成 IP 的信息报告界面如图 2-14 所示。



图 2-14 DRM Based Simple Dual Port RAM IP 生成报告界面

成功生成 IP 后会在图 2-12 中指定的 Project 路径下输出表 2-6 所示文件。

表 2-6 DRM Based Simple Dual Port RAM IP 生成后的输出文件

输出文件 ¹³	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>_tb.v	所生成 IP 的 Test Bench .v 文件。
init_param_bin_exmp.dat	二进制初始化文件示例。
init_param_hex_exmp.dat	十六进制初始化文件示例。
/rtl/*	所生成 IP 的 RTL 代码文件、初始化参数配置.v 文件及数据输出复位值配置.v 文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）

4. 参数描述

表 2-7 DRM Based Simple Dual Port RAM 参数描述列表

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
DRM Resource Usage	DRM Resource Mode	DRM 资源模式。 AUTO: 自动选择资源; DRM18K: 指定使用 DRM18K; DRM36K: 指定使用 DRM36K; DRM64K: 指定使用 64Kx1 硬级联, 1 个 64Kx1 消耗 2 个 DRM36K。	AUTO
	Actual DRM Resource Mode	不可配置, 显示当前实际使用的 DRM 模式。	-
	Used DRM36K Number	不可配置, 显示当前实际使用的 DRM36K 资源数。	-
	Total DRM36K Number	不可配置, 显示当前器件所支持的 DRM 资源总数。	-
	Enable Low Power Mode	配置是否使能低功耗模式。 勾选: 使用低功耗模式级联, 以数据位宽选择级联; 不勾选: 使用普通模式级联, 以地址深度选择级联。	勾选

13 <instance_name>是用户输入的例化名; “*”为通配符, 代替同一类型的文件。

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
Data Width Type	Write/Read Port Use Same Data Width	配置读写端口是否使用相同位宽模式。 勾选：读写端口数据位宽相等； 不勾选：读写端口数据位宽可以不相等。	勾选
	Enable Byte Write	配置是否使能 Byte Write 功能。 勾选：使能 Byte Write 功能； 不勾选：不使能 Byte Write 功能。	不勾选
	Byte Size	Byte Write 使能时，配置一个 Byte 的位宽。 8：1Byte = 8bit； 9：1Byte = 9bit。	8
Write Port	Data Width	配置写端口数据位宽。 合法范围：1~1152。 注：所占用的 DRM 个数必须小于总资源个数。	32
	Address Width	配置写端口地址位宽。 合法范围：6~20。 注：读写端口所配置的 RAM 容量大小必须一致。	9
	Byte Number	Byte Write 使能时，配置所使用的 Byte 个数。	1
	Enable wr_clk_en	配置是否使能写端口的 wr_clk_en 信号。 勾选：使能 wr_clk_en 信号； 不勾选：不使能 wr_clk_en 信号。 注：当 DRM Resource Type 为 DRM18K 时，仅使用 1 个 DRM18K 时，支持 wr_clk_en 信号使能，使用 2 个及以上 DRM18K 时，不支持 wr_clk_en 信号使能。	不勾选
	Enable wr_addr_strobe	配置是否使能写端口的 wr_addr_strobe 信号。 勾选：使能 wr_addr_strobe 信号； 不勾选：不使能 wr_addr_strobe 信号。 注：当 DRM Resource Type 为 DRM18K 时，不支持 wr_addr_strobe 信号使能。	不勾选
Read Port	Data Width	读端口数据位宽。 合法范围：1~1152。 注：所占用的 DRM 个数必须小于总资源个数。	32
	Address Width	配置读端口地址位宽。 合法范围：6~20。 注：读写端口所配置的 RAM 容量大小必须一致。	9
	Byte Number	Byte Write 使能时，配置所使用的 Byte 个数。	1
	Enable rd_clk_en	配置是否使能写端口的 rd_clk_en 信号。 勾选：使能 rd_clk_en 信号； 不勾选：不使能 rd_clk_en 信号。 注：当 DRM Resource Type 为 DRM18K 时，仅使用 1 个 DRM18K 时，支持 rd_clk_en 信号使能，使用 2 个及以上 DRM18K 时，不支持 rd_clk_en 信号使能。	不勾选

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
Reset Options	Enable rd_addr_strobe	配置是否使能读端口的 rd_addr_strobe 信号。 勾选：使能 rd_addr_strobe 信号； 不勾选：不使能 rd_addr_strobe 信号。 注：当 DRM Resource Type 为 DRM18K 时，不支持 wr_addr_strobe 信号使能。	不勾选
	Enable rd_oce	配置是否使能 rd_oce 信号。 勾选：使能 rd_oce 信号； 不勾选：不使能 rd_oce 信号。 注：使能 rd_oce 信号时，两级输出寄存必须最少使能一级，默认使能第一级。	不勾选
	Enable Output Register	配置是否使能读端口第一级输出寄存，由 DRM 内部实现。 勾选：使能输出寄存； 不勾选：不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能读端口第二级输出寄存，由片上逻辑实现。 勾选：使能第二级输出寄存； 不勾选：不使能第二级输出寄存。	不勾选
	Enable Clock Polarity Invert	配置是否使能读端口输出时钟极性反向。 勾选：使能输出时钟极性反向，读数据在时钟下降沿输出； 不勾选：不使能输出时钟极性反向，读数据在时钟上升沿输出。 注：使能读端口输出时钟极性反向时，两级输出寄存必须最少使能一级， 默认使能第一级。	不勾选
Initialization Settings	Reset Type	配置复位方式。 ASYNC：异步复位； SYNC：同步复位。	ASYNC
	Enable Reset Value Setting	配置是否使输出数据复位值置位。 勾选：使能复位值置位； 不勾选：不使能复位值置位。	不勾选
	Read Port Reset Value(HEX)	配置第输出数据的复位置位值，数据格式为十六进制。	不勾选
	Enable Init	配置是否使能对当前 RAM 进行初始化。	不勾选
	Init File	配置使能对当前 RAM 进行初始化。 指定初始化文件路径，若不指定，则生成初始值为全“0”的初始化参数配置.v 文件。	NONE
	Initial Data Format Type	配置初始化文件数据内容格式。 BIN：初始化文件数据内容为二进制数； HEX：初始化文件数据内容为十六进制数。	BIN

注：“-”表示 IP 配置界面无该参数默认值。

2.4 DRM Based Single Port RAM

2.4.1 功能概述

DRM Based Single Port RAM 是基于 DRM 设计的单端口 RAM，主要特性如下。详细配置规则参见“2.4.4 4 参数描述”。

- 支持 Byte Write 功能¹⁴；
- 支持输出时钟极性反向；
- 支持时钟使能¹⁵；
- 支持地址锁存¹⁶；
- 支持两级输出寄存；
- 支持输出数据复位值置位¹⁷；
- 支持两种复位模式：异步复位、同步复位；
- 支持三种写模式：Normal Write、Transparent Write 和 Read-before-Write；
- 支持使用二进制或十六进制初始化文件进行初始化；
- 支持三种级联方式：18K 模式级联、36K 模式级联、64Kx1 硬级联；
- 支持低功耗模式。

2.4.2 接口说明

1. 接口框图

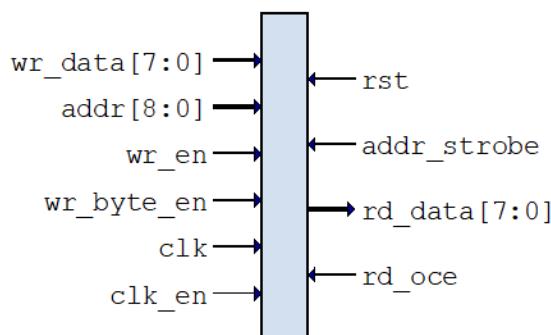


图 2-15 DRM Based Single Port RAM 接口示意图

14 64K 模式不支持 Byte Write 功能。

15 18K 模式下，使用的 DRM 数量超过 1 个时，不支持时钟使能。

16 18K 模式不支持地址锁存。

17 第二级输出寄存不支持复位值置位。

2. 接口列表

表 2-8 DRM Based Single Port RAM 接口口列表

端口	I/O	描述
addr	I	地址信号。
addr_strobe	I	地址锁存信号。 1: 对应地址无效, 地址被保持; 0: 对应地址有效。
wr_data	I	写数据信号。
rd_data	O	读数据信号。
wr_en	I	写使能信号。 1: 写使能; 0: 读使能。
clk	I	时钟信号。
clk_en	I	时钟使能信号。 1: 对应地址有效; 0: 对应地址无效。
rst	I	复位信号。 1: 复位; 0: 复位释放。
wr_byte_en	I	Byte Write 使能信号 ¹⁸ , 位宽范围 1~128。 1: 对应 Byte 值有效; 0: 对应 Byte 值无效。
rd_oce	I	输出寄存使能信号。 1: 读数据寄存输出; 0: 寄存输出数据保持。

18 当配置“Enable Byte Write”选项勾选时有效。

2.4.3 时序模型

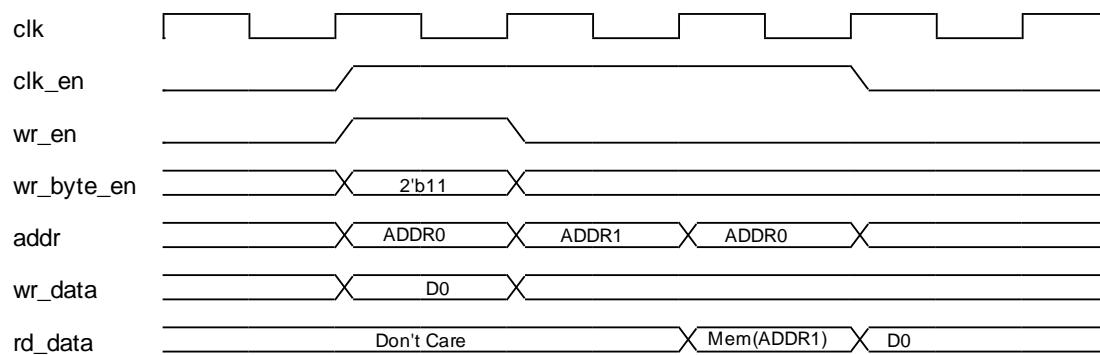


图 2-16 DRM Based Single Port RAM Normal Write 状态时序图（未使能输出寄存）

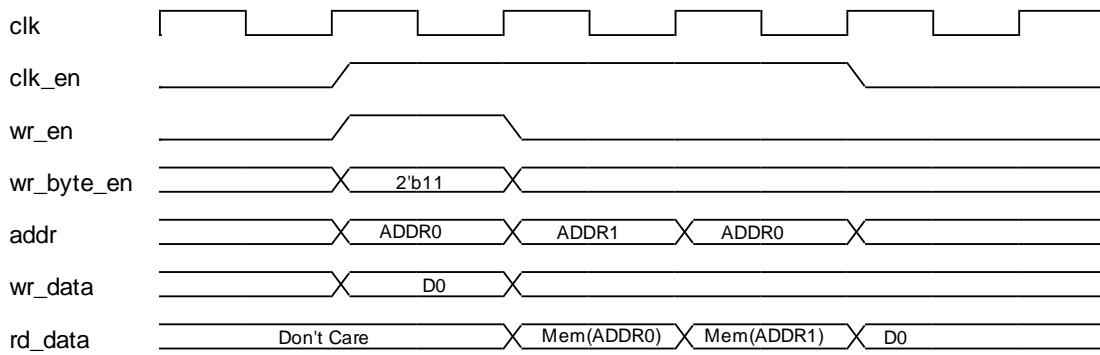


图 2-17 DRM Based Single Port RAM Read_Before_Write 状态时序图（未使能输出寄存）

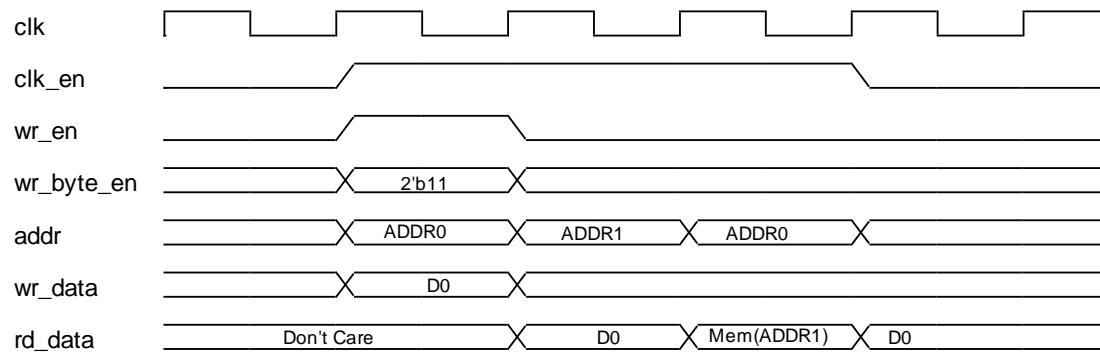


图 2-18 DRM Based Single Port RAM Transparent_Write 状态时序图（未使能输出寄存）

2.4.4 模块例化

通过 IPC 工具可以生成 DRM Based Single Port RAM 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide[3]*。

DRM Based Single Port RAM 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 Module/Memory/DRAM 目录下对应版本的 DRM Based Single Port RAM，IP 选择路径如图 2-19 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-20 所示。

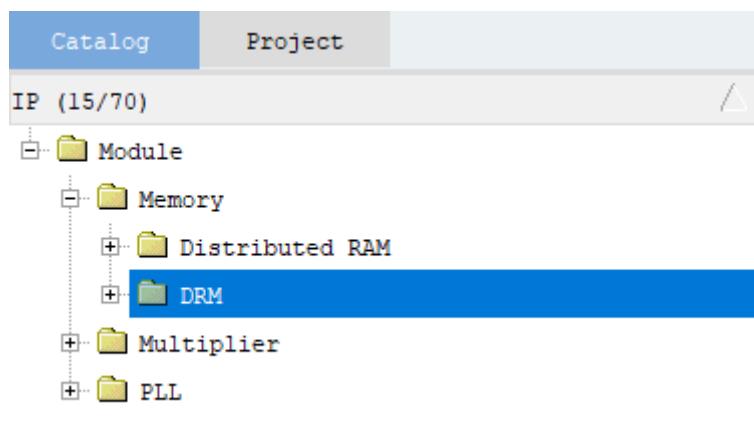


图 2-19 DRM Based Single Port RAM 选择路径

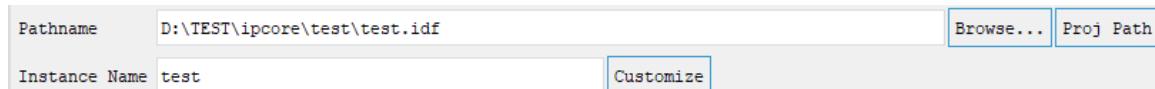


图 2-20 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 DRM Based Single Port RAM IP 参数配置界面，如图 2-21 所示。

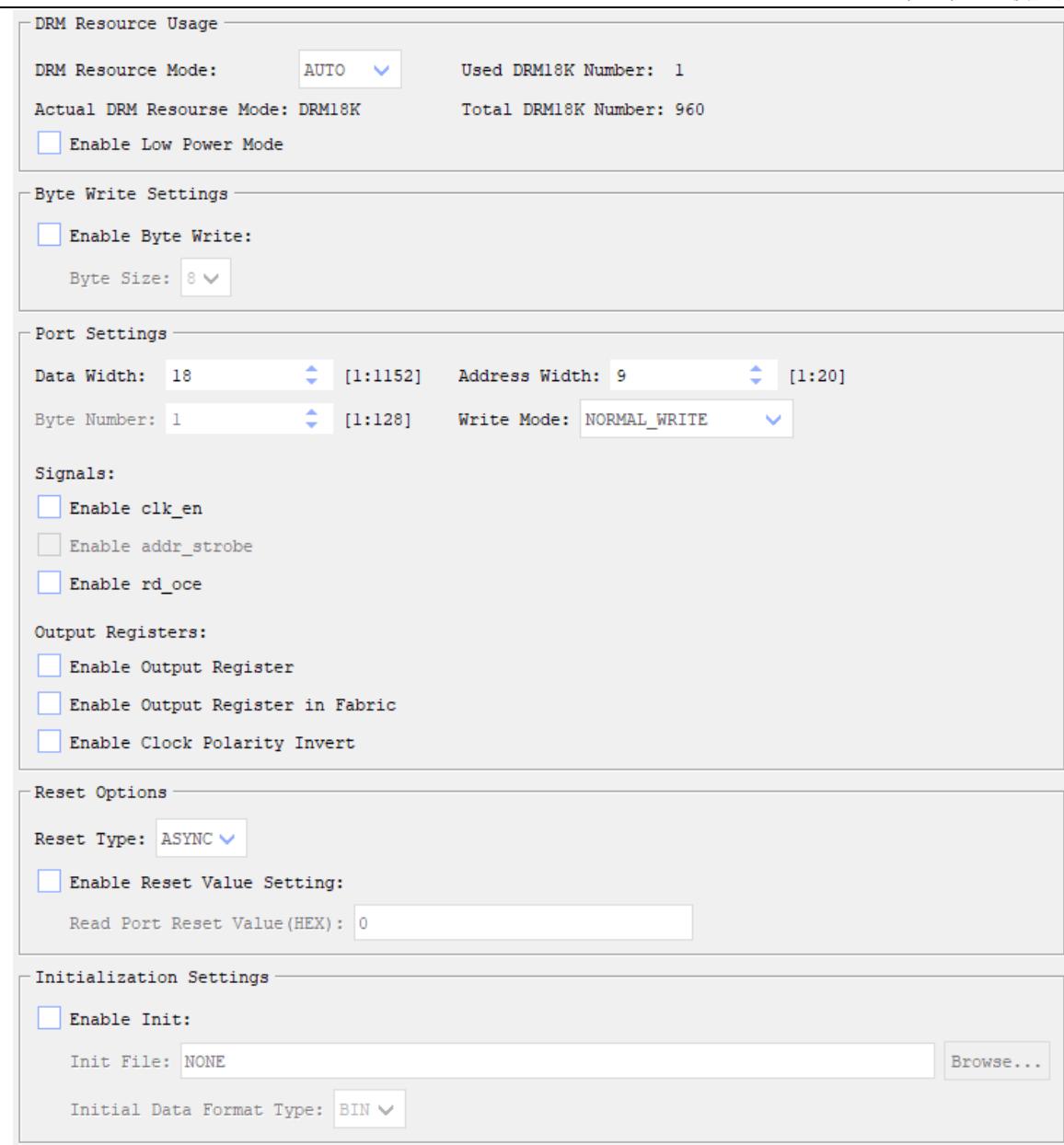


图 2-21 DRM Based Single Port RAM 参数配置界面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 DRM Based Single Port RAM IP 代码。生成 IP 的信息报告界面如图 2-22 所示。



图 2-22 DRM Based Single Port RAM IP 生成报告界面

成功生成 IP 后会在图 2-20 中指定的 Project 路径下输出表 2-9 所示文件。

表 2-9 DRM Based Single Port RAM IP 生成后的输出文件

输出文件 ¹⁹	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>_tb.v	所生成 IP 的 Test Bench .v 文件。
init_param_bin_exmp.dat	二进制初始化文件示例。
init_param_hex_exmp.dat	十六进制初始化文件示例。
/rtl/*	所生成 IP 的 RTL 代码文件、初始化参数配置.v 文件及数据输出复位值配置.v 文件。
/rev_1	综合报告默认输出路径。(该文件夹仅在指定综合工具后才会生成)

4. 参数描述

表 2-10 DRM Based Single Port RAM 参数描述列表

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
DRM Resource Usage	DRM Resource Mode	DRM 资源模式。 AUTO: 自动选择资源; DRM18K: 指定使用 DRM18K; DRM36K: 指定使用 DRM36K; DRM64K: 指定使用 64Kx1 硬级联, 1 个 64Kx1 消耗 2 个 DRM36K。	AUTO
	Actual DRM Resource Mode	不可配置, 显示当前实际使用的 DRM 模式。	-
	Used DRM36K Number	不可配置, 显示当前实际使用的 DRM36K 资源数。	-
	Total DRM36K Number	不可配置, 显示当前器件所支持的 DRM36K 资源总数。	-
	Enable Low Power Mode	配置是否使能低功耗模式。 勾选: 使用低功耗模式级联, 以数据位宽选择级联; 不勾选: 使用普通模式级联, 以地址深度选择级联。	不勾选
Byte Write Settings	Enable Byte Write	配置是否使能 Byte Write 功能。 勾选: 使能 Byte Write 功能; 不勾选: 不使能 Byte Write 功能。	不勾选
	Byte Size	Byte Write 使能时, 配置一个 Byte 的位宽。 8: 1Byte = 8bit; 9: 1Byte = 9bit。	8

19 <instance_name>是用户输入的例化名; “*”为通配符, 代替同一类型的文件。

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Port Settings	Data Width	配置数据位宽。 合法配置范围：1~1152。 注：所占用的 DRM 个数必须小于总资源个数。	18
	Address Width	配置地址位宽。 合法配置范围：1~20。 注：所占用的 DRM 个数必须小于总资源个数。	9
	Byte Number	Byte Write 使能时，配置所使用的 Byte 个数。	1
	Write Mode	配置写模式。 NORMAL_WRITE：普通写模式，当 wr_en 有效时，读端口有效读数据为 Don't Care； TRANSPARENT_WRITE：透传写模式，当 wr_en 有效时，读端口有效读数据为有效地址写入的数据； READ_BEFORE_WRITE：先读后写模式，当 wr_en 有效时，读端口有效读数据为有效地址的旧数据。	NORMAL_WRITE
	Enable clk_en	配置是否使能端口的 clk_en 信号。 勾选：使能 clk_en 信号； 不勾选：不使能 clk_en 信号。 注：当 DRM Resource Type 为 DRM18K 时，仅使用 1 个 DRM18K 时，支持 clk_en 信号使能，使用 2 个及以上 DRM18K 时，不支持 clk_en 信号使能。	不勾选
	Enable addr_strobe	配置是否使能端口的 addr_strobe 信号。 勾选：使能 addr_strobe 信号； 不勾选：不使能 addr_strobe 信号。 注：当 DRM Resource Type 为 DRM18K 时，不支持 addr_strobe 信号使能。	不勾选
	Enable rd_oce	配置是否使能 rd_oce 信号。 勾选：使能 rd_oce 信号； 不勾选：不使能 rd_oce 信号。 注：使能 rd_oce 信号时，两级输出寄存必须最少使能一级，默认使能第一级。	不勾选
	Enable Output Register	配置是否使能读端口第一级输出寄存，由 DRM 内部实现。 勾选：使能输出寄存； 不勾选：不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能读端口第二级输出寄存，由片上逻辑实现。 勾选：使能第二级输出寄存； 不勾选：不使能第二级输出寄存。	不勾选

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
	Enable Clock Polarity Invert	配置是否使能读端口输出时钟极性反向。 勾选：使能输出时钟极性反向，读数据在时钟下降沿输出； 不勾选：不使能输出时钟极性反向，读数据在时钟上升沿输出。 注：使能读端口输出时钟极性反向时，两级输出寄存必须最少使能一级，默认使能第一级。	不勾选
Reset Options	Reset Type	配置复位方式。 ASYNC：异步复位； SYNC：同步复位。	ASYNC
	Enable Reset Value Setting	配置是否使能输出数据复位值置位。 勾选：使能复位值置位； 不勾选：不使能复位值置位。	不勾选
	Read Port Reset Value(HEX)	配置输出数据的复位置位值，数据格式为十六进制。	0
Initialization Settings	Enable Init	配置是否使能对当前 RAM 进行初始化。	不勾选
	Init File	配置使能对当前 RAM 进行初始化。 指定初始化文件路径，若不指定，则生成初始值为全“0”的初始化参数配置.v 文件。	NONE
	Initial Data Format Type	配置初始化文件数据内容格式。 BIN：初始化文件数据内容为二进制数； HEX：初始化文件数据内容为十六进制数。	BIN

注：“-”表示 IP 配置界面无该参数默认值。

2.5 DRM Based ROM

2.5.1 功能概述

DRM Based ROM 是基于 DRM 设计的单端口 ROM，主要特性如下。详细配置规则参见“2.5.4.4 参数描述”。

- 支持输出时钟极性反向；
- 支持时钟使能²⁰；
- 支持地址锁存²¹；
- 支持两级输出寄存；
- 支持输出数据复位值置位²²；
- 支持两种复位模式：异步复位、同步复位；
- 支持使用二进制或十六进制初始化文件进行初始化；
- 支持三种级联方式：18K 模式级联、36K 模式级联、64Kx1 硬级联；
- 支持低功耗模式。

2.5.2 接口说明

1. 接口框图

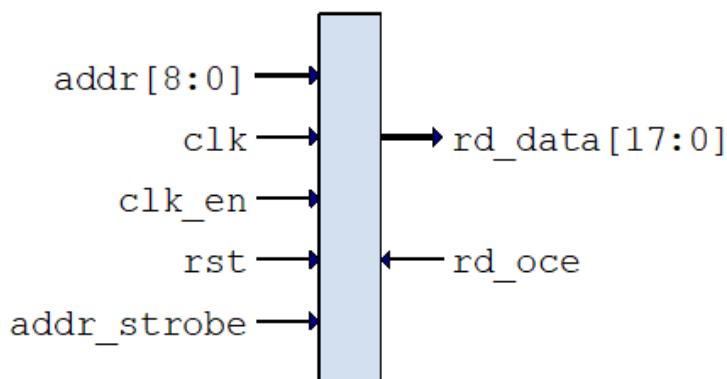


图 2-23 DRM Based ROM 接口示意图

20 18K 模式下，使用的 DRM 数量超过 1 个时，不支持时钟使能。

21 18K 模式不支持地址锁存。

22 第二级输出寄存不支持复位值置位。

2. 接口列表

表 2-11 DRM Based ROM 接口列表

端口	I/O	描述
addr	I	读地址信号。
addr_strobe	I	读地址锁存信号。 1: 对应地址无效, 地址被保持; 0: 对应地址有效。
rd_data	O	读数据信号。
clk	I	时钟信号。
clk_en	I	时钟使能信号。 1: 对应地址有效; 0: 对应地址无效。
rst	I	复位信号。 1: 复位; 0: 复位释放。
rd_oe	I	输出寄存使能信号。 1: 读数据寄存输出; 0: 寄存输出数据保持。

2.5.3 时序模型



图 2-24 DRM Based ROM 典型时序图 (未使能输出寄存)

2.5.4 模块例化

通过 IPC 工具可以完成 DRM Based ROM 的定制化配置, 例化生成所需的 IP 模块。

关于 IPC 工具的具体使用方法, 请参见 *IP_Compiler_User_Guide[3]*。

DRM Based ROM 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC, 在主窗口中点击 File->Update 打开 Update IP 对话框, 添加对应版本的

IP 模型。

选择器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 Module/Memory/DRM 目录下对应版本的 DRM Based ROM，IP 选择路径如图 2-25 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-26 所示。

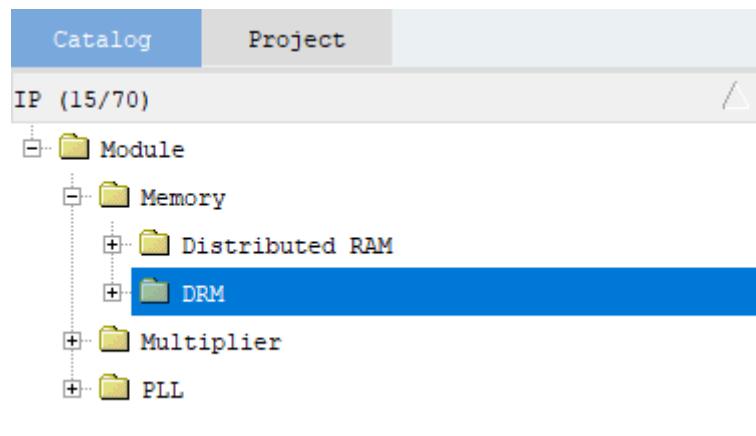


图 2-25 DRM Based ROM 选择路径

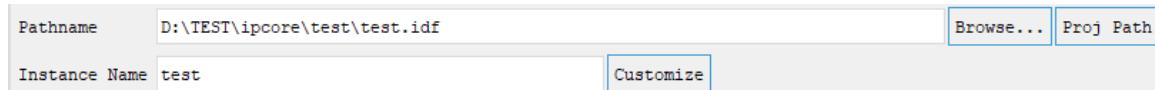


图 2-26 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 DRM Based ROM IP 参数配置界面，如图 2-27 所示。

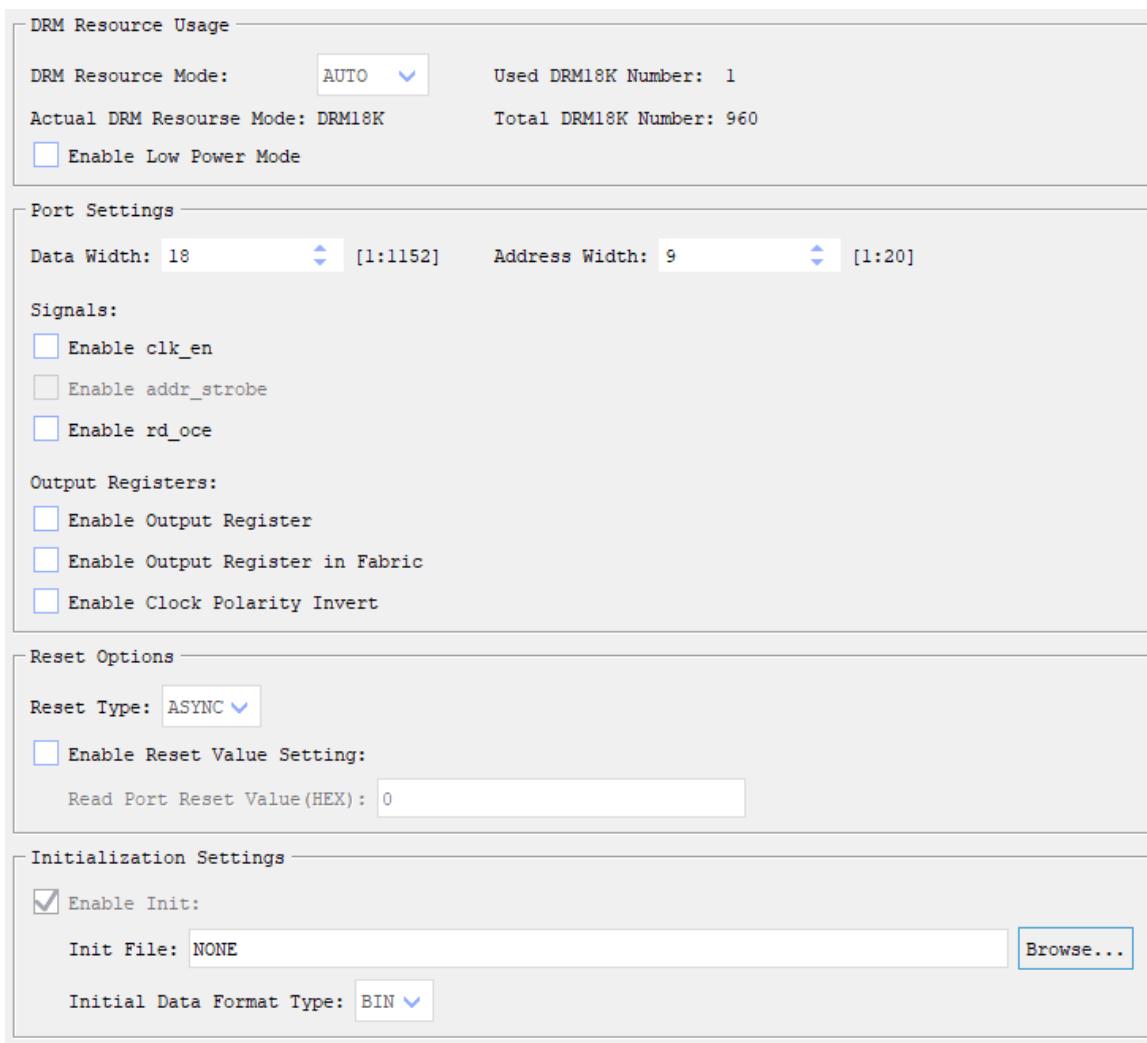


图 2-27 DRM Based ROM 参数配置界面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 DRM Based ROM IP 代码。生成 IP 的信息报告界面如图 2-28 所示。



图 2-28 DRM Based ROM IP 生成报告界面

成功生成 IP 后会在图 2-26 中指定的 Project 路径下输出表 2-12 所示文件。

表 2-12 DRM Based ROM IP 生成后的输出文件

输出文件 ²³	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>_tb.v	所生成 IP 的 Test Bench .v 文件。
init_param_bin_exmp.dat	二进制初始化文件示例。
init_param_hex_exmp.dat	十六进制初始化文件示例。
/rtl/*	所生成 IP 的 RTL 代码文件、初始化参数配置.v 文件及数据输出复位值配置.v 文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）

4. 参数描述

表 2-13 DRM Based ROM 参数描述列表

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
DRM Resource Usage	DRM Resource Mode	DRM 资源模式。 AUTO: 自动选择资源; DRM18K: 指定使用 DRM18K; DRM36K: 指定使用 DRM36K; DRM64K: 指定使用 64Kx1 硬级联, 1 个 64Kx1 消耗 2 个 DRM36K。	AUTO
	Actual DRM Resource Mode	不可配置, 显示当前实际使用的 DRM 模式。	-
	Used DRM36K Number	不可配置, 显示当前实际使用的 DRM36K 资源数。	-
	Total DRM36K Number	不可配置, 显示当前器件所支持的 DRM36K 资源总数。	-
	Enable Low Power Mode	配置是否使能低功耗模式。 勾选: 使用低功耗模式级联, 以数据位宽选择级联; 不勾选: 使用普通模式级联, 以地址深度选择级联。	不勾选

23 <instance_name>是用户输入的例化名; “*”为通配符, 代替同一类型的文件。

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
Port Settings	Data Width	配置数据位宽。 合法配置范围：1~1152。 注：所占用的 DRM 个数必须小于总资源个数。	18
	Address Width	配置地址位宽。 合法配置范围：1~20。 注：所占用的 DRM 个数必须小于总资源个数。	9
	Enable clk_en	配置是否使能 clk_en 信号。 勾选：使能 clk_en 信号； 不勾选：不使能 clk_en 信号。 注：当 DRM Resource Type 为 DRM18K 时，仅使用 1 个 DRM18K 时，支持 clk_en 信号使能，使用 2 个及以上 DRM18K 时，不支持 clk_en 信号使能。	不勾选
	Enable addr_strobe	配置是否使能写端口的 addr_strobe 信号。 勾选：使能 addr_strobe 信号； 不勾选：不使能 addr_strobe 信号。 注：当 DRM Resource Type 为 DRM18K 时，不支持 addr_strobe 信号使能。	不勾选
	Enable rd_oce	配置是否使能 rd_oce 信号。 勾选：使能 rd_oce 信号； 不勾选：不使能 rd_oce 信号。 注：使能 rd_oce 信号时，两级输出寄存必须最少使能一级，默认使能第一级。	不勾选
	Enable Output Register	配置是否使能读端口第一级输出寄存，由 DRM 内部实现。 勾选：使能输出寄存； 不勾选：不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能读端口第二级输出寄存，由片上逻辑实现。 勾选：使能第二级输出寄存； 不勾选：不使能第二级输出寄存。	不勾选
Reset Options	Enable Clock Polarity Invert	配置是否使能读端口输出时钟极性反向。 勾选：使能输出时钟极性反向，读数据在时钟下降沿输出； 不勾选：不使能输出时钟极性反向，读数据在时钟上升沿输出。 注：使能读端口输出时钟极性反向时，两级输出寄存必须最少使能一级，默认使能第一级。	不勾选
	Reset Type	配置复位方式。 ASYNC：异步复位； SYNC：同步复位。	ASYNC
	Enable Reset Value Setting	配置是否使能输出数据复位值置位。 勾选：使能复位值置位； 不勾选：不使能复位值置位。	不勾选
	Read Port Reset Value(HEX)	配置输出数据的复位置位值，数据格式为十六进制。	0

选项区域	参数/配置选项	参数说明	IP 配置界面 默认值
Initialization Settings	Enable Init	配置是否使能对当前 RAM 进行初始化。	勾选
	Init File	配置使能对当前 RAM 进行初始化。 指定初始化文件路径，若不指定，则生成初始值为全“0”的初始化参数配置.v 文件。	NONE
	Initial Data Format Type	配置初始化文件数据内容格式。 BIN： 初始化文件数据内容为二进制数； HEX： 初始化文件数据内容为十六进制数。	BIN

注：“-”表示 IP 配置界面无该参数默认值。

2.6 DRM Based FIFO

2.6.1 功能概述

DRM Based FIFO 是基于 DRM 设计的 FIFO，主要特性如下。详细配置规则参见“2.6.4 4 参数描述”。

- 支持同步、异步 FIFO；
- 支持混合数据位宽；
- 支持 Byte Write 功能²⁴；
- 支持输出时钟极性反向；
- 支持两级输出寄存；
- 支持输出数据复位值置位²⁵；
- 支持两种复位模式：异步复位、同步复位；
- 支持 almost full/almost empty 信号；
- 支持 wr_water_level/rd_water_level 信号；
- 支持三种级联方式：18K 模式级联、36K 模式级联、64Kx1 硬级联；
- 支持低功耗模式。

²⁴ 64K 模式不支持 Byte Write 功能。

²⁵ 第二级寄存输出不支持复位值置位。

2.6.2 接口说明

1. 接口框图

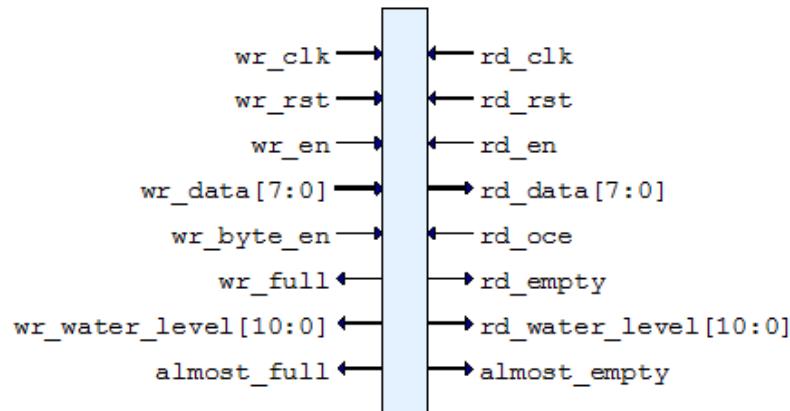


图 2-29 DRM Based FIFO（异步 FIFO）接口示意图

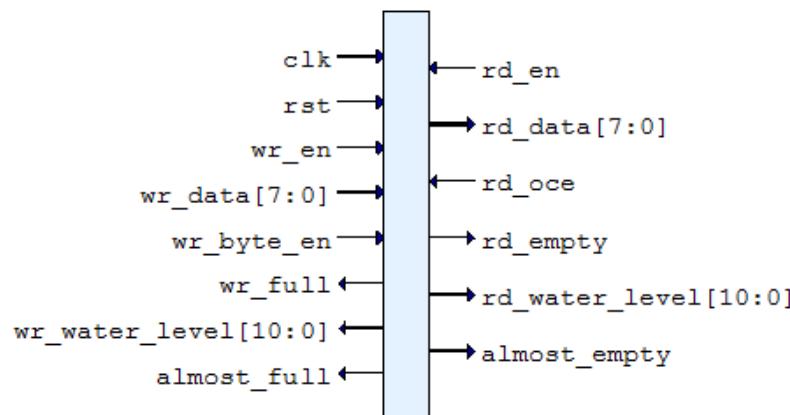


图 2-30 DRM Based FIFO（同步 FIFO）接口示意图

2. 接口列表

表 2-14 DRM Based FIFO 接口列表

端口	I/O	描述
wr_data	I	写数据信号，位宽范围 1~1152。
wr_en	I	写使能信号，高有效。
wr_byte_en	I	Byte Write 使能信号 ²⁶ ，位宽范围 1~128。 1: 对应 Byte 值有效； 0: 对应 Byte 值无效。
clk	I	同步 FIFO 时钟信号，仅同步 FIFO 有效。
rst	I	同步 FIFO 复位信号，仅同步 FIFO 有效。 1: 复位； 0: 复位释放。
wr_clk	I	异步 FIFO 写时钟信号，仅异步 FIFO 有效。
wr_rst	I	异步 FIFO 写复位信号，仅异步 FIFO 有效。 1: 复位； 0: 复位释放。
wr_full	O	FIFO Full 信号。 1: FIFO 满； 0: FIFO 未满。
almost_full	O	FIFO Almost Full 信号。 1: FIFO 将满； 0: FIFO 未将满。
wr_water_level	O	写端口 water level 信号，位宽范围 6~20，表示写数据水位。
rd_data	O	读数据信号。
rd_en	I	读使能信号。
rd_clk	I	异步 FIFO 读时钟信号，仅异步 FIFO 有效。
rd_rst	I	异步 FIFO 读复位信号，仅异步 FIFO 有效。 1: 复位； 0: 复位释放。
rd_empty	O	FIFO Empty 信号。 1: FIFO 空； 0: FIFO 未空。
almost_empty	O	FIFO Almost Empty 信号。 1: FIFO 将空； 0: FIFO 未将空。
rd_water_level	O	读端口 water level 信号，位宽范围 6~20，表示读数据水位。
rd_oce	I	输出寄存使能信号。 1: 读数据寄存输出； 0: 寄存输出数据保持。

26 配置“Enable Byte Write”选项勾选时有效。

2.6.3 时序模型

1. 写入时序

对于同步 FIFO，图 2-31 是从空状态开始写入，直至写满的时序图。时序图中的 FIFO 深度为 N，Almost Full Numbers 配置为 N-2，Almost Empty Numbers 配置为 2。

在图 2-31 中，FIFO 复位后 empty 信号为“1”，指示 FIFO 为空，almost_empty 信号也为“1”，此时，full 信号和 almost_full 信号都为“0”。当 wr_en 有效开始写入数据后（clk 上升沿①），empty 信号立刻置“0”，almost_empty 根据配置的 Almost Empty Numbers 值延迟置“0”（clk 上升沿③）。当写指针与读指针的差值等于 Almost Full Numbers 值时，almost_full 标志将置“1”（clk 上升沿④）。当 FIFO 写满时（clk 上升沿⑤），full 信号立刻置“1”。wr_water_level 信号在 wr_en 有效下递增计数，rd_water_level 信号延迟一个时钟周期递增计数。

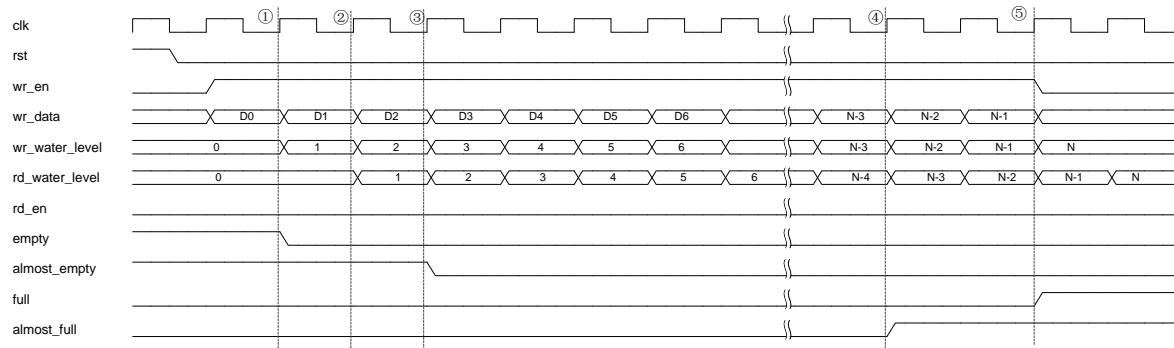


图 2-31 同步 FIFO 写入时序图

对于异步 FIFO，图 2-32 和图 2-33 分别是在空状态写入和即将写满的时序图。时序图中的 FIFO 深度为 N，Almost Full Numbers 配置为 N-2，Almost Empty Numbers 配置为 2。

在图 2-32 中，FIFO 复位后 empty 信号为“1”，指示 FIFO 为空，此时，almost_empty 信号也为“1”。当 wr_en 有效开始写入数据后（wr_clk 上升沿①），empty 信号在第一个有效数据写入后的第 3 个读时钟上升沿置“0”（rd_clk 上升沿③）。如果 wr_en 继续有效，almost_empty 信号会根据配置的 Almost Empty Numbers 参数值延迟置“0”（rd_clk 上升沿④）。和同步 FIFO 一样，wr_water_level 信号在 wr_en 有效下递增计数。

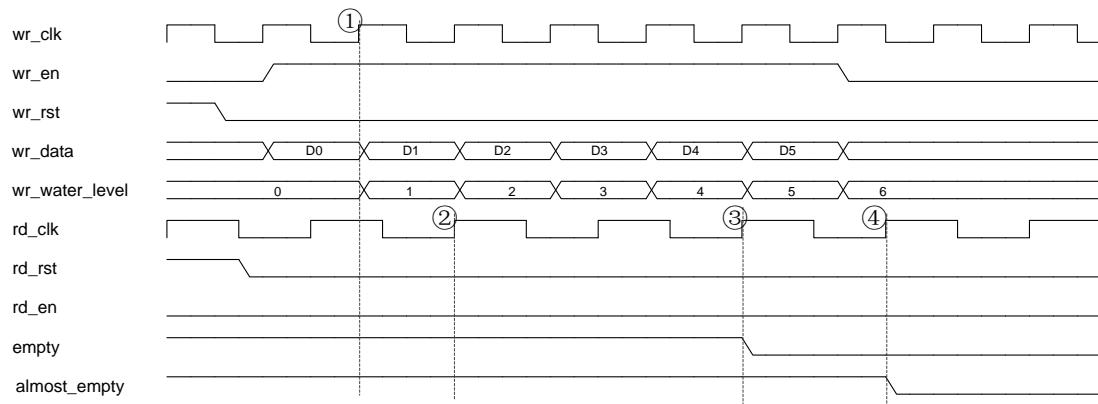


图 2-32 异步 FIFO 空状态写入时序图

在图 2-33 中，深度为 N 的 FIFO 已经存有一些数据，如果 wr_en 开始有效并继续写入数据（wr_clk 上升沿①），当写指针与读指针的差值等于 ALMOST_FULL_NUM 参数值时，almost_full 标志将置“1”（wr_clk 上升沿②）。当 FIFO 写满时（wr_clk 上升沿③），full 信号立刻置“1”。

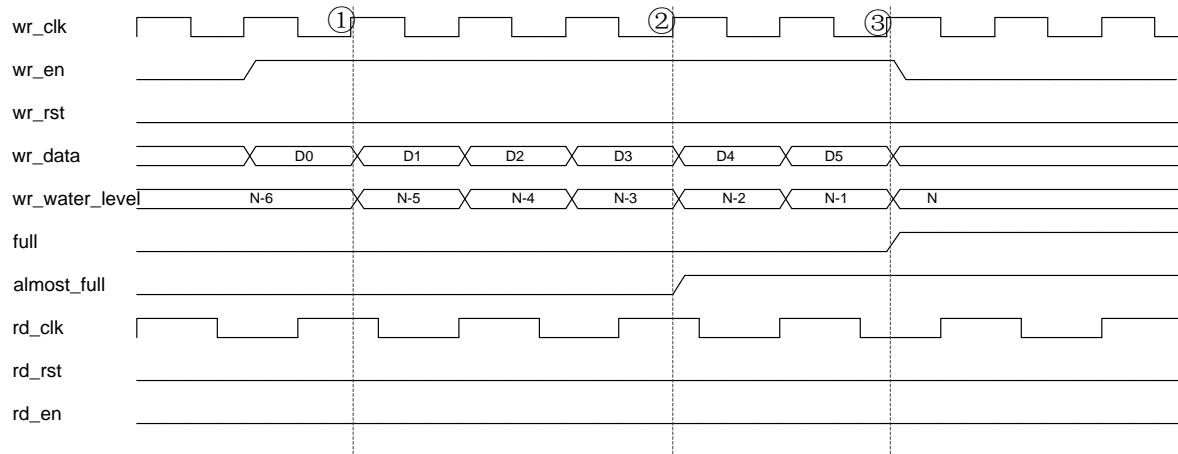


图 2-33 异步 FIFO 即将写满时序图

注意：

FIFO 写满后禁止继续写入数据，否则将会写溢出。

2. 读出时序

对于同步 FIFO，图 2-34 是从满状态开始读出，直至读空的时序图。时序图中的

FIFO 深度为 N, Almost Full Numbers 配置为 N-2, Almost Empty Numbers 配置为 2。

在图 2-34 中, FIFO 在满状态下 full 信号为“1”, almost_full 信号也为“1”, 此时, empty 信号和 almost_empty 信号都为“0”。当 rd_en 有效开始读出数据后 (clk 上升沿①), full 信号立刻置“0”。如果 rd_en 继续有效, almost_full 信号会根据配置的 Almost Full Numbers 值延迟置“0” (clk 上升沿②)。当写指针与读指针的差值等于 Almost Empty Numbers 值时, almost_empty 标志将置“1” (clk 上升沿③)。当 FIFO 读空时 (clk 上升沿④), empty 信号立刻置“1”。rd_water_level 信号在 rd_en 有效下递减计数, wr_water_level 信号延迟一个时钟周期递减计数。

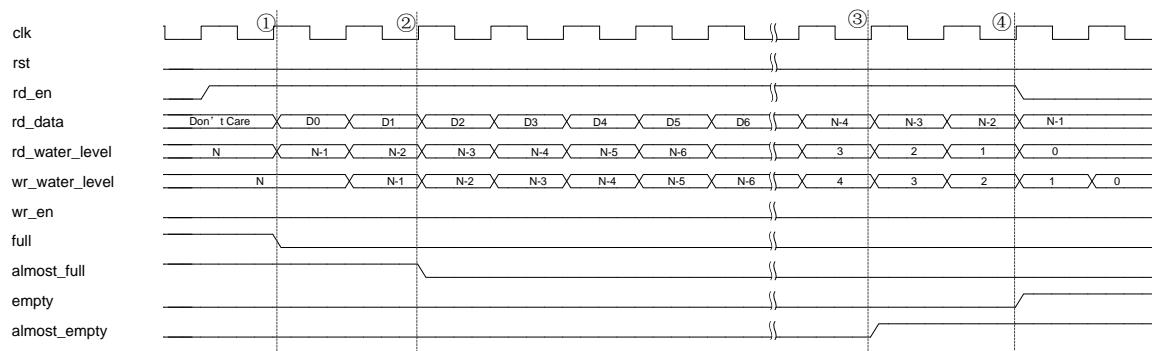


图 2-34 同步 FIFO 读出时序图（未使能输出寄存）

对于异步 FIFO, 图 2-35 和图 2-36 分别是在满状态读出和即将读空的时序图。时序图中的 FIFO 深度为 N, Almost Full Numbers 配置为 N-2, Almost Empty Numbers 配置为 2。

在图 2-35 中, FIFO 在满状态下 full 信号为“1”, almost_full 信号也为“1”。当 rd_en 有效开始读出数据后 (rd_clk 上升沿①), full 信号在第 3 个写时钟上升沿置“0” (wr_clk 上升沿②)。如果 rd_en 继续有效, almost_full 信号会根据配置的 ALMOST_FULL_NUM 参数值延迟置“0” (wr_clk 上升沿③)。和同步 FIFO 一样, rd_water_level 信号在 rd_en 有效下递减计数。

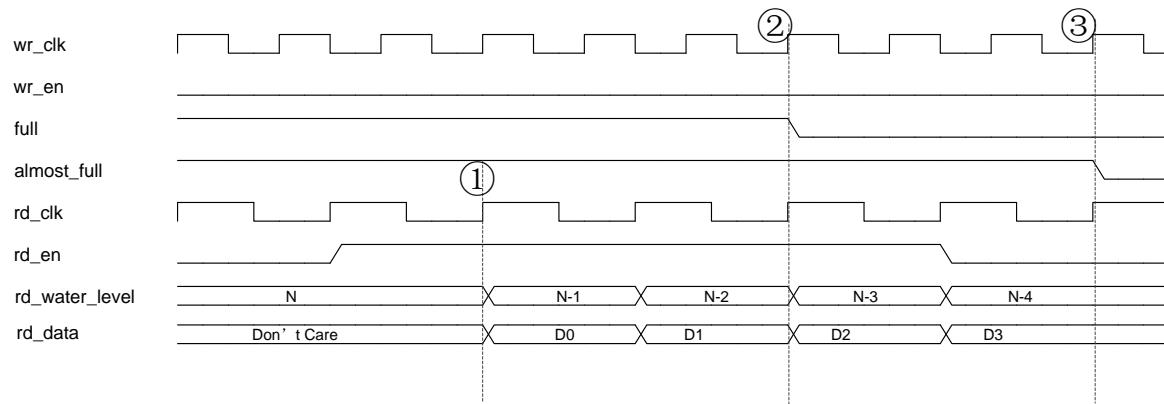


图 2-35 异步 FIFO 在满状态的读出时序图（未使能输出寄存）

在图 2-36 中，如果 rd_en 开始有效并继续读出数据（rd_clk 上升沿①），当读指针与写指针的差值等于 ALMOST_EMPTY_NUM 参数值时，almost_empty 标志将置“1”（rd_clk 上升沿②）。当 FIFO 读空时（rd_clk 上升沿③），empty 信号立刻置“1”。

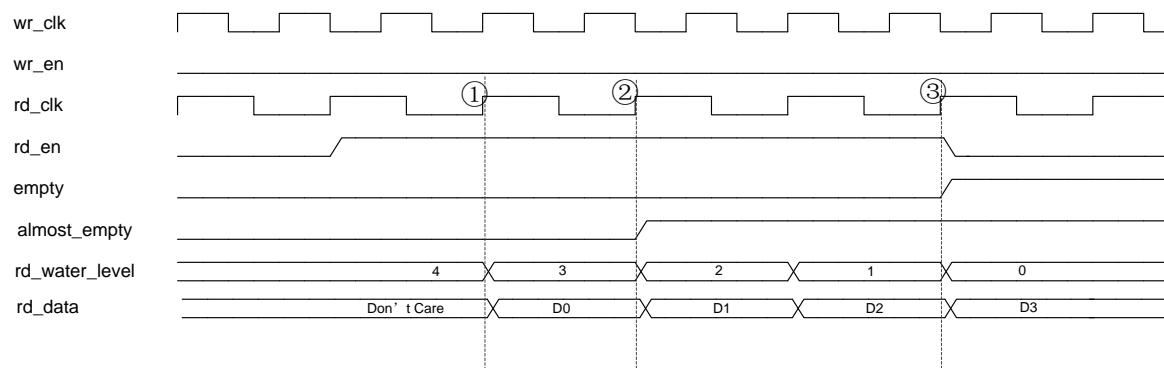


图 2-36 异步 FIFO 即将读空的读出时序图（未使能输出寄存）

注意：

FIFO 读空后禁止继续读数据，否则将会读溢出。

2.6.4 模块例化

通过 IPC 工具可以完成 DRM Based FIFO 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide[3]*。

DRM Based FIFO 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 Module/Memory/DRAM 目录下对应版本的 DRM Based FIFO，IP 选择路径如图 2-37 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-38 所示。

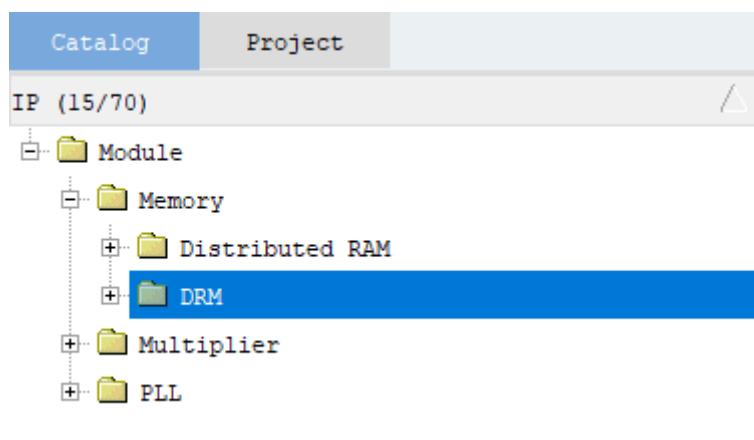


图 2-37 DRM Based FIFO 选择路径

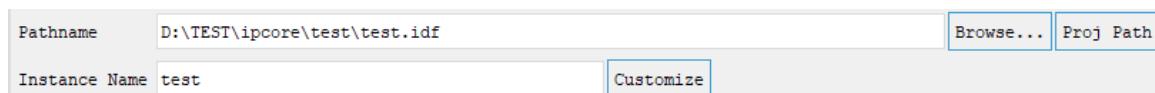


图 2-38 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 DRM Based FIFO IP 参数配置界面，如图 2-39 所示。

DRM Resource Usage:

DRM Resource Mode:	AUTO	Used DRM18K Number: 1
Actual DRM Resource Mode:	DRM18K	Total DRM18K Number: 960
<input type="checkbox"/> Enable Low Power Mode		

FIFO Type

FIFO Type:	SYN_FIFO
------------	----------

Data Width Type

<input checked="" type="checkbox"/> Write/Read Port Use Same Data Width
<input type="checkbox"/> Enable Byte Write:
Byte Size: 8

Write Port

Data Width:	18 [1:1152]	Address Width:	10 [6:20]
Byte Number:	1 [1:128]		

Read Port

Data Width:	18 [1:1152]	Address Width:	10 [6:20]
Byte Number:	1 [1:128]		

Output Registers:

<input type="checkbox"/> Enable Output Register
<input type="checkbox"/> Enable Output Register in Fabric
<input type="checkbox"/> Enable rd_oce
<input type="checkbox"/> Enable Clock Polarity Invert

FIFO Flag

<input type="checkbox"/> Enable wr_water_level
<input type="checkbox"/> Enable rd_water_level
Almost Full Number: 1020 [1:1023]
Almost Empty Number: 4 [1:1023]

Reset Options

Reset Type:	ASYNC
<input type="checkbox"/> Enable Reset Value Setting	
Read Port Reset Value(HEX):	0

图 2-39 DRM Based FIFO 参数配置界面

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特

定设置的 DRM Based FIFO IP 代码。生成 IP 的信息报告界面如图 2-40 所示。



图 2-40 DRM Based FIFO IP 生成报告界面

成功生成 IP 后会在图 2-38 中指定的 Project 路径下输出表 2-15 所示文件。

表 2-15 DRM Based FIFO IP 生成后的输出文件

输出文件 ²⁷	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>_tb.v	所生成 IP 的 Test Bench .v 文件。
/rtl/*	所生成 IP 的 RTL 代码文件及数据输出复位值配置.v 文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）

4. 参数描述

表 2-16 DRM Based FIFO 参数描述列表

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
DRM Resource Usage	DRM Resource Mode	DRM 资源模式。 AUTO：自动选择资源； DRM18K：指定使用 DRM18K； DRM36K：指定使用 DRM36K； DRM64K：指定使用 64Kx1 硬级联，1 个 64Kx1 消耗 2 个 DRM36K。	AUTO
	Actual DRM Resource Mode	不可配置，显示当前实际使用的 DRM 模式。	-
	Used DRM36K Number	不可配置，显示当前实际使用的 DRM36K 资源数。	-
	Total DRM36K Number	不可配置，显示当前器件所支持的 DRM 资源总数。	-
	Enable Low Power Mode	配置是否使能低功耗模式。 勾选：使用低功耗模式级联，以数据位宽选择级联； 不勾选：使用普通模式级联，以地址深度选择级联。	勾选

27 <instance_name>是用户输入的例化名；“*”为通配符，代替同一类型的文件。

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
FIFO Type	FIFO Type	设置 FIFO 类型。 ASYN_FIFO： 异步 FIFO； SYN_FIFO： 同步 FIFO。	SYN_FIFO
Data Width Type	Write/Read Port	配置读写端口是否使用相同位宽模式。	
	Use Same Data Width	勾选： 读写端口数据位宽相等； 不勾选： 读写端口数据位宽可以不相等。	勾选
	Enable Byte Write	配置是否使能 Byte Write 功能。 勾选： 使能 Byte Write 功能； 不勾选： 不使能 Byte Write 功能。	不勾选
Write Port	Byte Size	Byte Write 使能时， 配置一个 Byte 的位宽。 8: 1Byte = 8bit; 9: 1Byte = 9bit。	8
	Data Width	配置写端口数据位宽。 合法范围： 1~1152。 注： 所占用的 DRM 个数必须小于总资源个数。	18
	Address Width	配置写端口地址位宽。 合法配置范围： 6~20。 注： 读写端口所配置的 RAM 容量大小必须一致。	10
Read Port	Byte Number	Byte Write 使能时， 配置所使用的 Byte 个数。	1
	Data Width	读端口数据位宽。 合法范围： 1~1152。 注： 所占用的 DRM 个数必须小于总资源个数。	18
	Address Width	配置读端口地址位宽。 合法配置范围： 6~20。 注： 读写端口所配置的 RAM 容量大小必须一致。	10
	Enable Output Register	配置是否使能读端口第一级输出寄存， 由 DRM 内部实现。 勾选： 使能输出寄存； 不勾选： 不使能输出寄存。	不勾选
	Enable Output Register in Fabric	配置是否使能读端口第二级输出寄存， 由片上逻辑实现。 勾选： 使能第二级输出寄存； 不勾选： 不使能第二级输出寄存。	不勾选
	Enable rd_oce	配置是否使能 rd_oce 信号。 勾选： 使能 rd_oce 信号； 不勾选： 不使能 rd_oce 信号。 注： 使能 rd_oce 信号时， 两级输出寄存必须最少使能一级， 默认使能第一级。	不勾选
	Enable Clock Polarity Invert	配置是否使能读端口输出时钟极性反向。 勾选： 使能输出时钟极性反向， 读数据在时钟下降沿输出； 不勾选： 不使能输出时钟极性反向， 读数据在时钟上升沿输出。 注： 使能读端口输出时钟极性反向时， 两级输出寄存必须最少使能一级， 默认使能第一级。	不勾选

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
FIFO Flag	Enable wr_water_level	配置是否使能信号。 勾选：使能 wr_water_level 信号； 不勾选：不使能 wr_water_level 信号。	不勾选
	Enable rd_water_level	配置是否使能 rd_water_level 信号。 勾选：使能 rd_water_level 信号； 不勾选：不使能 rd_water_level 信号。	不勾选
	Almost Full Number	配置 FIFO 将满阈值。	1020
	Almost Empty Number	配置 FIFO 将空阈值。	4
Reset Options	Reset Type	配置复位方式。 ASYNC：异步复位； SYNC：同步复位。	ASYNC
	Enable Reset Value Setting	配置是否使能输出数据复位值置位。 勾选：使能复位值置位； 不勾选：不使能复位值置位。	不勾选
	Read Port Reset Value(HEX)	配置输出数据的复位置位值，数据格式为十六进制。	0

注：“-”表示 IP 配置界面无该参数默认值。

2.6.5 异步 FIFO 约束

当 DRM Based FIFO 用作异步 FIFO 时，为了保证 FIFO 的功能，需要在 fdc 文件里对跨时钟域的路径设置 set_max_delay 约束。举例如下：

```
set_max_delay {8.000} -from [get_cells
{U_inst.U_ipm2l_fifo_inst.U_ipm2l_fifo_ctrl.ASYN_CTRL.rptr[*]}] -to [get_cells
{U_inst.U_ipm2l_fifo_inst.U_ipm2l_fifo_ctrl.ASYN_CTRL.wrptr1[*]}]

set_max_delay {6.000} -from [get_cells
{U_inst.U_ipm2l_fifo_inst.U_ipm2l_fifo_ctrl.ASYN_CTRL.wptr[*]}] -to [get_cells
{U_inst.U_ipm2l_fifo_inst.U_ipm2l_fifo_ctrl.ASYN_CTRL.rwptr1[*]}]
```

2.6.6 复位使用说明

1. SYN_FIFO 模式

- rst 信号必须位于 clk 时钟域；
- rst 信号同时对读、写端口进行复位；
- rst 信号有效时（高有效），FIFO 读写指针归零。

2. ASYN_FIFO 模式

- rd_rst 信号必须位于 rd_clk 时钟域, wr_rst 信号必须位于 wr_clk 时钟域;
- wr_rst 信号有效时 (高有效), 对写端口进行复位, 写指针归零;
- rd_rst 信号有效时 (高有效), 对读端口进行复位, 读指针归零。

注意:

- 异步 FIFO 模式下, 对读写端口的复位应当同时进行, 读端口复位释放应晚于写端口复位释放。
 - 只有当 “FIFO Type” 参数设置为 “SYN_FIFO” 时才是同步 FIFO, 设置为 “ASYN_FIFO” 时, 即使两时钟端口连接同一个时钟信号, 也依然是异步 FIFO。
-

2.6.7 读写状态信号

当 DRM Based FIFO 配置成异步 FIFO 时, FIFO 内部包含跨时钟域处理, 这会引起读写状态信号变化的时刻有不确定性。

写操作会引起读状态相关的 empty、almost_empty、rd_water_level 信号值发生改变, 通常情况下, 有 3 个读时钟周期的延迟才发生变化, 但是如果写时钟上升沿和读时钟上升沿接近, 还可能再多延迟 1 个读时钟周期。

同样, 读操作也会引起写状态相关的 full、almost_full、wr_water_level 信号值发生改变, 通常情况下, 有 3 个写时钟周期的延迟才发生变化, 但是如果写时钟上升沿和读时钟上升沿接近, 还可能再多延迟 1 个写时钟周期。

2.7 说明与注意事项

2.7.1 DRM 资源

DRM IP 支持自动选择 DRM 资源。参数 “DRM Resource Type” 配置为 “Auto” 时, IP 会根据 “Address Width”、“Data Width” 及 “Enable Low Power Mode”的设置, 自动选择 DRM 资源 (DRM18K、DRM36K、DRM64Kx1), 并给出对应资源模式下占用的资源数。

2.7.2 端口冲突说明

DRM Based Dual Port RAM 和 DRM Based Simple Dual Port RAM 有两个独立的端口，有可能出现两个端口同时访问同一个地址的情况。在这种情况下，禁止写入数据，应添加相应的用户逻辑加以规避。

2.7.3 复位说明

DRM IP 支持 Latch 输出和两级输出寄存，复位信号²⁸有效时，对应端口的输出数据会被复位，其中第二级输出寄存器不支持复位值置位。

- Latch 输出和第一级输出寄存器（Output Register）可统一配置复位值（对应界面配置参数 Reset Value）；
- 第二级输出寄存器（Output Register in Fabric）的复位值为 0。

2.7.4 混合数据位宽

DRM IP 中的双口 RAM 及 FIFO 类子 IP 支持混合数据位宽功能，即 A/B 端口或读/写端口可以配置成不同数据位宽，但两端口配置的 RAM 容量大小 ($2^{Address\ Width} \times Data\ Width$) 必须一致。混合数据位宽使用规则参见表 2-17。

²⁸ 各子 IP 复位信号的详细描述请参见对应的接口列表：表 2-2、表 2-5、表 2-8、表 2-11、表 2-14。

表 2-17 混合位宽使用规则

DRM IP	DRM 资源	Enable Byte Write	支持的数据位宽比 ²⁹	支持的数据位宽	Address Strobe
DRM Based Dual Port RAM	DRM18K	TRUE	2	$8 \times 2^N, 9 \times 2^N$	不支持
		FALSE	2	$8 \times 2^N, 9 \times 2^N, 2^N$	
			4、8、16	$8 \times 2^N, 2^N$	
	DRM36K	TRUE	2、4	$8 \times 2^N, 9 \times 2^N$	Normal_Write 模式下不支持
		FALSE	2、4	$8 \times 2^N, 9 \times 2^N, 2^N$	支持
			8、16、32	$8 \times 2^N, 2^N$	
DRM Based Simple Dual Port RAM	DRM18K	TRUE	2、4	$8 \times 2^N, 9 \times 2^N$	不支持
		FALSE	2、4	$8 \times 2^N, 9 \times 2^N, 2^N$	
			8、16、32	$8 \times 2^N, 2^N$	
	DRM36K	TRUE	2、4	$8 \times 2^N, 9 \times 2^N$	支持
		FALSE	8	$8 \times 2^N, 9 \times 2^N$	不支持
			2、4	$8 \times 2^N, 9 \times 2^N, 2^N$	支持
			8	$8 \times 2^N, 2^N$	支持
			9×2 ^N		不支持
		TRUE	16、32	$8 \times 2^N, 2^N$	支持
			64	$8 \times 2^N, 2^N$	不支持
DRM Based FIFO	DRM18K	TRUE	2、4	$8 \times 2^N, 9 \times 2^N$	不支持
		FALSE	2、4	$8 \times 2^N, 9 \times 2^N, 2^N$	
			8、16、32	$8 \times 2^N, 2^N$	
	DRM36K	TRUE	2、4、8	$8 \times 2^N, 9 \times 2^N$	不支持
		FALSE	2、4、8	$8 \times 2^N, 9 \times 2^N, 2^N$	
			16、32、64	$8 \times 2^N, 2^N$	

注：N≥0。

2.7.5 RAM/ROM 初始化

DRM IP 中的 RAM/ROM 类子 IP 支持使用初始化文件进行初始化。其中 RAM IP 可通过“Enable Init”选项配置是否使能；ROM IP 默认使能。

1. 初始化文件准备

初始化文件为*.dat 文件，数据内容支持二进制数和十六进制数。用户需要根据 IP 配置的数据位宽及地址深度将用户数据存入*.dat 格式文件中。对于 DRM Based Dual

²⁹ 两端口数据位宽的比值。如果比值为 1/N (N≥1)，该值就取 N。

Port RAM, 数据位宽及地址深度以 A 端口为准;对于 DRM Based Simple Dual Port RAM, 数据位宽及地址深度以写入端口为准。二进制和十六进制初始化文件的示例如图 2-41 和图 2-42 所示。

图 2-41 二进制初始化文件示例 (Data Width: 64, Address Width: 10)

```
1 //注意！该文档为示例文档，实际应用时，请删除注释部分
2 //该示例为数据位宽为64bit，地址位宽为10bit时十六进制初始化文件格式
3 //其中，横向表示数据，纵向表示地址
4 ffffffffffffffff
5 ffffffffffffffff
6 ffffffffffffffff
7 ffffffffffffffff
8 ffffffffffffffff
9 ffffffffffffffff
10 ffffffffffffffff
11 ffffffffffffffff
12 ffffffffffffffff
13 ffffffffffffffff
14 ffffffffffffffff
15 ffffffffffffffff
16 ffffffffffffffff
17 ffffffffffffffff
18 ffffffffffffffff
19 ffffffffffffffff
20 ffffffffffffffff
21 ffffffffffffffff
22 ffffffffffffffff
23 ffffffffffffffff
24 ffffffffffffffff
25 ffffffffffffffff
26 ffffffffffffffff
27 ffffffffffffffff
28 ffffffffffffffff
29 ffffffffffffffff
30 ffffffffffffffff
31 ffffffffffffffff
32 ffffffffffffffff
33 .....
```

图 2-42 十六进制初始化文件示例（Data Width: 64, Address Width: 10）

2. 初始化文件加载

使能初始化后，IPC 工具在生成 IP 时会根据用户提供的*.dat 文件路径加载初始化文件，生成初始化参数配置.v 文件，用于 ROM/RAM 初始化。

注意：

用户须确保初始化文件*.dat 中存储的数据位宽及地址深度与 IP 对应的配置参数保持一致，否则将导致生成 IP 时加载初始化文件失败。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide

3.2 术语表

F

FIFO First Input First Output

R

ROM Read-Only Memory

RAM Random Access Memory

3.3 缩略语表

D

DRM Dedicated RAM Module

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明

3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

3.4.2 免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。