

Pango SSN Estimator 用户手册

(Version 1.0)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2022.07.12	初始版本

目录

文档版本修订记录.....	1
目录.....	2
图目录.....	3
名词术语解释.....	4
1 功能简介	5
2 界面介绍	6
2.1 主界面介绍	6
2.2 Bank 界面介绍	7
3 数据关联性.....	9
4 操作方式.....	10
免责声明.....	12

图目录

图 2-1 用户操作主界面.....	6
图 2-2 Bank 操作主界面	7
图 3-1 VCCN 值确定 I/O Standard	9
图 3-2 VCCN I/O Standard 值确定 Driver strength 和 Slew Rate	9
图 3-3 Aggressor I/Os 总数不能超过指定 bank 的限制	9
图 4-1 软件操作流程.....	11

名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼
SSN	Simultaneous Switching Noise
PNE	Pango SSN Estimator

1 功能简介

Pango SSN Estimator（下文简称 PNE）用于估算用户设计的 PCB design 所受到的同步开关噪声（Simultaneous Switching Noise，简称 SSN）的影响，主要应用于 PCB design 的早期设计阶段，用户可根据估算出来的 SSN 结果，调整 design 的 I/O 分配。

PNE 软件可估算多个 aggressor I/O 同时切换时，远端 victim pin 高低电平的最坏情况噪声。软件中使用的数据是基于一种典型的工艺、电压、温度条件和 PCB 板，通过实验测试的方式获取。用户 design 的实际设计和 PNE 软件假定的工艺、电压、温度条件和 PCB 板都可能不同，这就导致估算工具的 SSN 结果和实际结果之间是有差异的，因此该估算结果只能作为设计早期的一种参考，不能够作为最终的判断结果。

2 界面介绍

2.1 主界面介绍

The screenshot displays the main interface of the Pango SSN Estimator. It features a top menu bar with a 'Help' option. Below this is a configuration section with fields for 'Family', 'Device', and 'Package'. A 'Desired Margin' field is set to 0, and the 'Result Mode' is set to 'Percentage'. The interface is divided into two main sections for I/O bank configuration. The first section is for 'bank_0' with 'Bank Vccn' set to 3.3 and 'Left Aggressor I/Os number' set to 54. It contains a table with 13 columns: I/O Standard, Drive Strength, Slew Rate, Off-Chip Termination, Aggressor I/Os, VIL Threshold, Max FPGA Vol, Vil Margin, VIH Threshold, Min FPGA Voh, Vih Margin, and Pin Limit. The table has 4 rows, all with 'None' for I/O Standard and 'N/A' for other parameters. The second section is for 'bank_1' with 'Bank Vccn' set to 3.3 and 'Left Aggressor I/Os number' set to 42. It contains a similar table with 4 rows, all with 'None' for I/O Standard and 'N/A' for other parameters. At the bottom right, there are 'Add Bank' and 'Remove Bank' buttons.

	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
2	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
2	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

图 2-1 用户操作主界面

➤ 菜单栏

【help】获取使用手册和版本号。

➤ 器件栏

【Family】选择器件系列。

【Device】选择器件类型。

【Package】选择器件封装。

➤ 全局参数栏

【Desired Margin】用户给其他非 SSN 因素影响设定的期望余量。Desired Margin 是一个全局量，对所有 bank 都有效，有电压和百分比两种模式，基于设置的 Result Mode。在 Voltage 模式下可以输入大于等于 0 的值，单位为 V，在 Percentage 模式可以输入 0-100 的值，单位为 %。

【Result Mode】用户选择 Desired Margin 模式，有 Voltage 和 Percentage 两种模式可供选择。

2.2 Bank 界面介绍

Desired Margin 30 % Result Mode Percentage

I/O bank bank_0 Bank Vccn 3.3 Left Aggressor I/Os number: 32

	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	LVCMS33	12.0	FAST	Y	10	0.800	0.000	100.0%	2.000	2.509	39.1%	20
2	LVITL33	16.0	SLOW	Y	12	0.800	0.000	100.0%	2.000	2.509	39.1%	19
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

I/O bank bank_1 Bank Vccn 3.3 Left Aggressor I/Os number: 2

	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	LVCMS33	24.0	SLOW	Y	40	0.800	0.000	100.0%	2.000	2.125	9.6%	19
2	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

图 2-2 Bank 操作主界面

【I/O Bank】选择使用的 I/O bank，可选项为对应 device 剩余的 I/O bank。

【Bank Vccn】选择选定 bank 的电源电压值。

【Left Aggressor I/Os number】bank 内剩余可输入的 I/O 数量。

【I/O Standard】选择对应 bank 下使用的 I/O standard，每个 bank 支持指定 4 种不同的 I/O standard，这些 I/O standard 都基于已选择的 Bank Vccn。

【Drive Strength】指定选择的 I/O standard 对应的 drive strength。

【Slew Rate】指定选择的 I/O standard 对应的 slew rate。

【Off-Chip Termination】表示对应 I/O 是否有 50Ohm 的片外负载。

【Aggressor I/Os】指定选择的 I/O standard、drive strength、slew rate 对应的 aggressor I/O 数目。

【VIL Threshold】选择的 I/O standard 对应的低电压门限值，会根据选择的 I/O standard 自动输入。

【VIH Threshold】选择的 I/O standard 对应的高电压门限值，会根据选择的 I/O standard 自动输入。

【Max FPGA Vol】victim pin 受 SSN 影响能够输出的最大低电平电压。

【Vil Margin】victim pin 对应输出的低电平余量，有绝对电压值和相对百分比两种形式，如果不满足用户设定的 Desired Margin，会标红提示违例。

【Min FPGA Voh】victim pin 受 SSN 影响能够输出的最小高电平电压。

【Vih Margin】victim pin 对应输出的高电平余量，有绝对电压值和相对百分比两种形式，如果不满足用户设定的 Desired Margin，会标红提示违例。

【Pin Limit】victim pin 能够承受对应 I/O standard 的最大 aggressor I/O 数目，并且不会超出 bank 的总 I/O 数目，如果超出了能够承受的最大 aggressor I/O 数目，会标红提示违例。

【Add Bank】添加一个新的 bank，bank 的最大数目不能超过 device 的限制。

【Remove Bank】删除最下面的 bank，bank 的最小数目为默认 2 个 bank。

3 数据关联性

- 每个 Bank 内 I/O standard 的可选项由对应选择 Bank Vccn 确定。

I/O bank bank_0 Bank Vccn 3.3 Left Aggressor I/Os number: 32												
	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	LVCMS33	4.0	FAST	N	10	0.800	0.000	100.0%	2.000	2.603	46.3%	42
2	LVTL33	16.0	SLOW	Y	12	0.800	0.000	100.0%	2.000	2.603	46.3%	26
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

图 3-1 VCCN 值确定 I/O Standard

- Driver strength、Slew Rate 的可选项由对应选择的 I/O Standard 确定。

I/O bank bank_0 Bank Vccn 3.3 Left Aggressor I/Os number: 32												
	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL Threshold	Max FPGA Vol	Vil Margin	VIH Threshold	Min FPGA Voh	Vih Margin	Pin Limit
1	LVCMS33	4.0	FAST	N	10	0.800	0.000	100.0%	2.000	2.603	46.3%	42
2	LVTL33	16.0	SLOW	Y	12	0.800	0.000	100.0%	2.000	2.603	46.3%	26
3	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A
4	None	N/A	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

图 3-2 VCCN I/O Standard 值确定 Driver strength 和 Slew Rate

- 不同 bank 决定该 bank 下可输入的 Aggressor I/Os 总数，当输入总数超过 bank 显示，会弹框提示错误

I/O bank bank_0 Bank Vccn 3.3 Left Aggressor I/Os number: 54												
	I/O Standard	Drive Strength	Slew Rate	Off-Chip Termination	Aggressor I/Os	VIL	Max FPGA	Vil	VIH	Min FPGA	Vih	Pin Limit
1	None	N/A	N/A	N/A	55					N/A	N/A	N/A
2	None	N/A	N/A	N/A	0					N/A	N/A	N/A
3	None	N/A	N/A	N/A	0					N/A	N/A	N/A
4	None	N/A	N/A	N/A	0					N/A	N/A	N/A

图 3-3 Aggressor I/Os 总数不能超过指定 bank 的限制

- 当 I/O Standard 选定，那么高低电平的门限电压 Vil Threshold 和 Vih Threshold 就已经确定。

4 操作方式

在 PCB design 的早期设计阶段，如果知道 design 设计的 I/O 标准，那么就可以使用 pne 软件估算 design SSN 影响，软件的使用步骤如下：

- 打开 pne 软件。
- 选择使用的 Device。
- 选择输出结果的模式 Result Mode，有 Voltage 和 Percentage 两种模式。
- 根据选择的 Result Mode，对应输入用户想要预留的余量 Desired Margin。
- 使用 Add Bank 或 Remove Bank 添加或删除使用的 bank，并选择对应的 bank 电源电压。
- 在对应 bank 内输入 I/O Standard、Drive Strength、Slew Rate、Aggressor I/O number。
- 观察所有 bank 的 SSN 结果，如果存在违例情况，即 bank 内的 SSN 影响过大，超出了用户的期望值。然后就需要调整 bank I/O 的分配和配置，提高 SSN 的估算结果，直到所有的 bank 都满足用户的 Desired Margin 需求。

软件操作流程图如下所示：

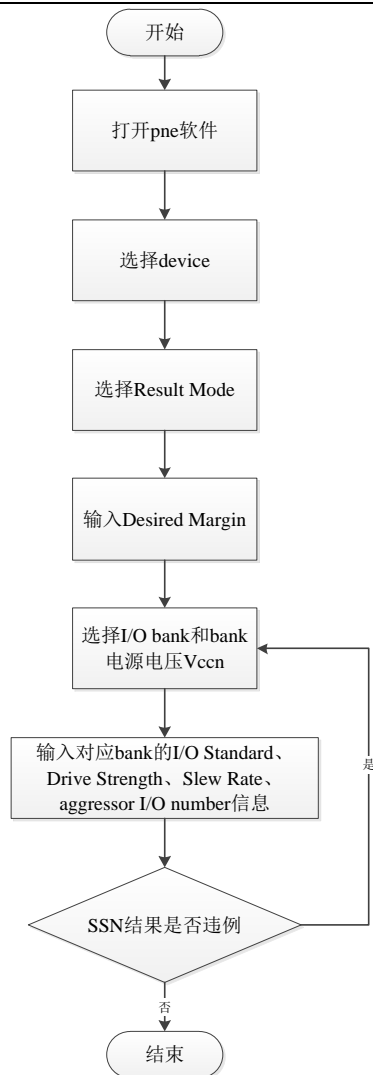


图 4-1 软件操作流程

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。