

OPHW-25H

硬
件
指
导
手
册

2025-11-11 V1.1

目录

1 开发板介绍	3
1.1 概述	3
1.2 资源介绍	4
1.2.1 FPGA芯片	4
1.2.2 时钟	4
1.2.3 DDR3	5
1.2.4 FLASH	7
1.3 外设介绍	8
1.3.1 HDM输出	8
1.3.2 10/100/1000M以太网接口	9
1.3.3 PCIE X2 接口	10
1.3.4 SFP接口	10
1.3.5 40Pin扩展口	11
1.3.6 PMOD扩展口	11
1.3.7 USB转串口	12
1.3.8 JTAG调试接口	12
1.3.9 预留SDI扩展接口	13
1.3.10 按键	13
1.3.11 LED	13
1.3.12 EEPROM	14
1.3.13 XADC	14
1.4 电源介绍	14
1.5 尺寸	15

1 开发板介绍

1.1 概述

开发板主要由FPGA芯片+1颗DDR3+Flash+电源及复位构成，承担了FPGA 的最小系统运行及高速数据处理和存储的功能。FPGA 选用的是紫光同创28nm 工艺的FPGA（logos-2 系列：PG2L25H-6IMBG325）；PG2L25H 和DDR3 之间的数据交互时钟频率最高到533MHz，1颗DDR3 的数据位宽为16bit，总数据带宽最高到17056（ 1066×16 ）Mbps，充分满足了高速多路数据存储的需求；另外PG2L25H FPGA 带有4 路HSST 高速收发器，每路速度高达6.6Gb/s，非常适合用于光纤通信和PCIE数据通信；电源采用矽力杰SQ20953将来自输入电源的12V转换成5V，再由多颗矽力杰SQ28704来产生不同的电源电压。

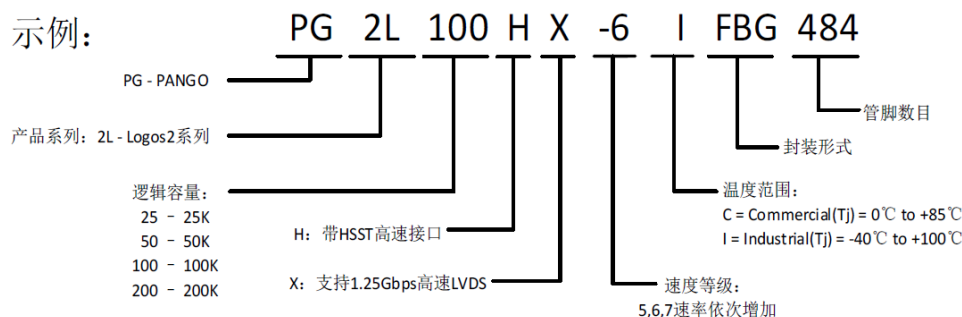
开发板扩展了丰富的外围接口，预留HDMI 输出接口用于图像验证及处理；预留的SFP 光纤接口、10/100/1000M 以太网接口，PCIE 接口，方便各类高速通信系统验证；预留了一个40pin 的IO 扩展连接器，2路PMOD扩展连接器，方便用户在开发平台基础上验证模块电路功能。

放图（板子实物图）

1.2 资源介绍

1.2.1 FPGA芯片

OPHW-25H开发板使用的FPGA芯片型号为PG2L25H-6IMBG325，属于紫光同创公司Logos-2系列的产品，速度等级为-6，温度等级为工业级。此型号为MBG325封装，324个引脚。紫光同创Logos-2 FPGA 的芯片命名规则如下：



其中FPGA 芯片PG2L25 H 的主要参数如下所示：

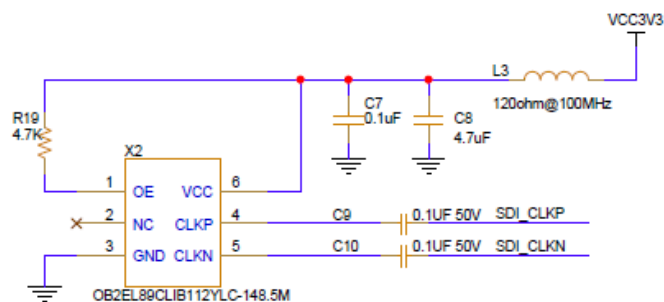
名称	具体参数
逻辑单元	26700
LUTs	17800
Flip-Flops（个）	35600
块RAM(Kbit)	1980
最大用户IO	150
APM(25*18)	80
PCIe Gen2x4	1
HSST（6.6Gbps）	4
速度等级	-6
温度等级	工业级

1.2.2 时钟

OPHW-25H上配有1 个148.5MHz 有源差分晶振、1 个单端有源50MHz 晶振。差分晶振用于HSST 收发器的参考时钟输入；单端有源50MHz用于FPGA 的系统时钟源。

1.2.2.1 差分晶振

下图中的X2为148.5MHz有源差分晶振电路，此时钟是给FPGA 内部的HSST 模块提供的参考输入时钟。晶振输出连接到FPGA HSST BANK 的时钟管脚上。

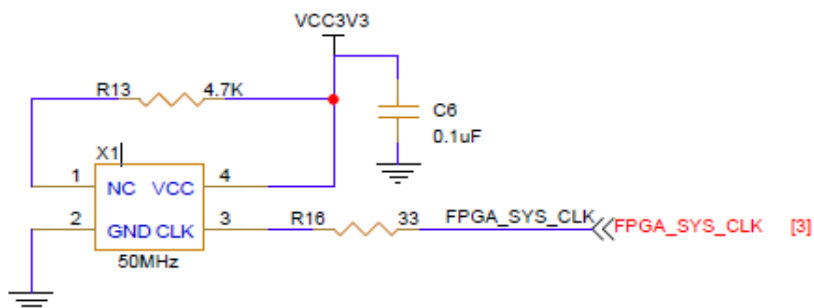


管脚分配见下表，

信号	BGA PIN
SDI_CLKP	B6
SDI_CLKN	B5

1.2.2.2 单端晶振

下图中的X1即为50MHz有源晶振电路，此时钟接到给FPGA 内部的全局时钟管脚上，可为FPGA 提供的参考输入时钟。



管脚分配见下表，

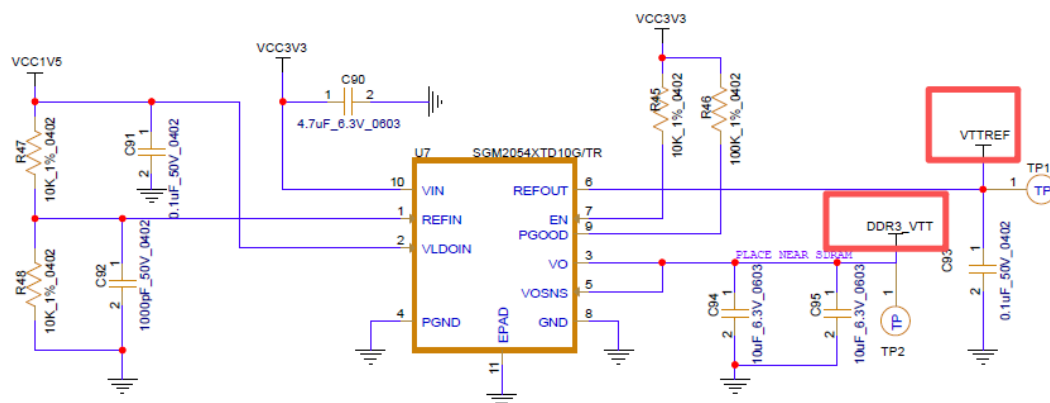
信号	BGA PIN
SDI_CLKP	P3

1.2.3 DDR3

OPHW-25H开发板上配有1颗Micron 公司的1Gbit（128MB）的DDR3 芯片,型号为MT41K64M16。DDR3的总线宽度共为16bit。DDR3 SDRAM 的最高运行时钟速度可达400MHz(数据速率800Mbps)。该DDR3 存储系统直接连接到了FPGA 的BANK-R5, DDR3 SDRAM的硬件连接示意图如下图所示:

放图（DDR3，画原理图的肖工有画）

PG2L25H 内可运行 DDR 控制器最大支持位宽可达 32bit，速度高达 533MHz（1066Mbps）。DDR3 使用 1.5V SSTL 接口标准，在 OPHW-25H 开发板上 PG2L25H 与 DDR3 紧密的排列在一起，保持连接和匹配。DDR3 布线采用 50 欧姆走线阻抗用于单端信号，DCI 电阻（VRP / VRN）以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上都需要 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V，以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随，保持为 1/2 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出，等于 1/2 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的，可为 DDR 电平转换提供更清晰的参考。DDR3 参考电压及上拉跟随电压原理图如下。



该 DDR3 存储系统直接连接到了 PG2L25H 的 Bank R5 上；DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。DDR3 的具体管脚分配如下：

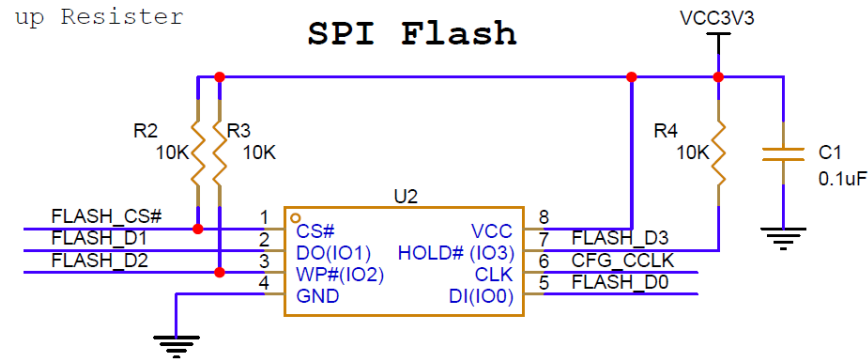
信号	BGA PIN	信号	BGA PIN
FPGA_DDR3_A0	U5	FPGA_DDR3_DQ15	P4
FPGA_DDR3_A1	L5	FPGA_DDR3_DQ14	N2
FPGA_DDR3_A2	U6	FPGA_DDR3_DQ13	N3
FPGA_DDR3_A3	K6	FPGA_DDR3_DQ12	M4
FPGA_DDR3_A4	R7	FPGA_DDR3_DQ11	N6
FPGA_DDR3_A5	K5	FPGA_DDR3_DQ10	M6
FPGA_DDR3_A6	P6	FPGA_DDR3_DQ9	M1
FPGA_DDR3_A7	J4	FPGA_DDR3_DQ8	M2
FPGA_DDR3_A8	P5	FPGA_DDR3_DQ7	R2

FPGA_DDR3_A9	V6	FPGA_DDR3_DQ6	R1
FPGA_DDR3_A10	T4	FPGA_DDR3_DQ5	V2
FPGA_DDR3_A11	L4	FPGA_DDR3_DQ4	T3
FPGA_DDR3_A12	R6	FPGA_DDR3_DQ3	T2
FPGA_DDR3_BA0	U7	FPGA_DDR3_DQ2	V3
FPGA_DDR3_BA1	T7	FPGA_DDR3_DQ1	K3
FPGA_DDR3_BA2	V4	FPGA_DDR3_DQ0	L3
FPGA_DDR3_CK_P	R5	FPGA_DDR3_DQS1_P	N1
FPGA_DDR3_CK_N	T5	FPGA_DDR3_DQS1_N	P1
FPGA_DDR3_CKE	R3	FPGA_DDR3_DQS0_P	K2
FPGA_DDR3_CS#	V8	FPGA_DDR3_DQS0_N	K1
FPGA_DDR3_RAS#	U1	FPGA_DDR3_DM1	N4
FPGA_DDR3_CAS#	U2	FPGA_DDR3_DM0	L2
FPGA_DDR3_WE#	U4	FPGA_DDR3_ODT	V7
FPGA_DDR3_RESET#	J5		

1.2.4 FLASH

OPHW-25H开发板具有4 位SPI（QSPI）串行Nor 闪存，使用的是华邦W25Q128JV。连接在PG2L25H 的特定引脚上，采用3.3V 电平标准。

QSPI 的电路连接如下：



管脚分配如下：

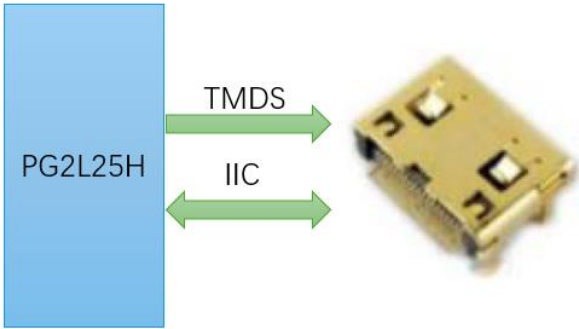
信号	BGA PIN
FLASH_CS#	L15
FLASH_D0	K16

FLASH_D1	L17
FLASH_D2	J15
FLASH_D3	J16
CFG_CCLK	E8

1.3 外设介绍

1.3.1 HDM输出

HDMI 输出接口的实现，是通过FPGA 的4 路LVDS 差分信号（3 路数据和一路时钟）以及IIC接口直接驱动HDMI 输出，为开发板提供不同格式的视频输出接口，另外在硬件设计上，每对LVDS 差分信号上增加了ESD保护管，防止外面静电对FPGA 的损坏。HDMI 输出接口的硬件连接如下图所示。

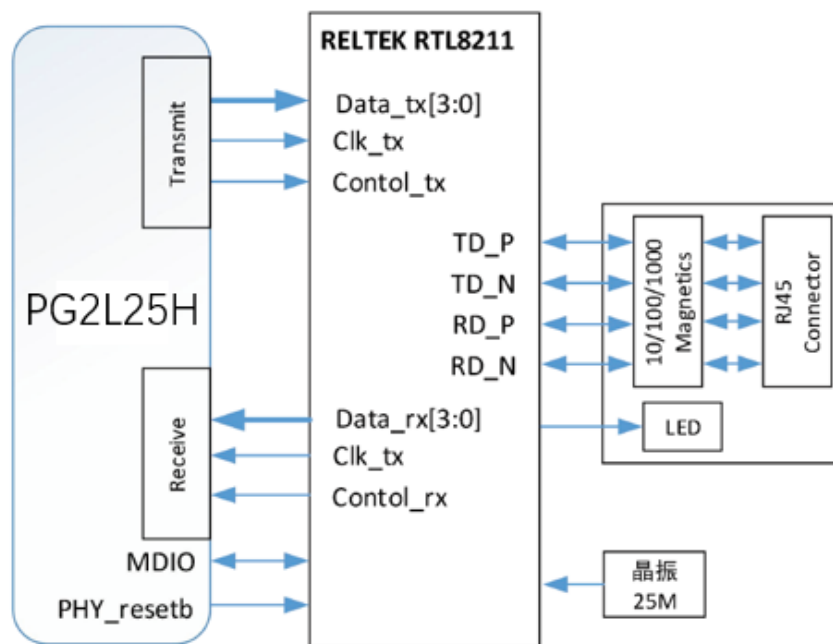


HDMI管脚分配如下：

信号	BGA PIN
HDMI_CLK_N	R17
HDMI_CLK_P	R16
HDMI_D0_N	T15
HDMI_D0_P	T14
HDMI_D1_N	K15
HDMI_D1_P	J14
HDMI_D2_N	R14
HDMI_D2_P	P14
HDMI_HPD	R18
HDMI_SDA	M15
HDMI_SCL	U14

1.3.2 10/100/1000M以太网接口

OPHW-25H开发板使用Realtek RTL8211 PHY 实现了一个10/100/1000M以太网端口，用于网络连接。该器件工作电压为支持2.5V、3.3V。PHY 连接到BANK L5，并通过RGMII 接口连接到PG2L25H。RJ-45 连接器是HC-RJ45-5JA-1-2，网络变压器为G2406S。RJ-45 有两个状态指示灯LED，用于指示流量和有效链路状态。下图显示了OPHW-25H开发板上的网口连接框图。



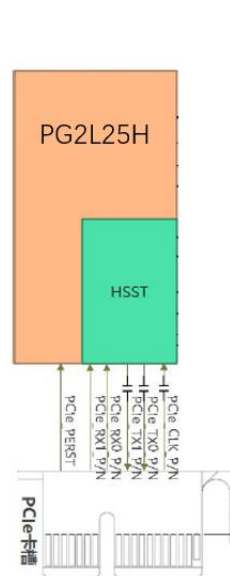
下表为网口1 对应PG2L25H 与RTL8211 的管脚连接。

信号	BGA PIN
ETH_TXD0	T12
ETH_TXD1	V13
ETH_TXD2	V12
ETH_TXD3	V14
ETH_TXCTL	R13
ETH_TXCK	V17
ETH_RXD0	V9
ETH_RXD1	U9
ETH_RXD2	V11
ETH_RXD3	U11
ETH_RXCTL	U12

ETH_RXCK	P15
ETH_MDIO	V16
ETH_MDC	U16
ETH_INTB	T13
ETH_RESET	U10

1.3.3 PCIE X2 接口

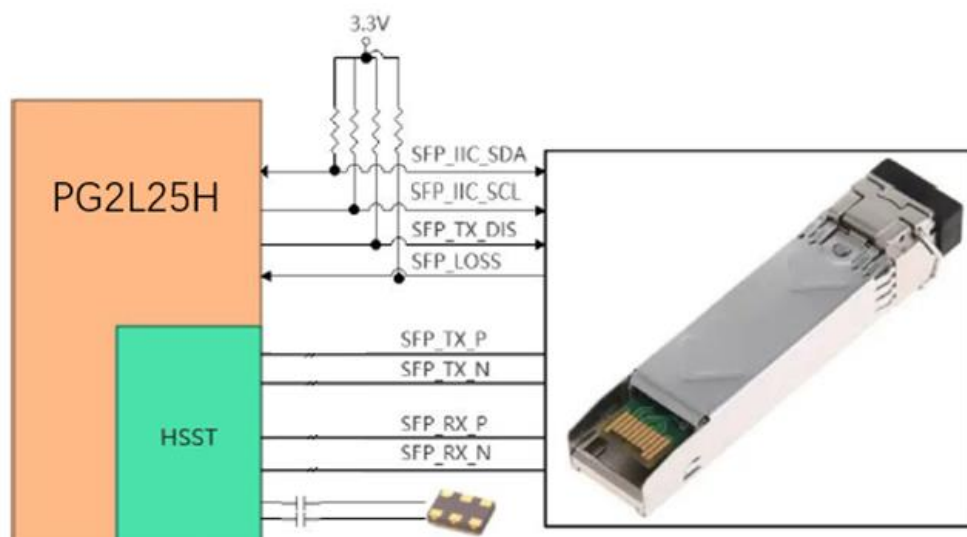
OPHW-25H扩展底板上提供一个工业级高速数据传输PCIe x2 接口，PCIe卡的外形尺寸符合标准PCIe 卡电气规范要求，可直接在普通PC 的x4 PCIe插槽上使用。PCIe 接口的收发信号直接跟FPGA 的HSST 收发器相连接，两通道的TX信号和RX 信号都是以差分信号方式连接到FPGA，单通道通信速率可高达5G bit 带宽。PCIe 的参考时钟由PC 的PCIe 插槽提供给开发板，参考时钟频率为100Mhz。开发板的PCIe 接口的设计示意图如上光纤连接参考图所示,其中TX 发送信号和参考时钟CLK 信号用AC 耦合模式连接。



下表显示了PG2L25H 与PCIe 卡槽的管脚连接。

1.3.4 SFP接口

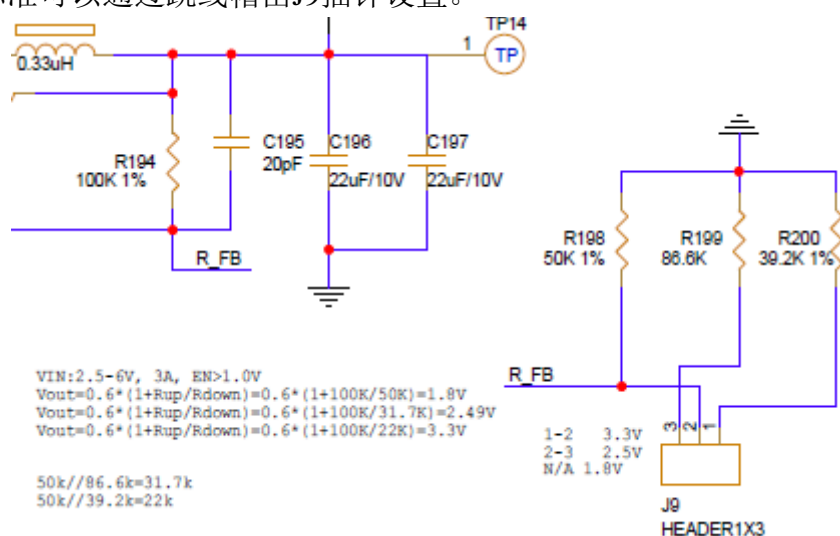
OPHW-25H 板上有1 路光纤接口，用户可以购买光模块(市场上1.25G，2.5G光模块) 插入到这光纤接口中进行光纤数据通信。光纤接口跟FPGA 的HSST 收发器的RX/TX 相连接，TX 信号和RX 信号都是以差分信号方式通过隔直电容连接FPGA 和光模块，TX 发送和RX 接收数据速率高达6.6Gb/s。HSST 收发器的参考时钟由板载的148.5M 差分晶振提供。FPGA 和光纤设计示意图如下图所示：



下表显示了PG2L25H 与SFP 接口的管脚连接。

1.3.5 40Pin扩展口

扩展板预留1 个2.54mm 标准间距的40 针的扩展口J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有40 个信号，其中，5V 电源1 路，3.3V 电源2 路，地3 路，IO 口34 路，IO电平标准可以通过跳线帽由J9插针设置。

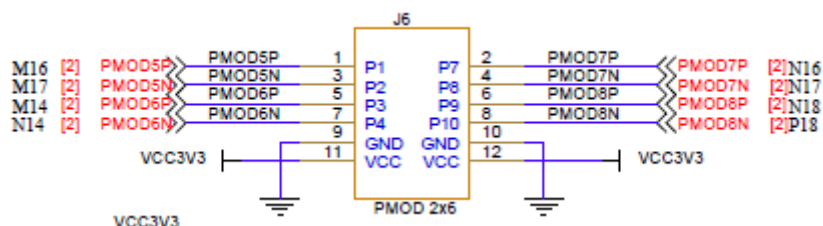


切勿IO 直接跟5V 设备直接连接，以免烧坏FPGA。

如果要接5V 设备，需要接电平转换芯片。

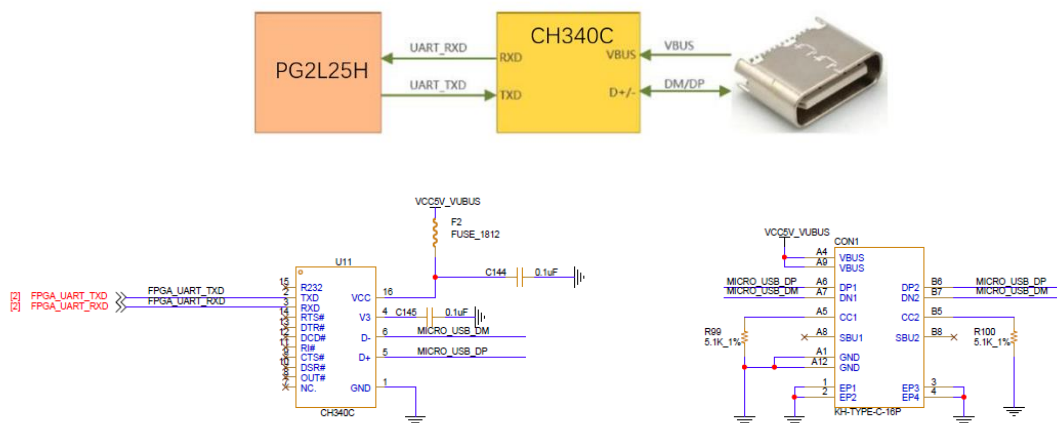
1.3.6 PMOD扩展口

OPHW-25H扩展底板预留了2个12 针2.54mm 间距的PMOD 接口用于连接FPGA 的IO 和外部模块或电路，其中J5的电平标准可调，J6的电平标准为3.3V。PMOD 连接器的原理图如下图所示。



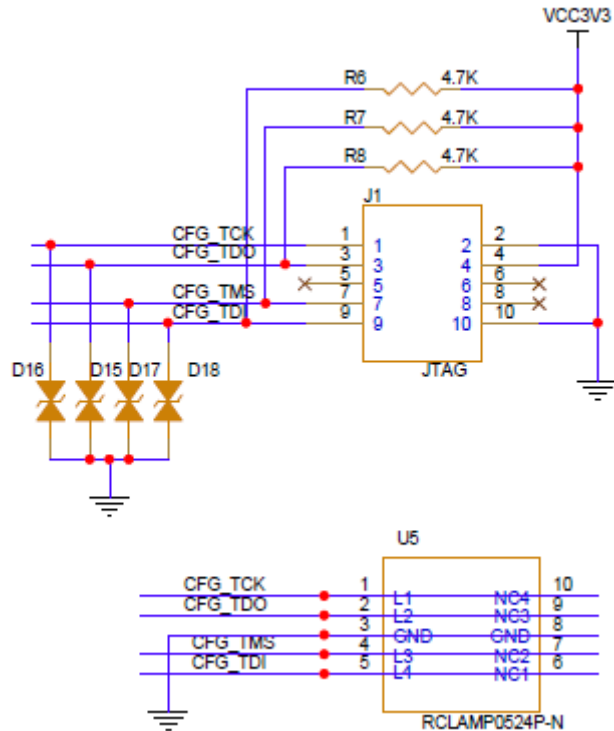
1.3.7 USB转串口

OPHW-25H 扩展底板上集成了一路USB 转串口模块，采用的USB-UART 芯片是CH340C , USB 接口采用USB Type C 接口，可以用一根USB Type C 线将它连接到上PC 的USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示：

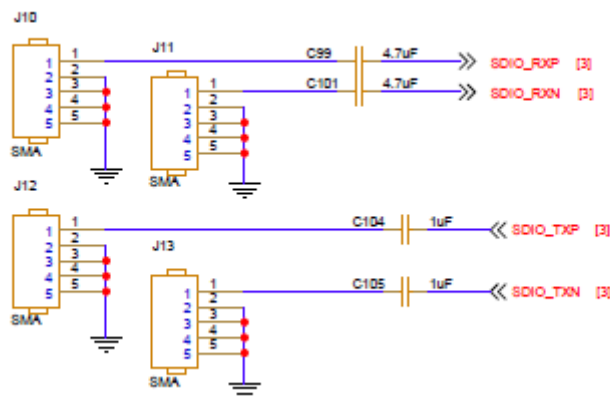


1.3.8 JTAG调试接口

OPHW-25H开发板预留了一个JTAG 接口，用于下载FPGA 程序或者固化程序到FLASH。为了带电插拔造成对FPGA 芯片的损坏，我们在JTAG 信号上添加了TVS管和ESD 来保证信号的电压在FPGA 接受的范围，避免FPGA 的损坏。



1.3.9 预留SDI扩展接口



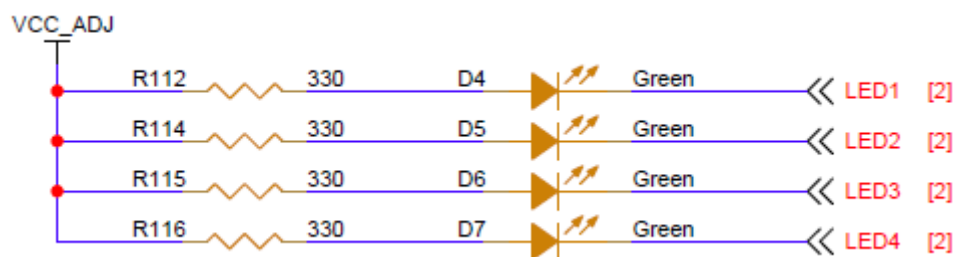
1.3.10 按键

OPHW-25H 扩展底板提供了4 个用户按键（SW2～5）；1 个重加载按键，重加载按键通过一个延时复位芯片连接到PG2L25H 的RSTN 管脚；4个用户按键都连接到PG2L25H 的普通IO 上，按键低电平有效，但按键按下时，IO 上的输入电压为低；当没有按下按键时，IO 上的输入电压为高电平；

1.3.11 LED

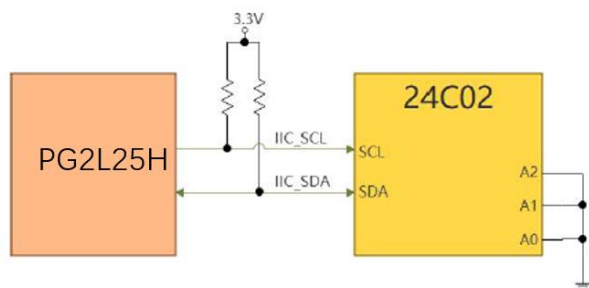
OPHW-25H开发板有7个翠绿LED 灯，其中1 个是电源指示灯（POWER）；1 个是FPGA 的运行的状态指示灯： DONE； 4 个是用户LED 灯（LED1～4）。连接在PG2L25H BANK L4 的IO 上，FPGA 输出低电平时对应的LED 灯亮灯，

板上LED 灯功能电路图：



1.3.12 EEPROM

MES50HP 开发板板载了一片EEPROM，型号为24LC02,容量为：2Kbit（1*256*8bit），由1个256byte的block组成,通过IIC总线进行通信。板载EEPROM就是为了学习IIC总线的通信方式。EEPROM的I2C信号连接的FPGA的IO口上。下图为EEPROM的设计示意图；



1.3.13 XADC

1.4 电源介绍

开发板的电源输入电压为+12V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。扩展板上通过1路DC/DC电源芯片SQ20953把+12V电压转化成+5V电源；再通过5路DC/DC电源芯片SQ28704将+5V转化成+3.3V，+1.8V，+1.0V、+1.5V VCCADJ 5路电源，5路输出电流可高达4A。其中VCCADJ产生VCCIO的电压可调，VCCADJ主要是对FPGA的BANK L4进行供电，用户可以通过修改电源电阻的阻值调整电压，使得BANK L4的IO适应不同的电压标准。MGTAVCC和MGTAVTT是高速收发器的电源，有两片电流为1A的LDO SY6301产生。1.5V通过圣邦微的SGM2054生成DDR3需要的VTT和VREF电压。各个电源分配的功能如下表所示：

电源	功能用途
12V	总电源
5.0V	输入电源
1.0V	PG2L25H的内核电压

1.8V	PG2L25H 的逻辑供电
3.3V	I/O 电压，辅助电源，部分接口（晶振，FLASH）供电电压
VCCADJ	可调I/O 电压
1.5V	DDR3 供电电压，PG2L25H Bank R5电源
VTT(0.75V)	DDR3 控制线与地址线的上拉电压，保持信号完整性
VREF(0.75V)	DDR3 参考电压
MGTAVCC、MGTAVTT	PG2L25H HSST电源

1.5 尺寸

