

Pango Design Suite 快速入门

(Version 1.1)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2022.7.12	初始版本
V1.1	2022.8.19	更新图片

目录

1	PANGO DESIGN SUITE 简介.....	5
2	基本操作流程.....	6
2.1	启动软件.....	6
2.1.1	软件要求.....	6
2.1.2	其它要求.....	6
2.1.3	启动 Pango Design Suite 软件.....	6
2.2	新建工程.....	8
3	COMPILE.....	14
4	添加文件.....	16
2.2.1	添加源文件.....	16
2.2.2	添加约束文件(可选).....	18
2.2.3	添加 simulation 文件.....	22
5	SYNTHESIZE.....	25
6	DEVICE MAP.....	27
7	PLACE & ROUTE.....	28
8	GENERATE BITSTREAM.....	30

图目录

图 2-1 Pango Design Suite 桌面快捷方式.....	7
图 2-2 Pango Design Suite 快捷方式.....	7
图 2-3 Pango Design Suite 软件开启后的界面.....	8
图 2-4 New Project 快捷方式.....	8
图 2-5 新建工程向导.....	9
图 2-6 选择工程路径.....	9
图 2-7 选择工程类型.....	10
图 2-8 添加 design 文件.....	11
图 2-9 添加 IP 文件.....	12
图 2-10 添加约束文件.....	12
图 2-11 选择器件.....	12
图 2-12 新建工程 summary.....	13
图 2-13 建立工程后的 Pango Design Suite 主界面.....	13
图 3-1 运行 Compile 时的软件界面.....	14
图 3-2 Compile Report.....	15
图 4-1 Source 界面添加源文件.....	16
图 4-2 Source 界面右键添加源文件.....	16
图 4-3 建立工程后的 Pango Design Suite 主界面.....	17
图 4-4 添加设计文件.....	17
图 4-5 添加设计文件后的软件界面.....	18
图 4-6 添加约束文件.....	18
图 4-7 添加约束文件.....	19
图 4-8 添加源文件界面.....	19
图 4-9 添加约束文件选择界面.....	20
图 4-10 添加约束文件界面.....	20
图 4-11 Tools 菜单下 Physical Constraint Editor (Post-Map)	21
图 4-12 添加物理约束.....	21
图 4-13 添加物理约束后的 Physical Constraint Editor 界面.....	22

图 4-14 Source 界面中工具栏添加仿真文件.....	22
图 4-15 添加仿真源文件选择界面.....	23
图 4-16 添加仿真文件界面.....	23
图 4-17 添加仿真文件后界面.....	24
图 5-1 运行 Synthesize 时的软件界面.....	25
图 5-2 Synthesize Report.....	26
图 6-1 运行 Device Map 时的软件界面.....	27
图 7-1 运行 Place & Route 时的软件界面.....	28
图 7-2 Place & Route Report.....	29
图 8-1 运行 Generate Bitstream 时的软件界面.....	30

1 Pango Design Suite 简介

Pango Design Suite 是一款致力于 FPGA 开发的工具软件，其主要功能包括设计输入、综合、仿真、实现和位流生成。Pango Design Suite 具有界面友好、操作简单等特点，能够实现 FPGA 开发的主要过程。此快速入门将介绍 Pango Design Suite 的基本操作流程。

2 基本操作流程

基本操作流程均基于 Logos 系列的 PGL50H 进行介绍，无特殊说明时均采用默认选项配置。

本快速入门主要包括以下章节：

1. 启动软件
2. 新建工程
3. 添加文件
4. Compile
5. Synthesize
6. Device Map
7. Place & Route
8. Generate Bitstream

2.1 启动软件

2.1.1 软件要求

使用本快速入门需要安装如下软件：

Pango Design Suite 2017.2B-patch2 (2017.2B-patch2 为版本号，不同的版本会有不同的版本名称，具体名称以发布版本为准)

2.1.2 其它要求

使用本快速入门需要准备好设计向量（默认安装路径时位于 C:\pango\PDS_2015.1\example\add 文件夹），示例使用 design 为： add.v 或综合后的 add.vm 以及时序约束文件 add.sdc 和物理约束文件 add.pcf。

2.1.3 启动 Pango Design Suite 软件

双击桌面的 Pango Design Suite 快捷方式，可启动 Pango Design Suite。如下图所示：



图 2-1 Pango Design Suite 桌面快捷方式

或依次点击开始菜单→所有程序→pango→Pango Design Suite 软件版本（如图所示）中相应 Pango Design Suite 的快捷方式，即可启动 Pango Design Suite。如下图所示：

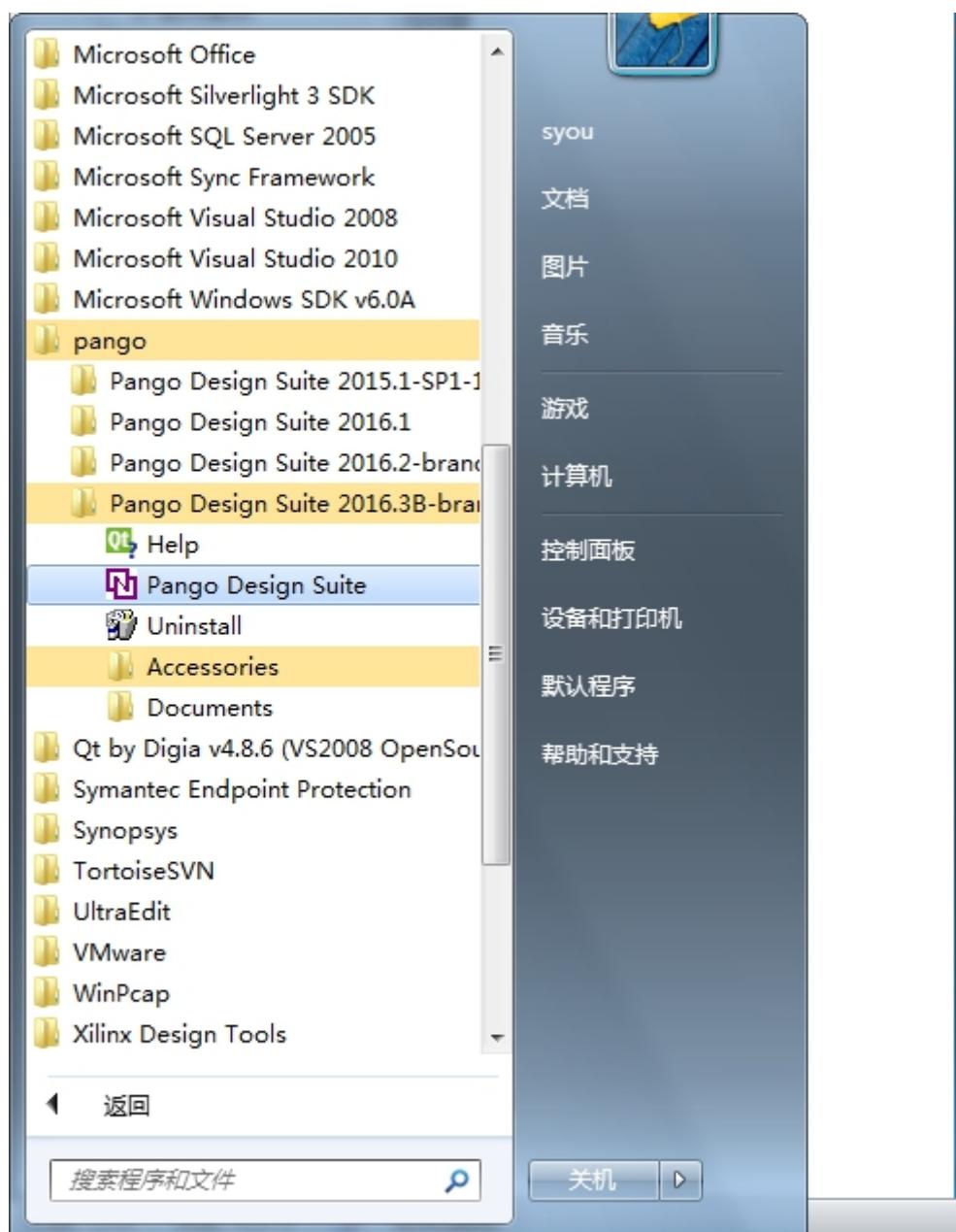


图 2-2 Pango Design Suite 快捷方式

Pango Design Suite 软件开启后的界面，如下图所示：

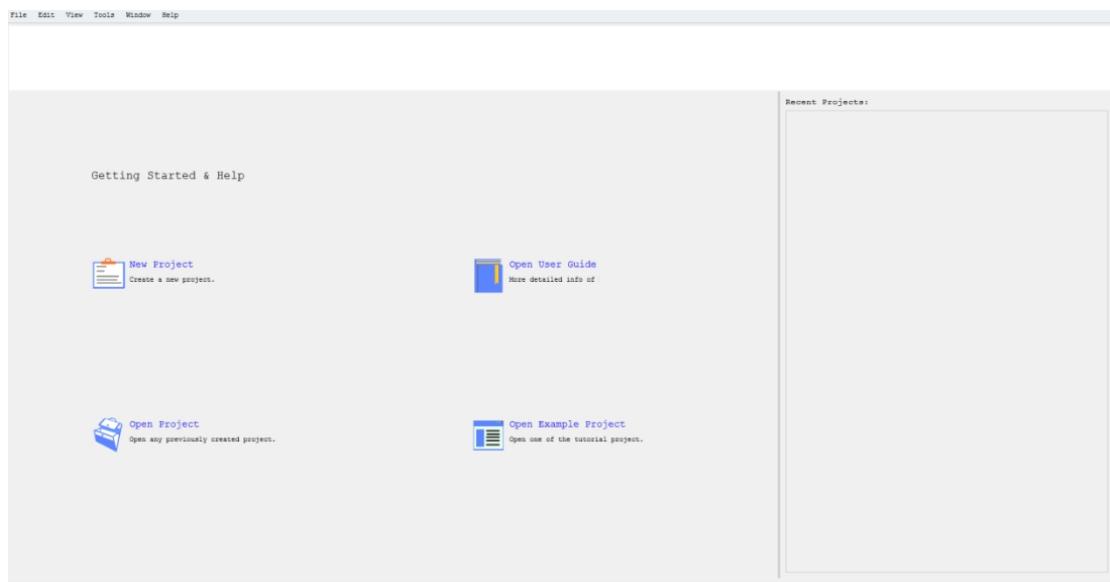


图 2-3 Pango Design Suite 软件开启后的界面

每次启动软件时，如果软件的 license 快到期(小于等于 30 天)，会提示 license 到期时间。能够让用户有足够的时间提前规划申请 license，以免耽误项目进度。

2.2 新建工程

通过打开新建工程向导【New Project】，然后对其设置完成新建工程。

在软件启动的初始界面中打开新建工程向导。通过 New Project 快捷方式打开。如下图所示：

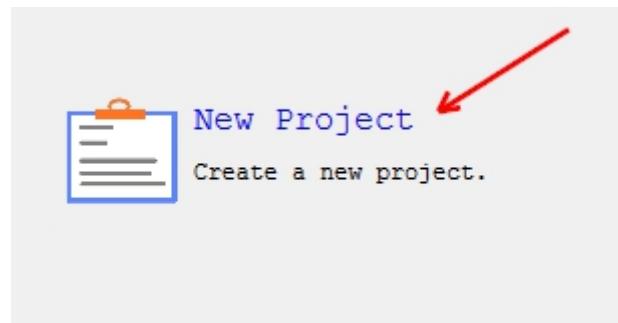


图 2-4 New Project 快捷方式

新建工程向导【New Project】，如下图所示

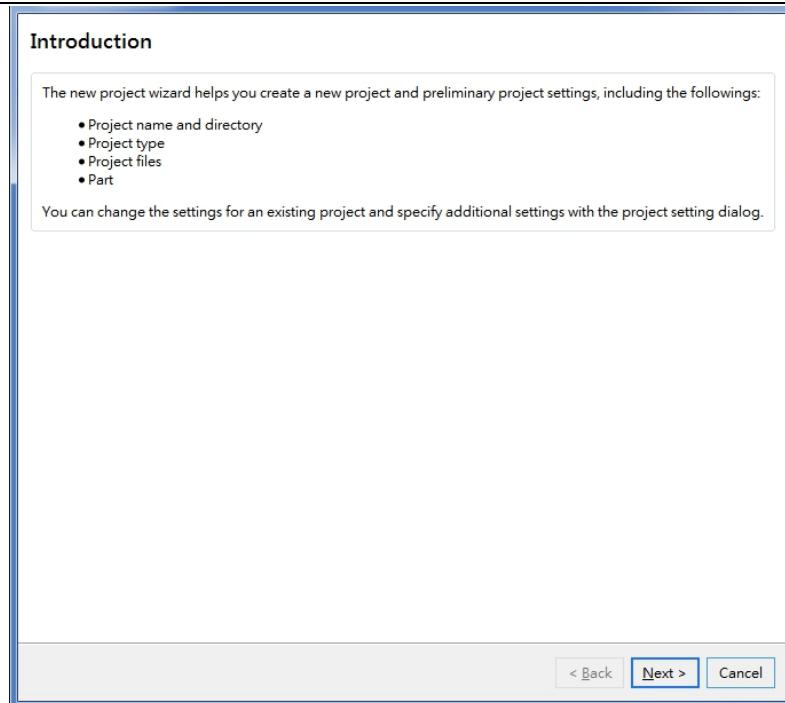


图 2-5 新建工程向导

新建工程简单介绍。新建工程大致包括设置工程名和工程路径、工程类型、工程文件及器件信息。单击 Next 出现如下界面：

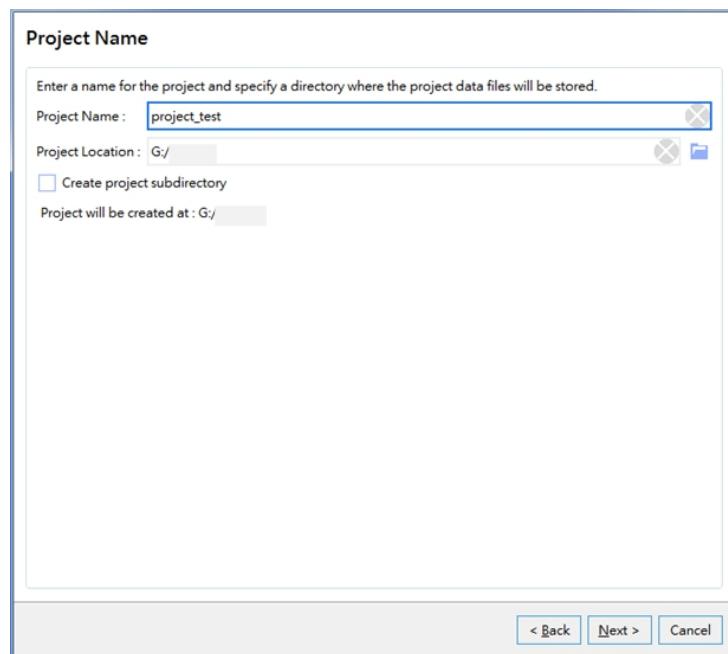


图 2-6 选择工程路径

【Project Name】默认为 project，是工程文件名称。（只允许字母、数字、下划线（_）、杠（-）、点（.）。此示例默认为 project。特殊的，IPC 文件名只允许字母、数字和下划线（_）。

【Project Location】 用于选择新工程的工作路径（文件夹名只允许字母、数字、下划线（_）、杠（-）、点（.）、@、~、,、+、=、#、空格（ ），但空格不能出现在路径名首尾），即工程文件放置的路径。比如选择添加文件时，软件添加文件的对话框就会以该路径作为默认路径。软件除支持工程文件模式的运行方式以外，也支持脚本模式，其脚本中的相对路径就是相对于此路径。如 tcl 命令 add_design -verilog ./add.v，就是默认在该工作路径中。一般情况下，源文件等文件会放到此文件夹下。此示例选择 E:/work。

【Create Project Subdirectory】 将工程文件名作为工作目录的一部分。

设置好工程名和工程路径后，单击 Next 出现选择工程类型界面：

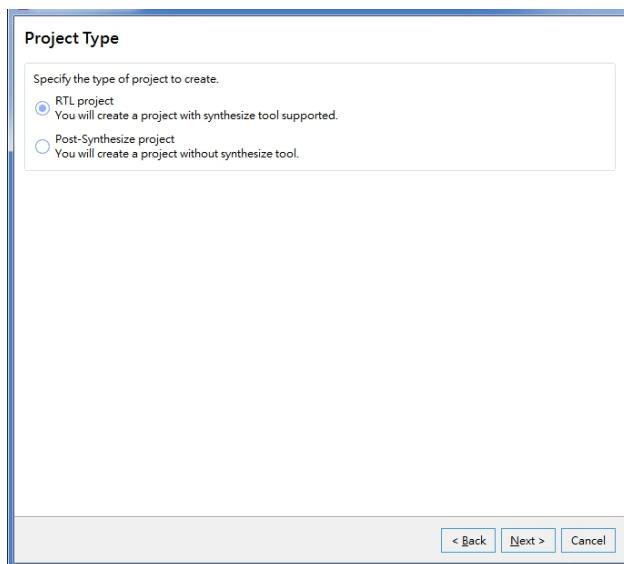


图 2-7 选择工程类型

【RTL Project】 用于创建 RTL 工程。新建的工程可以执行 synthesize, device map, place& route, report timing, report power, generate netlist 及 generate bitstream 等。

【Post-Synthesize Project】 用于创建综合后工程。新建的工程可以执行 device map, place& route, report timing, report power, generate netlist 及 generate bitstream 等。

选择好工程类型后，点击 Next 出现添加 rtl 文件界面：

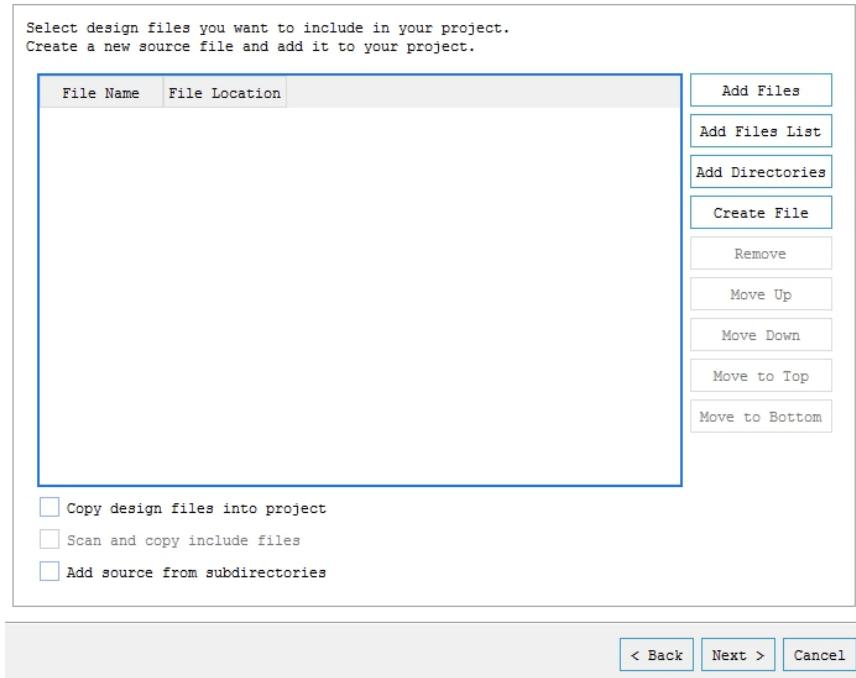
Add Design Source Files

图 2-8 添加 design 文件

该界面可以 Add Files 和 Add Directories 来添加 rtl 源文件及新建 rtl 源文件，以及调整 rtl 文件编译顺序，Add Files 添加选中的文件，Add Directories 添加选中的文件夹下所有合适的文件，若勾选了下方的 Add source from subdirecotires 则添加所有的子目录下合适的文件，添加完 rtl 文件后，单击 Next 出现添加 IP 界面，IP 界面的 Add Files 与 Add Directories 与上述相同如下：

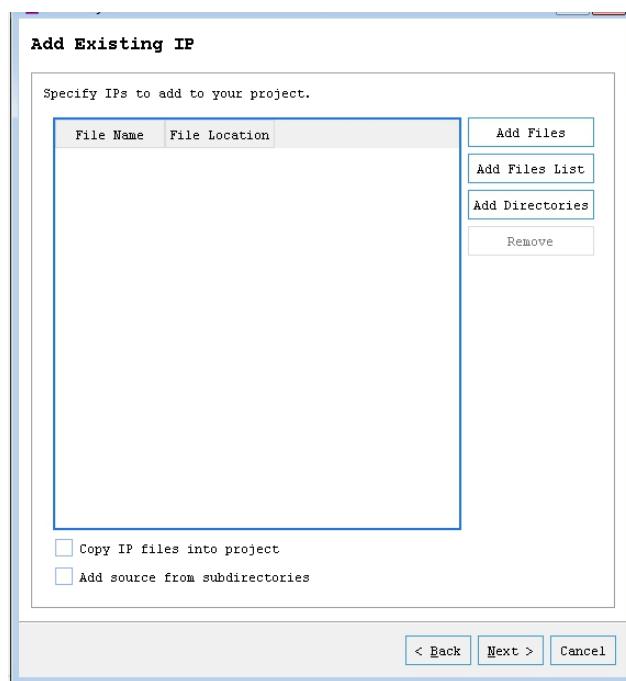


图 2-9 添加 IP 文件

该界面可以添加 IP 文件。单击 Next 出现添加约束界面：

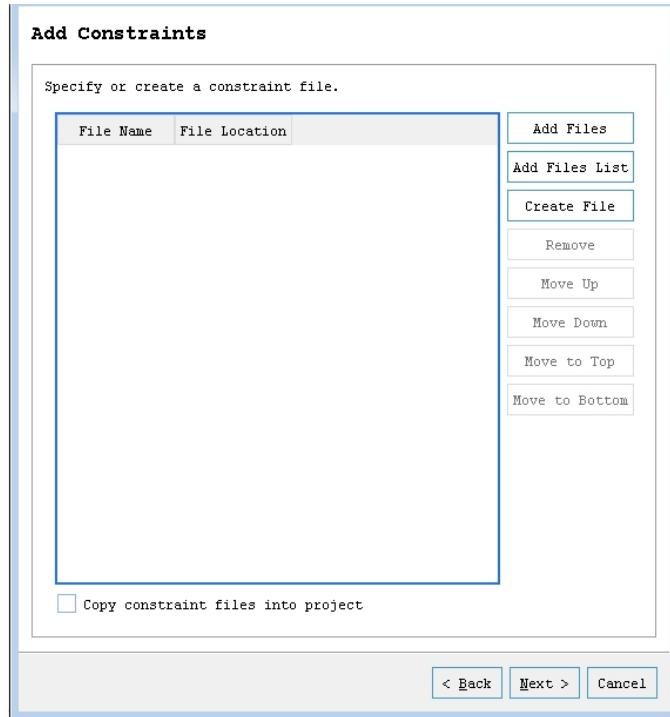


图 2-10 添加约束文件

该界面可以添加或创建约束文件。点击 Next 出现器件选择界面,在如下图中的 synthesize tool 中可以选择综合工具为 Synplify Pro 或 ADS:



图 2-11 选择器件

选择好器件后，单击 Next 出现 summary 界面：

Summary

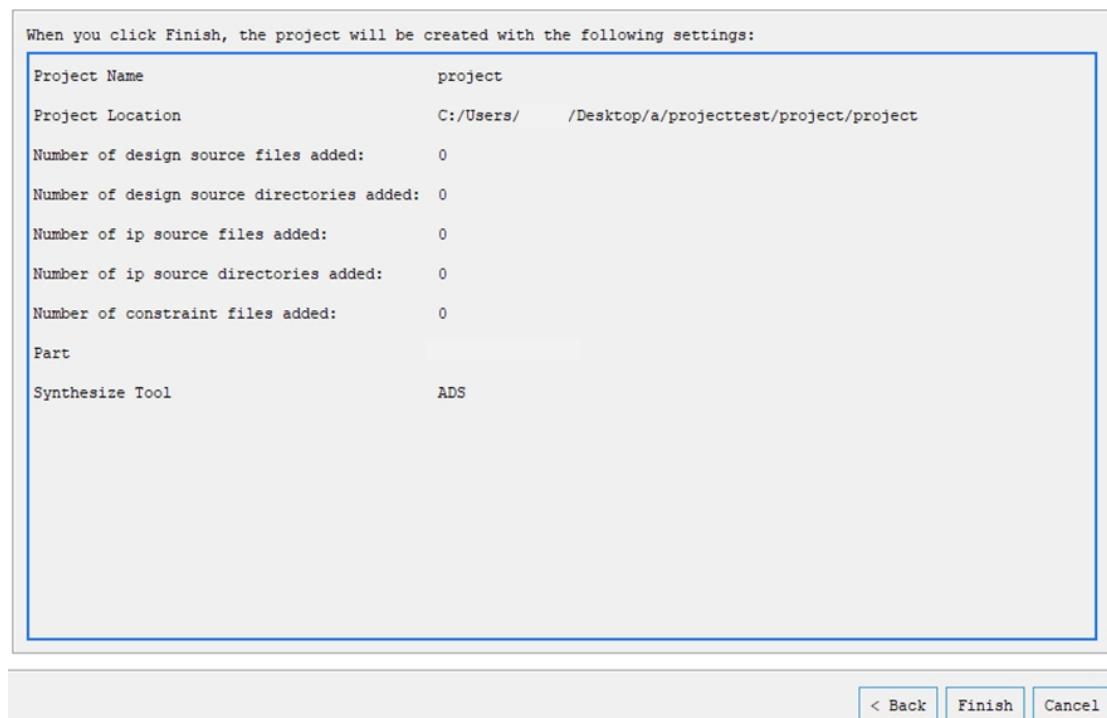


图 2-12 新建工程 summary

单击 Finish 按钮，工程建立完毕。工程建立完毕后，软件如下图所示。

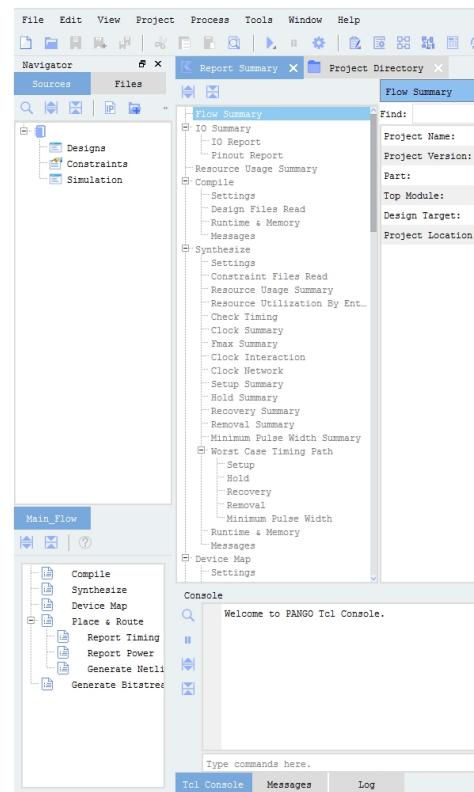


图 2-13 建立工程后的 Pango Design Suite 主界面

3 Compile

只有选择使用综合工具时(对应上文的添加综合前.v文件), 才会有该步骤。

软件界面如下图所示:

运行 Compile 流程有以下四种方式可以实现:

- 1) 在 Main Flow 界面中, 双击 Compile 进行编译;
- 2) 在 Main Flow 界面中, 右击 Compile 点击选项中的 Run 进行编译;
- 3) 在 Main Flow 界面中, 选中 Compile, 点击 Process 菜单中的 Run 进行编译;
- 4) 在 Console 的 Tcl Console 窗口输入"compile"命令后回车直接运行。

完成以上操作, 将会看到如下图所示界面:

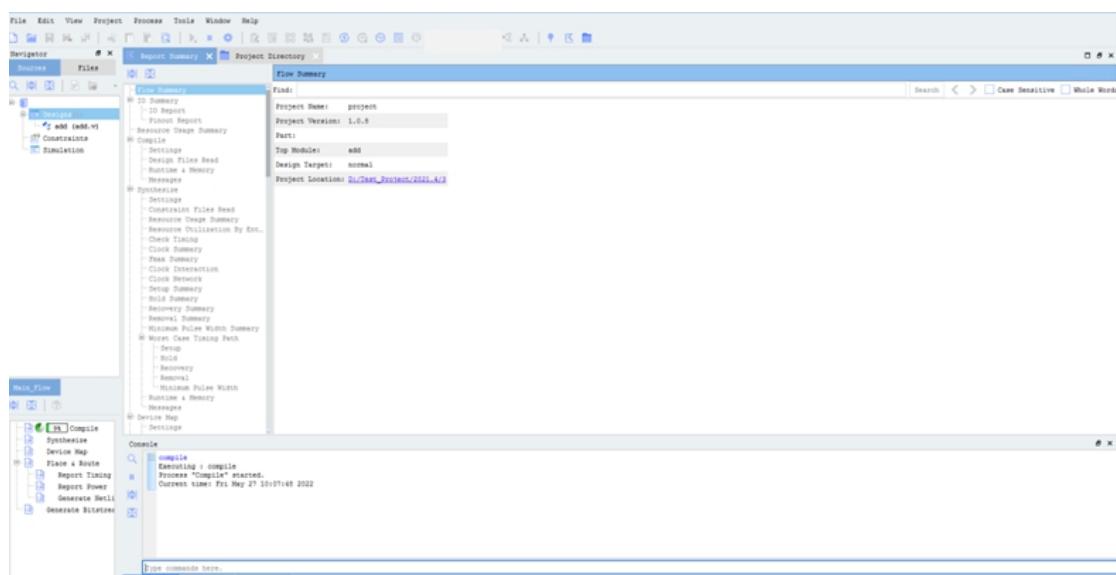
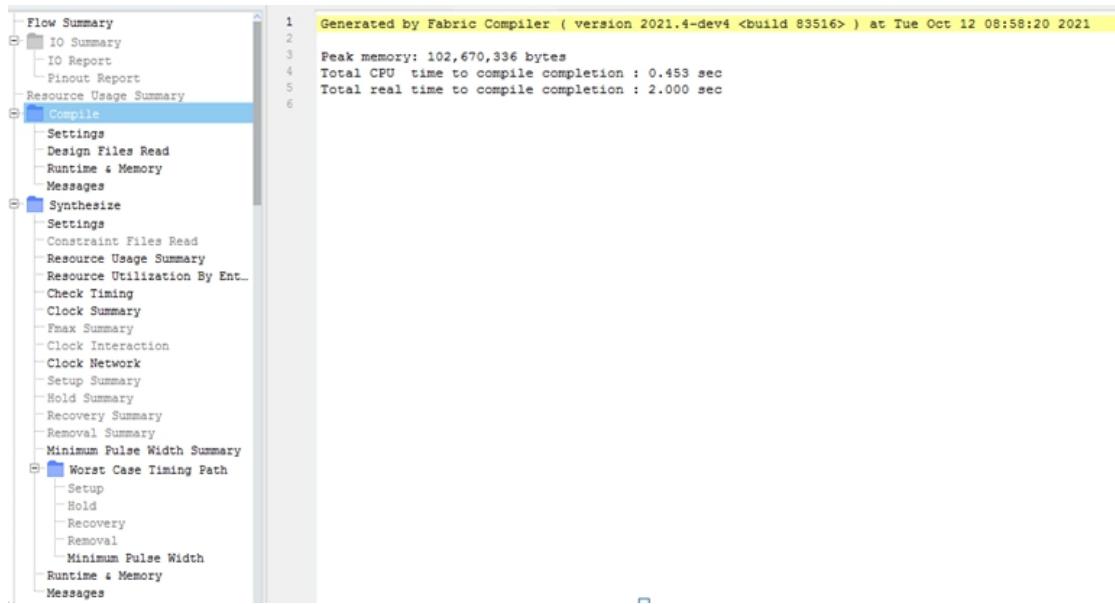


图 3-1 运行 Compile 时的软件界面

点击上图的 Report 目录下面的 Compile 链接可以查看 Compile Report, 如下图所示:



The screenshot shows a software interface for a 'Fabric Compiler' version 2021.4-dev4. The left pane displays a hierarchical tree of reports under 'Flow Summary'. The 'Compile' section is currently selected, showing sub-options like 'Settings', 'Design Files Read', 'Runtime & Memory', and 'Messages'. The right pane contains text output from the compiler. It starts with a timestamp: 'Generated by Fabric Compiler (version 2021.4-dev4 <build 83516>) at Tue Oct 12 08:58:20 2021'. Below this, it provides performance metrics: 'Peak memory: 102,670,336 bytes', 'Total CPU time to compile completion : 0.453 sec', and 'Total real time to compile completion : 2.000 sec'.

图 3-2 Compile Report

4 添加文件

4.1 添加源文件

单击下图中红色按钮：

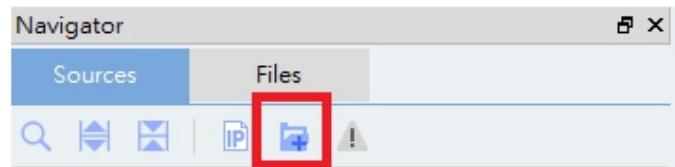


图 4-1 Source 界面添加源文件

或在下图中 source 窗口中右键，点击 Add Source 菜单。

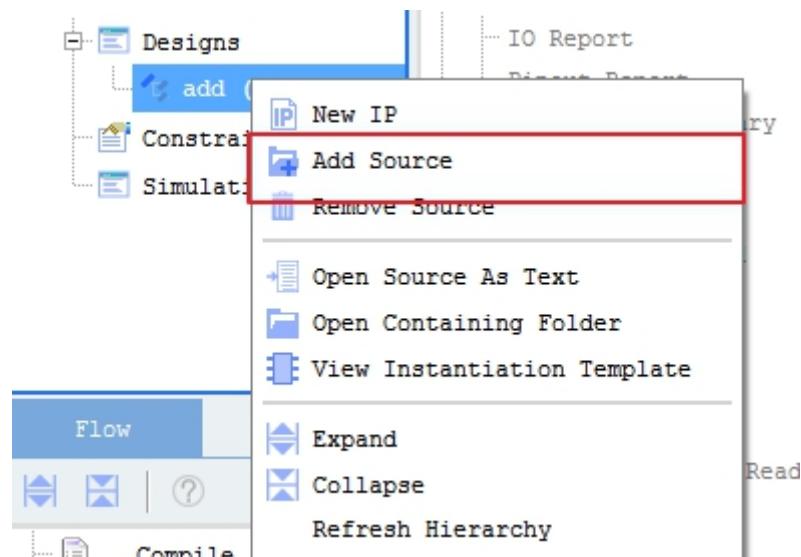


图 4-2 Source 界面右键添加源文件

出现如下界面：

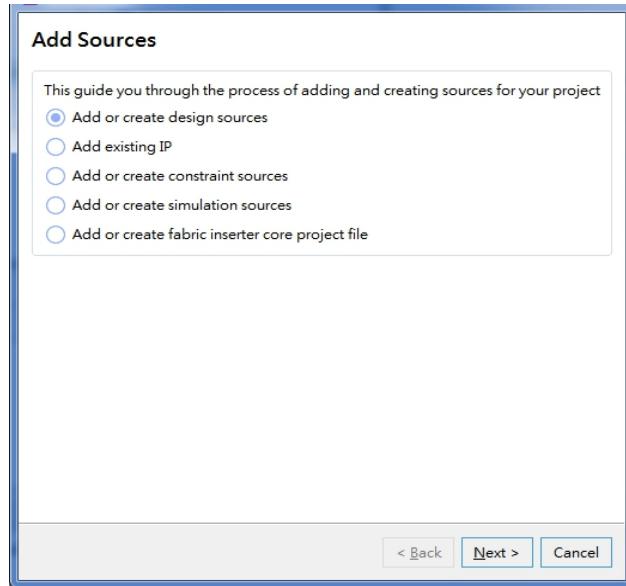


图 4-3 建立工程后的 Pango Design Suite 主界面

单击 Next，出现如下界面：

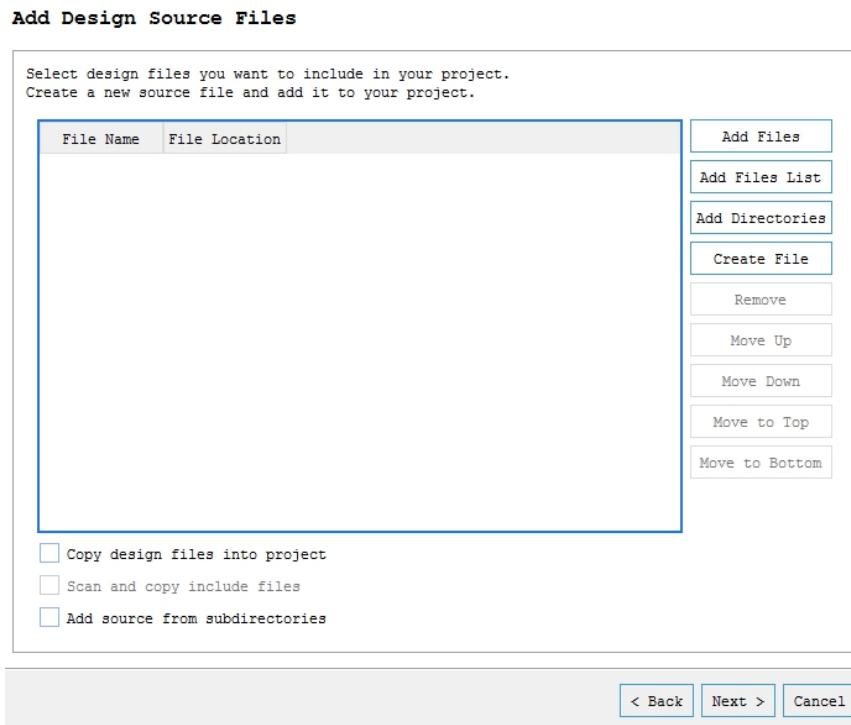


图 4-4 添加设计文件

在添加文件时，可以通过 Add Files 找到对应的文件添加，也可以通过 Add Directories 来添加整个文件夹下的符合规则的文件，若勾选了下方的“Add source from subdirectories”则会搜索选中目录下的所有子目录下的符合规则的文件全部添加。如果勾选了“Copy design files into project”选项，那么程序会拷贝设计文

件（add.v）到工程目录中的 source 文件夹，拷贝时，至少保留源文件所在的一级目录。设计文件添加完成后，将会看到如下图所示的软件界面：

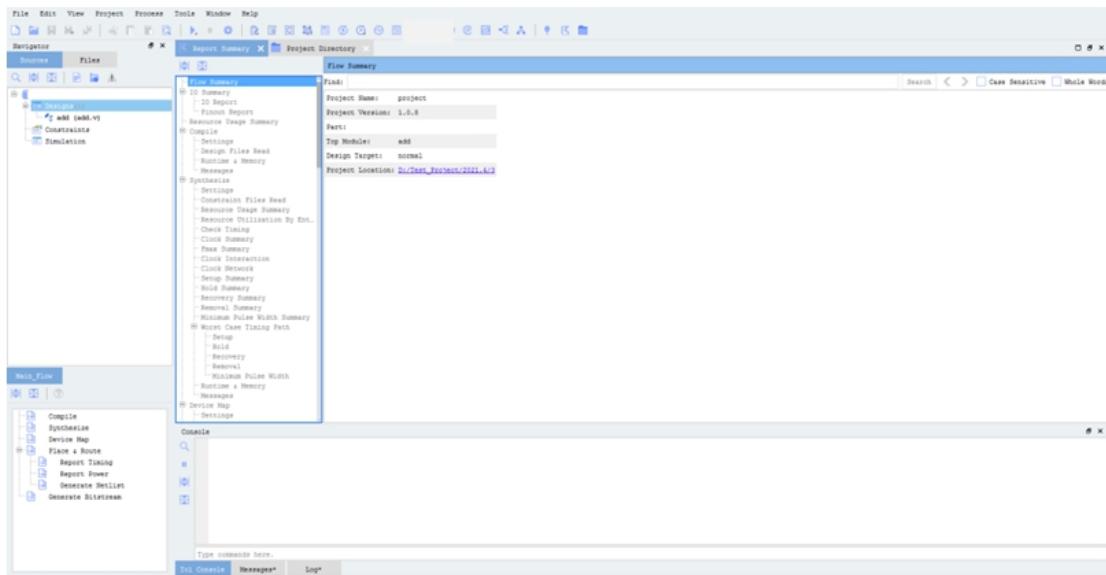


图 4-5 添加设计文件后的软件界面

工程管理区【Navigator】中【Files】里显示的是工程的输入文件，可以查看相应的文件路径和类型，右键菜单中有 edit file, open containing folder, show base name 等操作，其中 show base name 可以直接显示文件名，方便查看。

4.2 添加约束文件(可选)

4.2.1 添加用户约束文件

单击下图中红色按钮

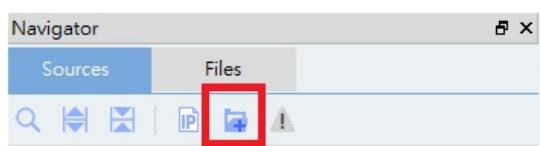


图 4-6 添加约束文件

或在 source 界面右键，点击 Add Source 菜单

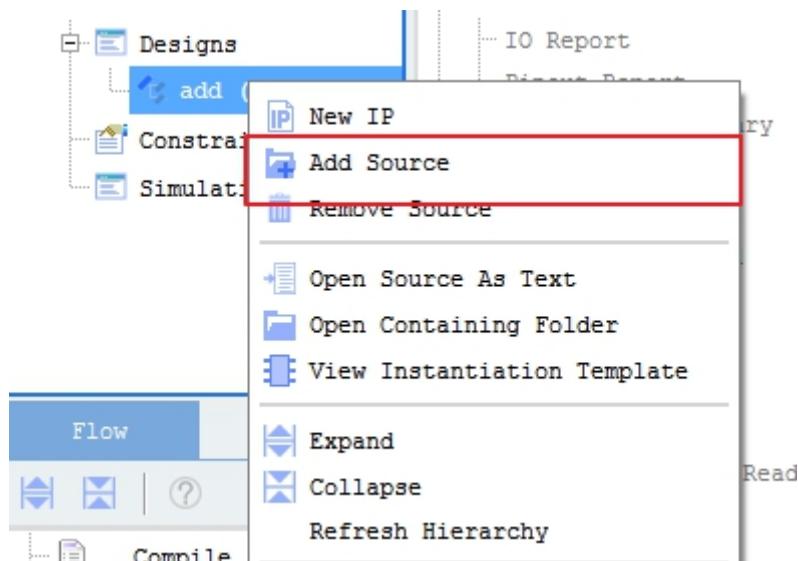


图 4-7 添加约束文件

出现如下界面：

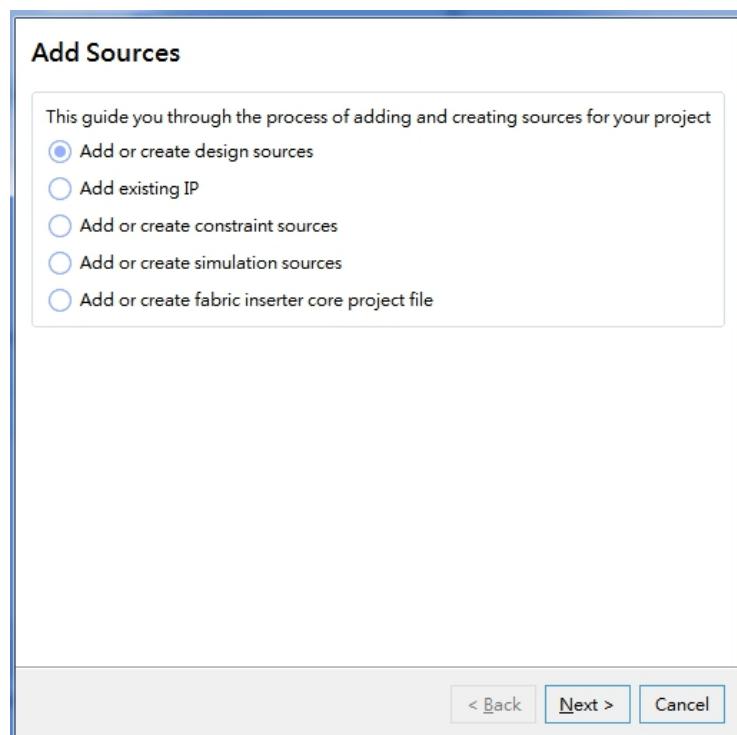


图 4-8 添加源文件界面

选择第三项 Add or create constraint sources，如下图：

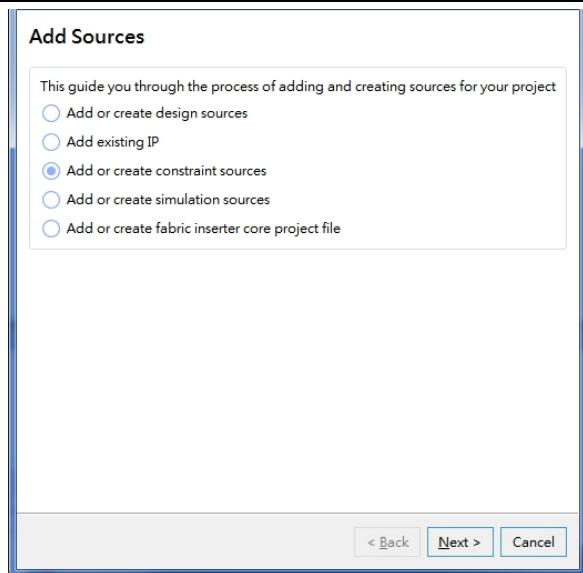


图 4-9 添加约束文件选择界面

点击 Next，出现如下界面：

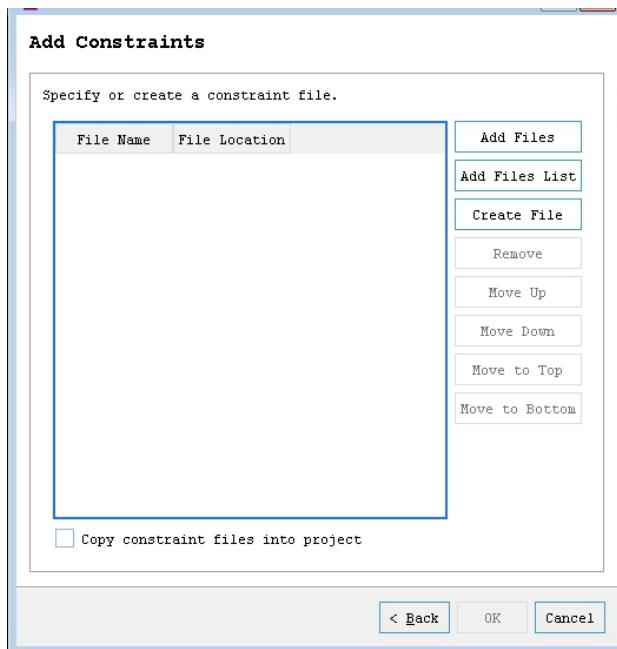


图 4-10 添加约束文件界面

选择好约束文件或新建约束文件后，点击 OK 即可加入工程。

4.2.2 添加物理约束文件

物理约束文件通过 Physical Constraint Editor 窗口添加。打开 Physical Constraint Editor 窗口需要运行完 Device Map。所以实际操作添加物理约束文件可以放在 Device Map 运行完成后。

Physical Constraint Editor 窗口可以通过 Tools 菜单下的 Physical

Constraint Editor (Post-Map) 打开，或者直接通过工具栏中的 Physical Constraint Editor (Post-Map) 快捷方式打开。菜单栏 Tools 下的二级菜单如下图所示：

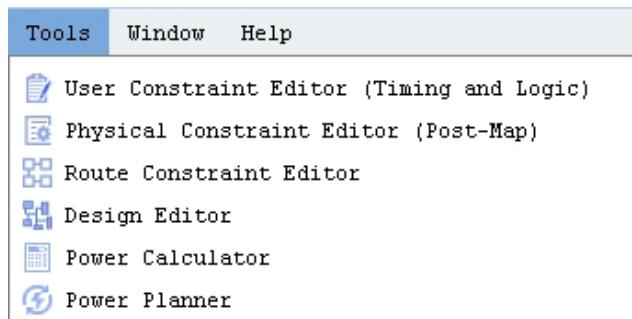


图 4-11 Tools 菜单下 Physical Constraint Editor (Post-Map)

在 PDS 中点击上述菜单，会弹出 Input Physical Constraint File 窗口。该窗口中，Add to project、Delete from project 等选项提供添加或者删除 pcf 文件的操作。

添加物理约束文件的窗口如下图所示：

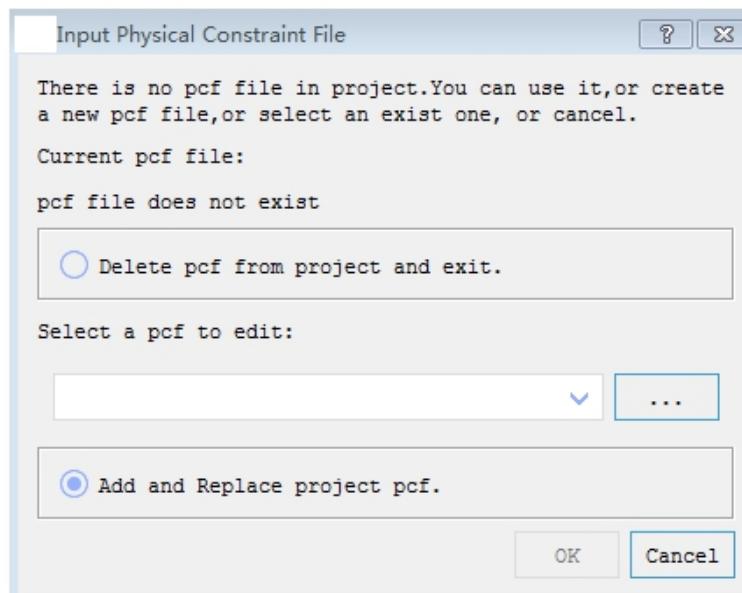


图 4-12 添加物理约束

点击 OK 按钮，将开始启动 Physical Constraint Editor (PCE)。打开后的 Physical Constraint Editor 界面如下图所示：

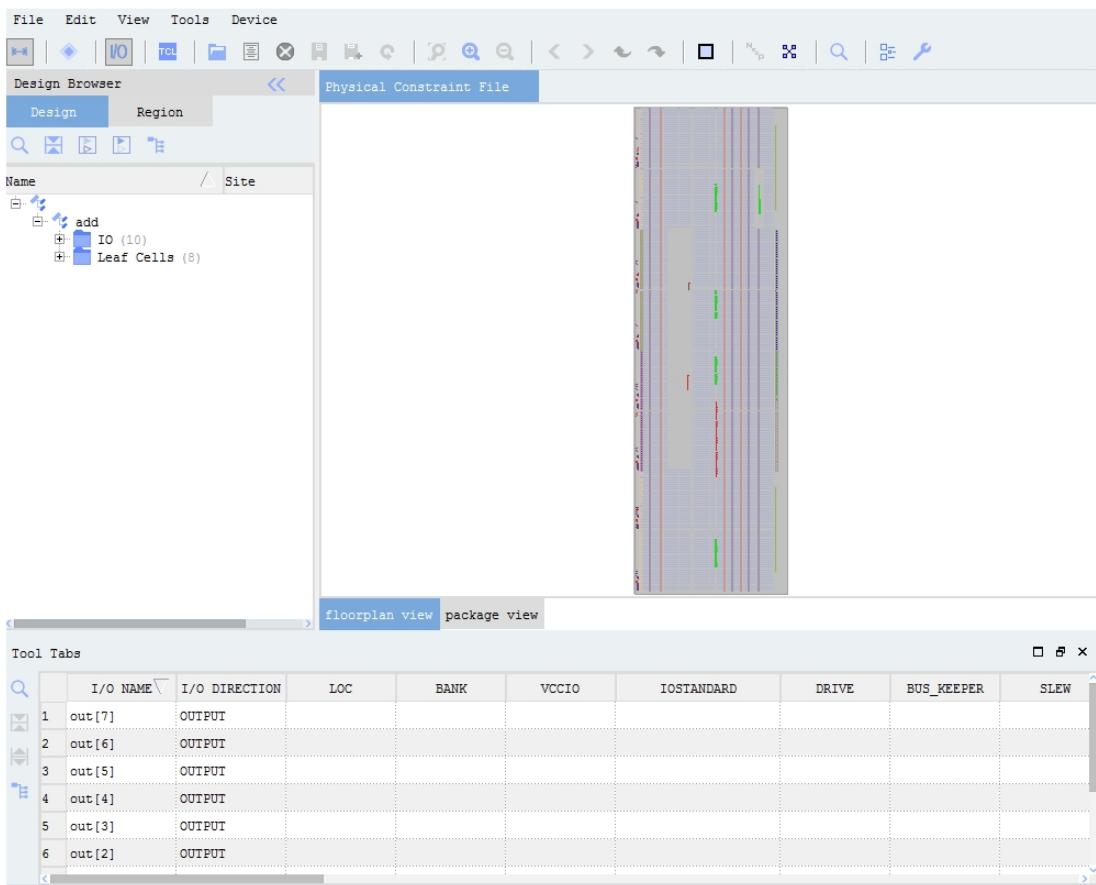


图 4-13 添加物理约束后的 Physical Constraint Editor 界面

物理约束文件添加完成后，关闭 Physical Constraint Editor 界面即可回到主界面。

4.3 添加 simulation 文件

单击如下按钮添加 simulation 文件：



图 4-14 Source 界面中工具栏添加仿真文件

选中添加 Add Source 界面下的 Add or create simulation sources 按钮选择下一步

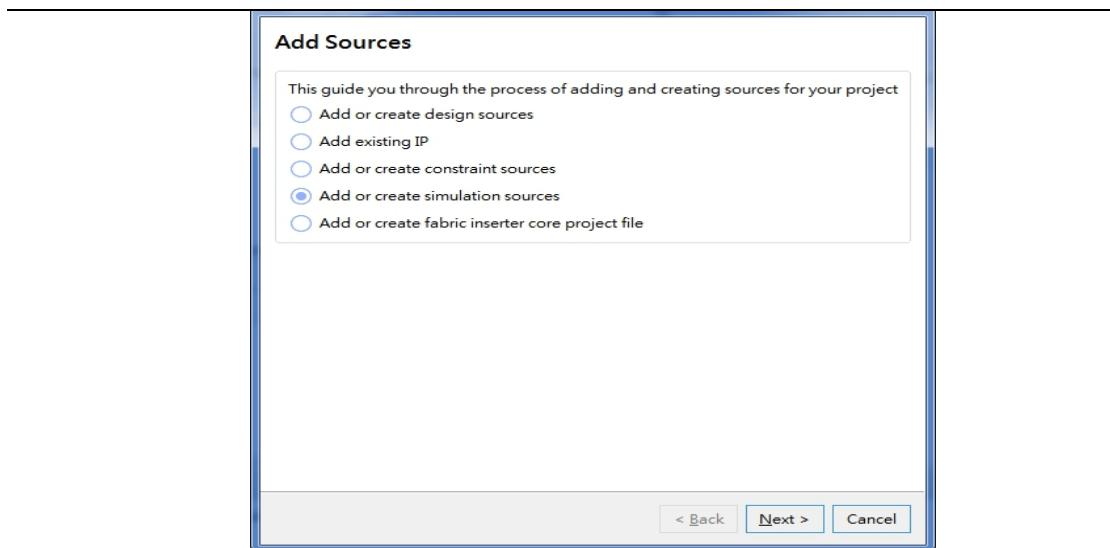


图 4-15 添加仿真源文件选择界面

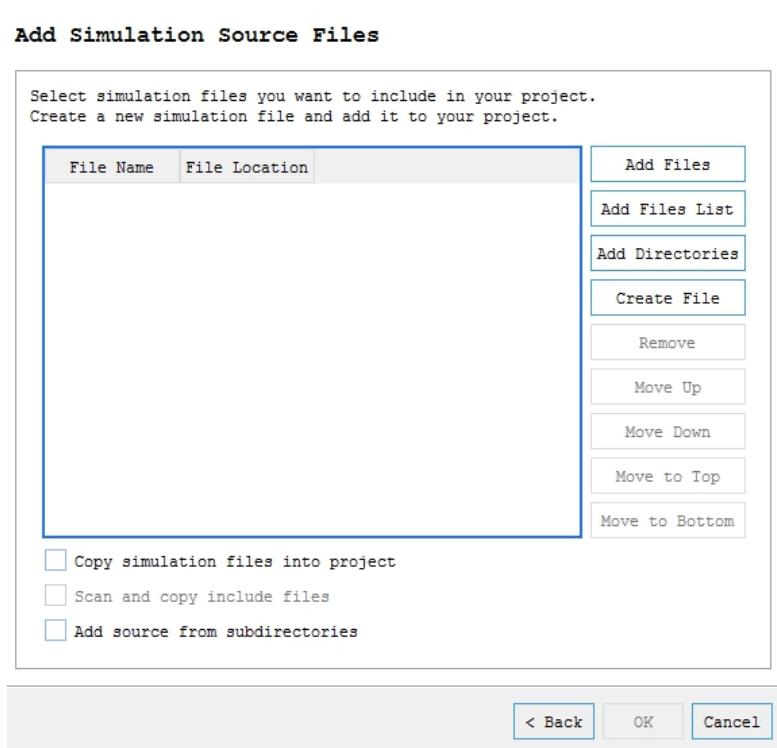


图 4-16 添加仿真文件界面

在添加仿真文件时，可以通过 Add Files 找到对应的文件添加，也可以通过 Add Directories 来添加整个文件夹下的符合规则的文件，若勾选了下方的“Add source from subdirectories”则会搜索选中目录下的所有子目录下的符合规则的文件全部添加。如果勾选了“Copy design files into project”选项，那么程序会拷贝设计文件（e.v）到工程目录中的 source 文件夹，拷贝时，至少保留源文件所在的一级目录。设计文件添加完成后，将会看到如下图所示的软件界面。

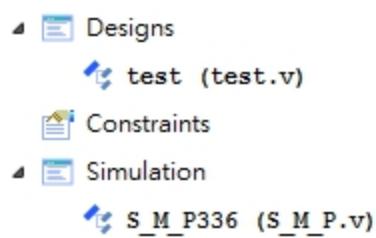


图 4-17 添加仿真文件后界面

5 Synthesize

同样只有选择使用综合工具时(对应上文的添加综合前.v文件), 才会有该步骤。

运行 Synthesize 流程有以下四种方式可以实现:

- 1) 在 Main Flow 界面中, 双击 Synthesize 进行综合;
- 2) 在 Main Flow 界面中, 右击 Synthesize 点击选项中的 Run 进行综合;
- 3) 在 Main Flow 界面中, 选中 Synthesize, 点击 Process 菜单中的 Run 进行综合;
- 4) 在 Console 的 Tcl Console 窗口输入"synthesize -ads"命令后回车直接运行。

完成以上操作, 将会看到如下图所示界面:

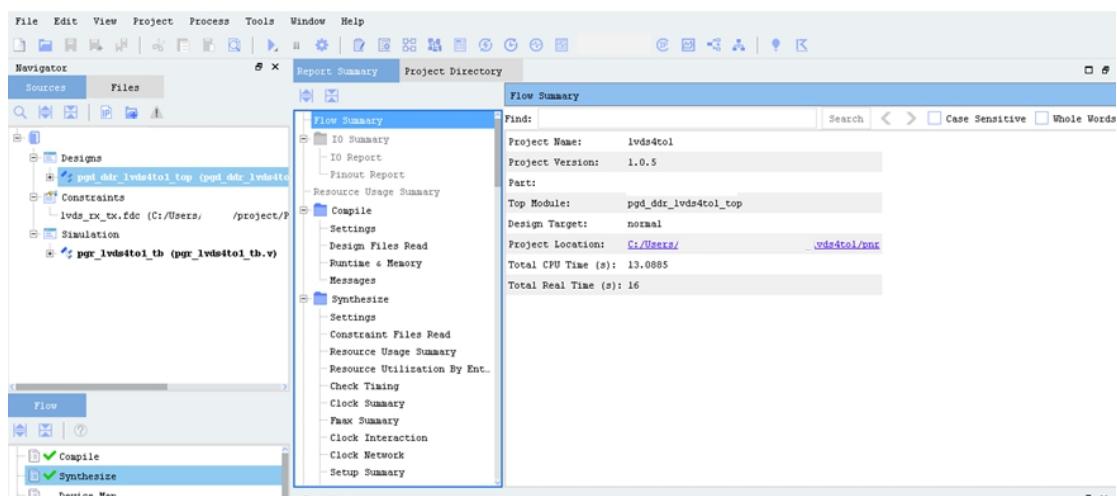
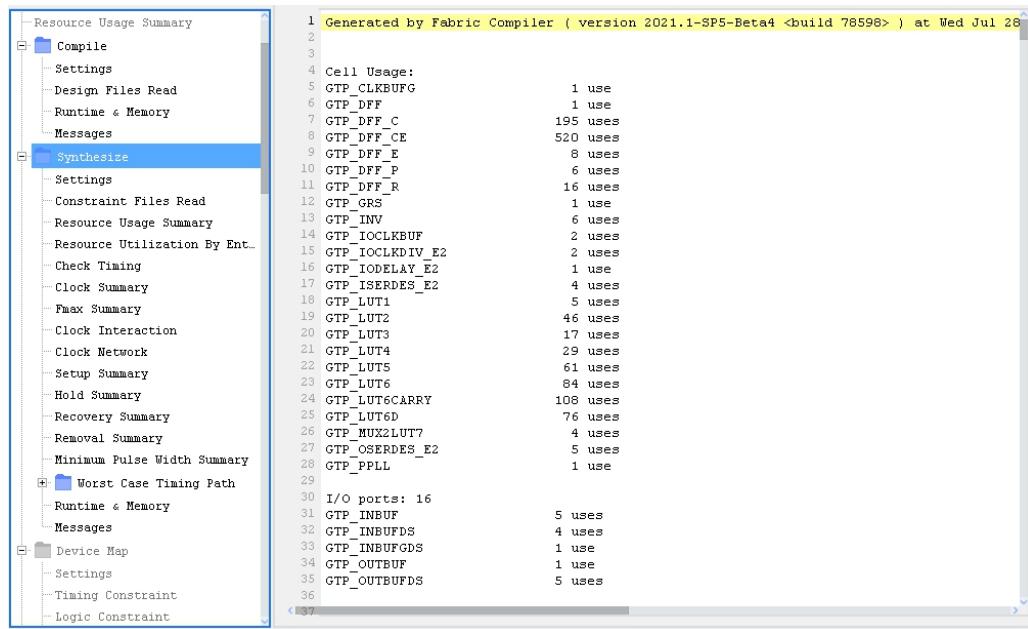


图 5-1 运行 Synthesize 时的软件界面

点击上图的 Report 目录下面的 Synthesize 链接可以查看 Synthesize Report, 如下图所示:



The screenshot shows a software interface for a synthesis report. On the left is a tree view of report sections: Resource Usage Summary, Compile, Design Files Read, Runtime & Memory, Messages, Synthesize (which is selected), Settings, Constraint Files Read, Resource Usage Summary, Resource Utilization By Ent..., Check Timing, Clock Summary, Fmax Summary, Clock Interaction, Clock Network, Setup Summary, Hold Summary, Recovery Summary, Removal Summary, Minimum Pulse Width Summary, Worst Case Timing Path, Runtime & Memory, and Messages. Below the tree view is a large text area containing the synthesis report content.

```
1 Generated by Fabric Compiler ( version 2021.1-SP5-Beta4 <build 78598> ) at Wed Jul 28
2
3
4 Cell Usage:
5 GTP_CLKBUF          1 use
6 GTP_DFF              1 use
7 GTP_DFF_C            195 uses
8 GTP_DFF_CE           520 uses
9 GTP_DFF_E             8 uses
10 GTP_DFF_P            6 uses
11 GTP_DFF_R            16 uses
12 GTP_GRS              1 use
13 GTP_INV               6 uses
14 GTP_IOLKBUF           2 uses
15 GTP_IOLKDIV_E2         2 uses
16 GTP_IODELAY_E2          1 use
17 GTP_ISERDES_E2          4 uses
18 GTP_LUT1                5 uses
19 GTP_LUT2                46 uses
20 GTP_LUT3                17 uses
21 GTP_LUT4                29 uses
22 GTP_LUTS               61 uses
23 GTP_LUT6                84 uses
24 GTP_LUT6CARRY           108 uses
25 GTP_LUT6D                76 uses
26 GTP_MUX2LUT7                 4 uses
27 GTP_OSERDES_E2           5 uses
28 GTP_PPPLL                1 use
29
30 I/O ports: 16
31 GTP_INBUF               5 uses
32 GTP_INBUFDSDS            4 uses
33 GTP_INBUFGDS              1 use
34 GTP_OUTBUF               1 use
35 GTP_OUTBUFDSDS            5 uses
36
37
```

图 5-2 Synthesize Report

6 Device Map

Map 映射的主要作用是将设计映射到具体型号的子单元上 (LUT、FF、Carry 等)。

运行 Device Map 流程有以下四种方式可以实现：

- 直接双击 Device Map；
- 右击 Device Map 点击 Run；
- 选中 Device Map，点击 Process 菜单中的 Run；
- 在 Console 的 Tcl Console 窗口输入相应的 Tcl 命令[dev_map]后回车直接运行。

完成以上操作，将会产生 add_map.adf 文件供下一步 Place & Route 使用。将会看到如下图所示界面：

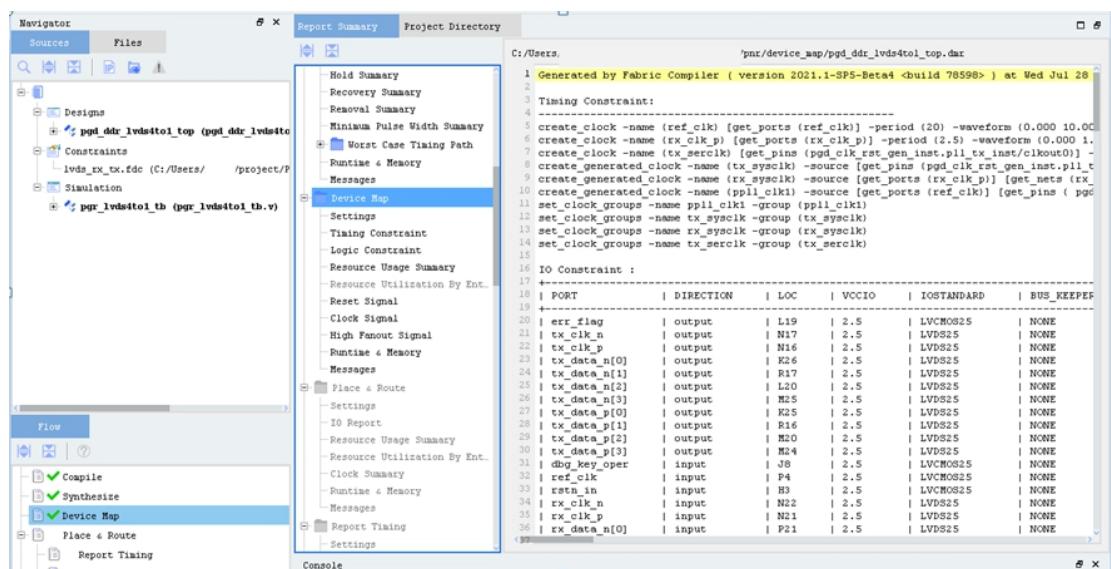


图 6-1 运行 Device Map 时的软件界面

7 Place & Route

布局布线（Place & Route）根据用户约束和物理约束，对设计模块进行实际的布局及布线。

运行 Place & Route 流程有以下四种方式可以实现：

- 直接双击 Place & Route；
- 右击 Place & Route 点击 Run；
- 选中 Place & Route，点击 Process 菜单中的 Run；
- 在 Console 的 Tcl Console 窗口输入相应的 Tcl 命令[pnr]后回车直接运行。

完成以上操作，将会产生 add_plc.adf、add_pnr.adf 以及 add.prr 文件。将会看到如下图所示界面：

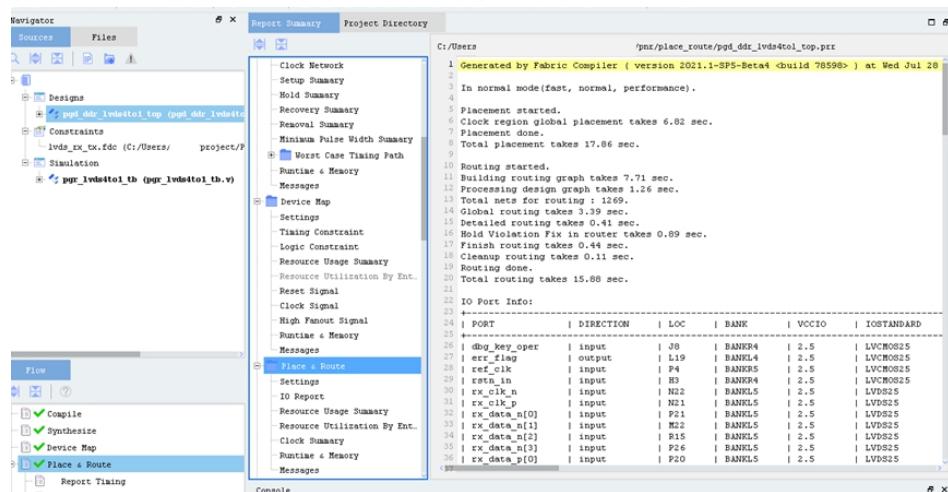
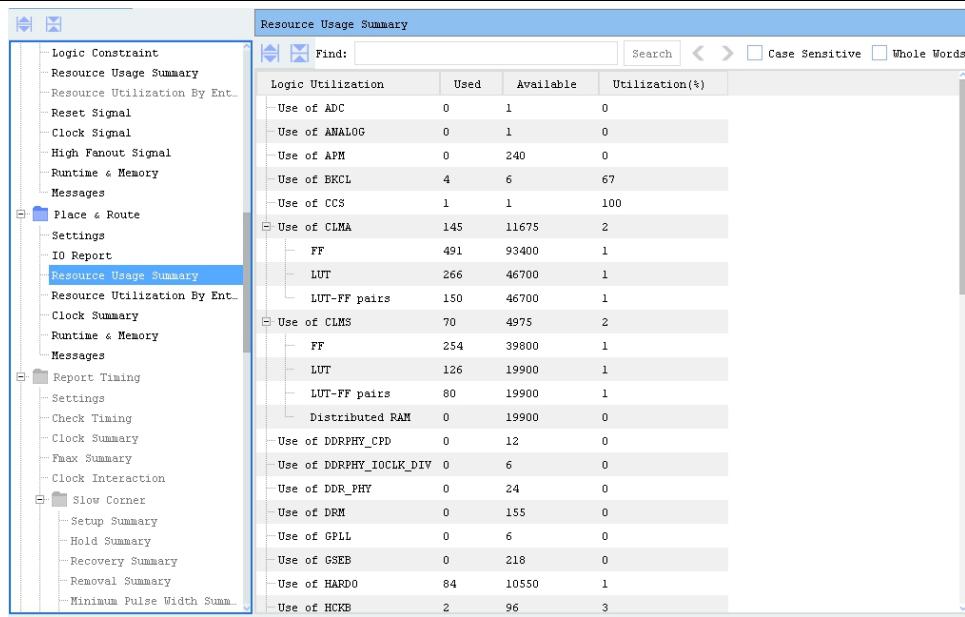


图 7-1 运行 Place & Route 时的软件界面

单击 Report Summary 中的 Report 目录下的 Place & Route 链接可以看到布局布线的报告，报告如下图所示：



The screenshot shows a software interface for a Place & Route report. On the left, there is a tree view of report categories:

- Logic Constraint
- Resource Usage Summary
- Resource Utilization By Ent.
- Reset Signal
- Clock Signal
- High Fanout Signal
- Runtime & Memory
- Messages
- Place & Route
 - Settings
 - IO Report
 - Resource Usage Summary
 - Resource Utilization By Ent.
 - Clock Summary
 - Runtime & Memory
 - Messages
- Report Timing
 - Settings
 - Check Timing
 - Clock Summary
 - Fmax Summary
 - Clock Interaction
- Slow Corner
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Summ.

The "Resource Usage Summary" node under "Place & Route" is selected. On the right, a table titled "Resource Usage Summary" displays the utilization of various logic resources:

Logic Utilization	Used	Available	Utilization(%)
Use of ADC	0	1	0
Use of ANALOG	0	1	0
Use of APM	0	240	0
Use of BKCL	4	6	67
Use of CCS	1	1	100
Use of CLMA	145	11675	2
FF	491	93400	1
LUT	266	46700	1
LUT-FF pairs	150	46700	1
Use of CLMS	70	4975	2
FF	254	39800	1
LUT	126	19900	1
LUT-FF pairs	80	19900	1
Distributed RAM	0	19900	0
Use of DDRPHY_CPD	0	12	0
Use of DDRPHY_IOCLK_DIV	0	6	0
Use of DDR_PHY	0	24	0
Use of DRM	0	155	0
Use of PLL	0	6	0
Use of GSEB	0	218	0
Use of HARDO	84	10550	1
Use of HCKB	2	96	3

图 7-2 Place & Route Report

8 Generate Bitstream

Generate Bitstream 生成二进制位流文件，是 Pango Design Suite 设计的最后一步。

运行 Generate Bitstream 流程有以下四种方式可以实现：

- a. 直接双击 Generate Bitstream;
 - b. 右击 Generate Bitstream 点击 Run;
 - c. 选中 Generate Bitstream, 点击 Process 菜单中的 Run;
 - d. 在 Console 的 Tcl Console 窗口输入相应的 Tcl 命令[gen_bit_stream]后回车直接运行。

完成以上操作，将会产生位流文件。运行 Generate Bitstream，可以看到界面如下图所示：

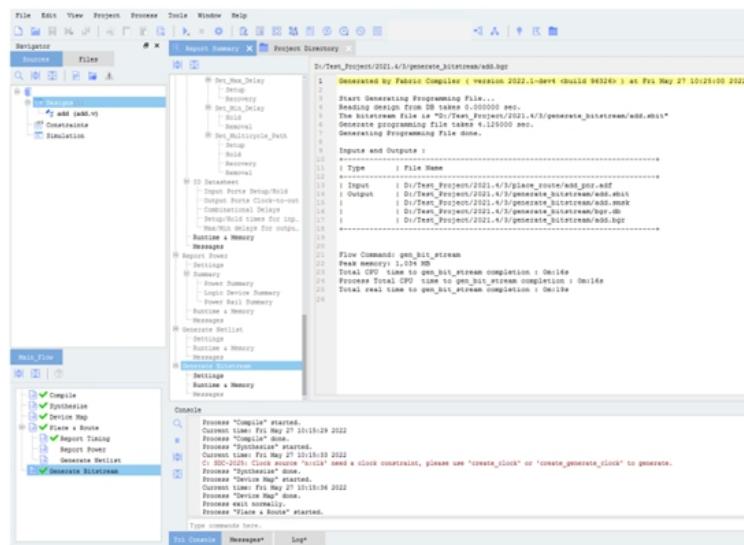


图 8-1 运行 Generate Bitstream 时的软件界面

至此，一个简单的流程就全部完成了。