

# Timing Analyzer 用户手册

(Version 1.4)

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

版本号	发布日期	修订记录
V1.0	2022/7/12	初始版本
V1.1	2022/10/18	修改 TA 默认打开显示界面的示意图及说明
V1.2	2022/10/21	新增 Exception Report 报告显示 Set False Path 的相关信息
V1.3	2022/10/21	新增 Report Exception, Limit Paths by Clock Group, Number of Carry Instance as One Logic Level 配置选项的相关描述
V1.4	2022/11/9	新增说明 Limit Paths by Clock Group 配置选项的筛选方法

## 目录

文档版本修订记录.....	1
目录.....	2
图目录.....	3
名词术语解释.....	4
1 TA 总体介绍.....	5
2 功能描述.....	6
2.1 时序分析.....	6
2.2 修改保存时序约束信息.....	6
2.3 图形化界面添加约束.....	7
2.4 Device View 中显示时序路径.....	7
2.5 Design Schematic 显示用户的设计逻辑.....	7
2.6 报告指定路径的时序信息.....	7
3 用户界面.....	7
3.1 主界面.....	7
3.2 菜单栏.....	8
3.3 工具栏.....	10
3.4 Design Browser.....	10
4 操作流程.....	13
4.1 时序分析.....	13
4.2 Device view 中显示时序信息.....	16
4.3 修改保存时序约束信息.....	17
4.4 图形化界面添加约束.....	21
4.5 报告指定路径的时序信息.....	22
免责声明.....	25

## 图目录

图 3-1 软件主界面.....	8
图 3-2 File 菜单栏.....	8
图 3-3 Timing 菜单栏.....	8
图 3-4 Constraint 菜单栏.....	9
图 3-5 View 菜单栏.....	9
图 3-6 Windows 菜单栏.....	10
图 3-7 Help 菜单栏.....	10
图 3-8 工具栏.....	10
图 3-9 Design Browser.....	11
图 3-10 右键出现 Edit delay value.....	11
图 3-11 编辑 IODLY_STEP 参数.....	12
图 4-1 导入 PnR DB 和 SDC 文件.....	13
图 4-2 导入界面.....	13
图 4-3 post-pnr 配置时序分析界面.....	14
图 4-4 post-synthesize 配置时序分析界面.....	14
图 4-5 配置时序分析界面.....	16
图 4-6 Device view 界面.....	17
图 4-7 HighLight List 窗口.....	17
图 4-8 Constraint Editor 界面.....	18
图 4-9 summary 界面.....	18
图 4-10 右键菜单界面.....	19
图 4-11 view 按钮.....	19
图 4-12 搜索工具.....	20
图 4-13 双击约束命令.....	21
图 4-14 添加约束 GUI 界面.....	21
图 4-15 指定路径界面.....	23
图 4-16 点击 Add 按钮后.....	23
图 4-17 Device view 界面点击输入.....	24

## 名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼
TA	Timing Analyzer
PnR DB	布局布线产生的结果文件，位于结果文件 place_route 目录下方，其为 xxx_pnr.adf(xxx 为 design 名称)
PLC DB	布局产生的结果文件，位于结果文件 place_route 目录下方，其为 xxx_plc.adf (xxx 为 design 名称)
Syn DB	综合产生的结果文件，位于 synthesize 目录下方，以 xxx_syn.adf 表示

## 1 TA 总体介绍

Timing Analyzer 是一款用于时序分析的软件，用户可以通过导入 Design DB(见名词术语解释)和 SDC 文件来进行时序分析，通过查看时序结果来让用户根据自己的目的修改时序约束，导出 SDC 文件，然后通过新的 SDC 文件和 Design DB 根据新的约束所报告的时序信息，最终得到一个符合用户预期目标的时序约束文件。

在通常的 PDS 流程中，如果约束文件被修改，那么需要重新运行流程，耗费了大量的时间。但在 Timing Analyzer 中，用户通过给定的 Design DB 文件和约束文件就可以直接进行时序分析，即使此时修改了约束文件，也可以直接重新开始时序分析，节省了大量的时间成本。

目前 TA 支持的 Design DB 只有 PnR DB、PLC DB（布局 DB）和 Syn DB（综合 DB）。

## 2 功能描述

TA 中的功能主要有：

- 时序分析
- 修改保存时序约束信息
- 图形化界面添加约束
- Device view 中显示时序路径
- Design Schematic 显示用户的设计逻辑
- 报告指定路径的时序信息

### 2.1 时序分析

用户指定 Design DB 文件和 SDC 文件，TA 调用时序分析过程进行时序分析。在这个过程中，用户必须指定 DB，此时存在以下两种情况：

- 指定 Design DB 但没有指定 SDC 文件

如果用户只指定了 Design DB 但没有指定 SDC 文件，那么 TA 会读取 Design DB 中的约束信息，并将其显示到约束界面中。

此时，生效的约束为 Design DB 中的约束信息。

- 指定 Design DB 和 SDC 文件

如果用户指定了 Design DB 和 SDC 文件，那么 SDC 文件中的约束信息会将 Design DB 中的约束信息覆盖，即最后生效的是 SDC 文件中的约束信息。

### 2.2 修改保存时序约束信息

用户在时序分析结束后有可能发现原来的时序约束存在一些问题，导致最后的时序结果不满足最初目的，此时 TA 提供了一个可以编辑保存时序约束的界面，用户通过在这个界面上对原来的时序约束信息进行修改，得到一个新的时序约束文件，然后再次通过 TA 提供的接口进行时序分析，直到得到一个符合用户最初目标的约束文件。

## 2.3 图形化界面添加约束

TA 提供两种方式去添加约束命令，一种是直接在约束界面上双击进行编辑，另一种是在一个对话框中添加约束信息。相较于在约束表格中进行添加，界面直接编辑更加可视化，并且对于一些 option 互斥的情况能够显式的提示用户。

## 2.4 Device View 中显示时序路径

Device view 的操作方式和 DE 的功能相同，可以查看《Design Editor User Guide.doc》来了解。

TA 支持通过单击时序报告中的某一条时序路径然后定位到这条时序路径在 Device view 中的位置的功能。

## 2.5 Design Schematic 显示用户的设计逻辑

显示用户的设计逻辑，支持跳转至源文件，便于检查用户设计逻辑

## 2.6 报告指定路径的时序信息

在某些情况下，用户可能希望报告指定路径的时序信息，而不是将所有的时序路径都报告出来。所以，TA 支持由用户指定一条路径的 From、Through、To 位置后单独报告关于该路径的时序信息。

# 3 用户界面

## 3.1 主界面

启动 Timing Analyzer 后，可以看到如图 3-1 所示的主界面：

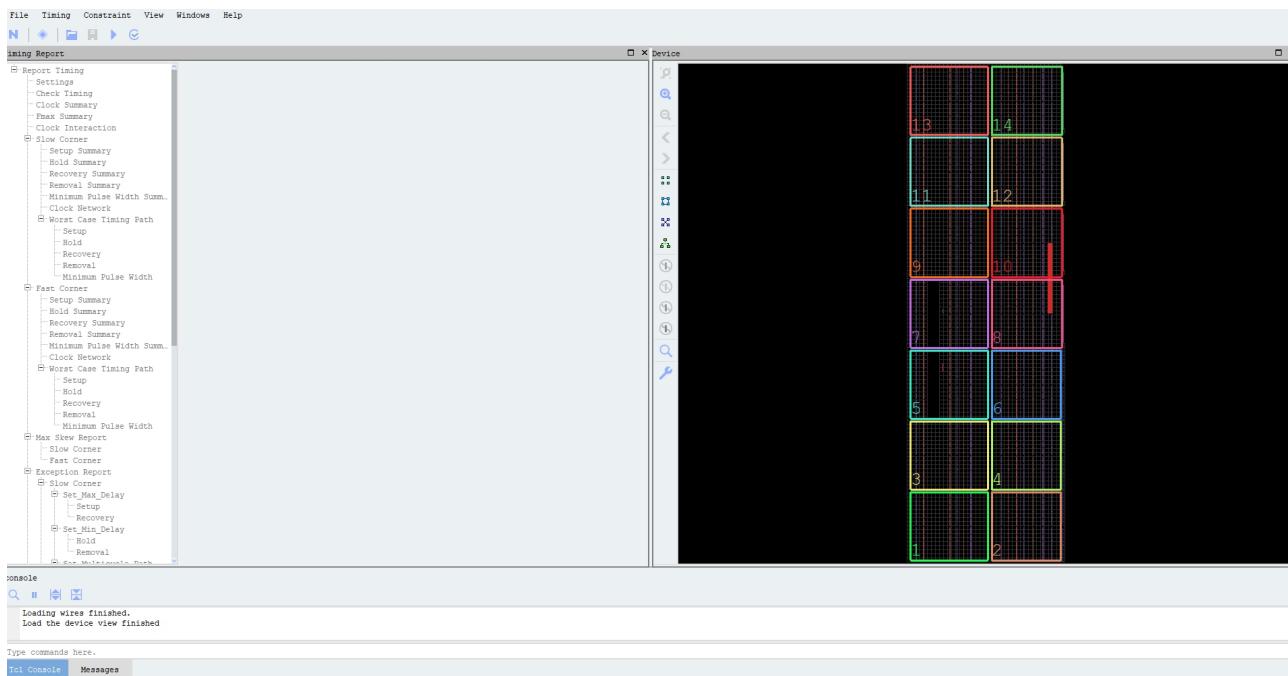


图 3-1 软件主界面

由约束编辑界面，时序报告页面，design schematic 视图，device 视图（载入 PnR DB 或 PLC DB），控制台等构成，每个页面可以单独的放大或者还原到之前的状态。默认只打开 2 个窗口：Report timing、Device。而 Constraint Editor 和 Design Schematic 窗口默认不打开。可以在工具栏的 View 中调整显示的界面。

### 3.2 菜单栏

TA 中的菜单栏六个，分别介绍如图 3-2-图 3-7：

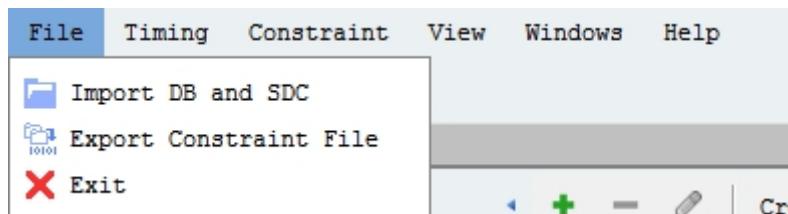


图 3-2 File 菜单栏

**【Import DB and SDC】：**导入一个 Design DB 和 SDC 文件进行时序分析。

**【Export Constraint File】：**将当前的约束信息导出为一个新的 sdc 文件。

**【Exit】：**退出 Timing Analyzer。

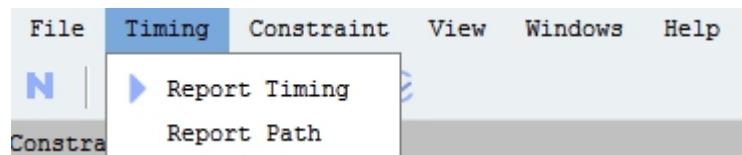


图 3-3 Timing 菜单栏

【Report timing】: 依据当前界面的约束信息进行时序分析，不需要导入导出 sdc 文件和 Design DB。

【Report path】: 根据指定路径的 From、through、to 信息来报告该路径的时序信息。

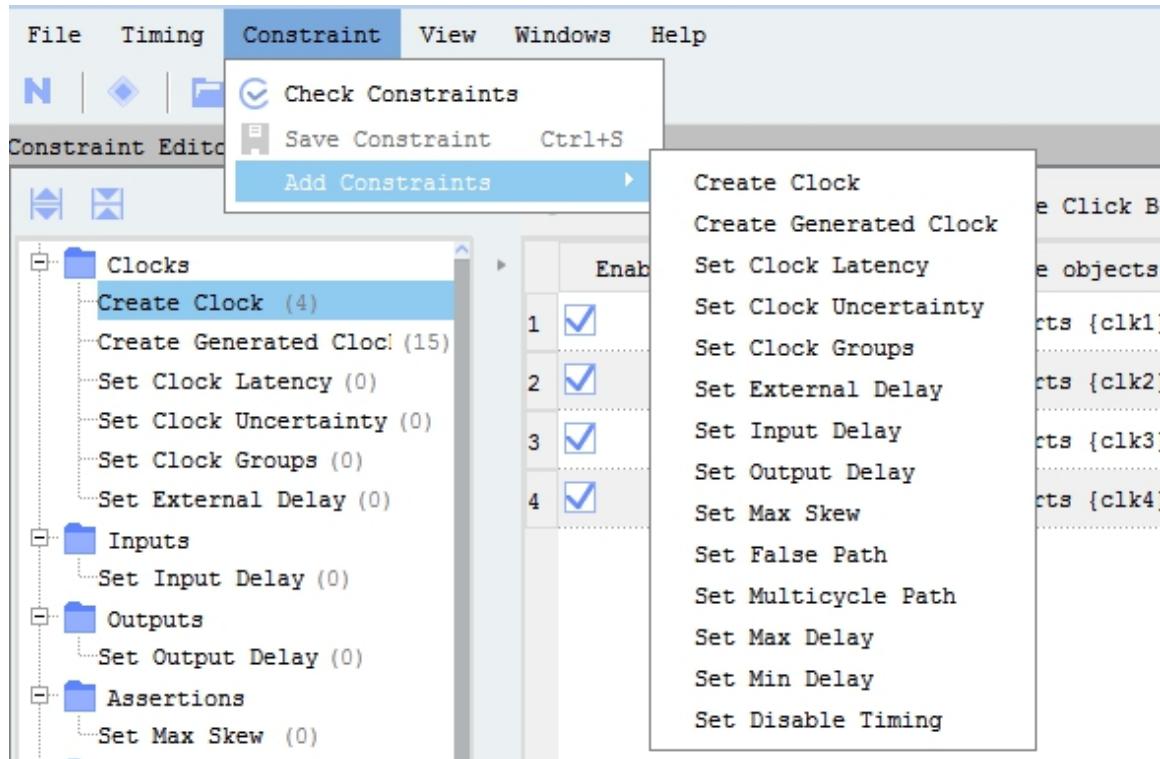


图 3-4 Constraint 菜单栏

【Check Constraints】: 检查当前约束信息是否正确。

【Save Constraint】: 该工具栏按钮功能为保存当前修改约束，即 Constraint Editor 界面中的约束。

【Add Constraints】: 该二级菜单下有 11 行，分别对应着 11 条时序约束命令，点击相应的行，即可打开图形化创建命令的窗口。

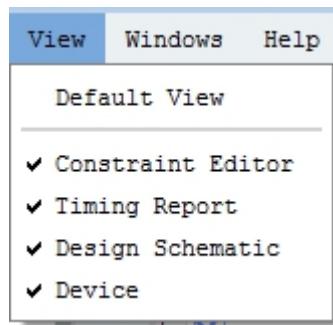


图 3-5 View 菜单栏

【Default View】: 恢复窗口的默认布局，默认为张开下方的所有视图

【Constraint Editor】: 切换显示该视图，其他菜单同理

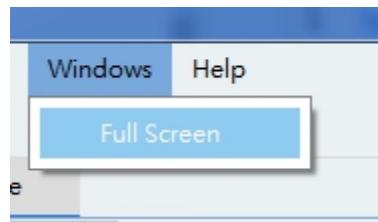


图 3-6 Windows 菜单栏

**【Full Screen】:** 将 Timing Analyzer 全屏。

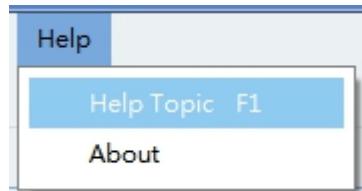


图 3-7 Help 菜单栏

**【Help Topic】:** 打开 help 助手。

**【About】:** Timing Analyzer 的版本信息。

### 3.3 工具栏

在该菜单栏下，有一行工具栏，将菜单栏中的常用功能分列在该工具栏中，分别介绍如下：



图 3-8 工具栏

**【Design Browser】:** 该功能用来显示网表信息，点击即可打开查看网表结构。

**【Mark Browser】:** 显示用户标记的对象信息，点击即可打开查看标记内容

**【Import DB and SDC】:** 该功能与菜单栏 file 中的选项 Import DB and SDC 功能一致。

**【Save Constraints】:** 该工具栏按钮功能为保存当前修改约束，即 Constraint Editor 界面中的约束。

**【Report timing】:** 该功能与菜单栏 Timing 中的选项 Report timing 功能一致。

**【Check Constraints】:** 该功能与菜单栏 Constraint 中的选项 Check Constraints 功能一致。

### 3.4 Design Browser

点击工具栏的 **【Design Browser】**，即可打开 Design Browser，查看当前网表的内容。网表的内容以 hierarchy 层级结构张氏，每层下大致分为三类：Ports、Leaf Cells 和 Nets，顾名思义，即显示当前网表中的 ports、instances 和 nets。如下图所示。

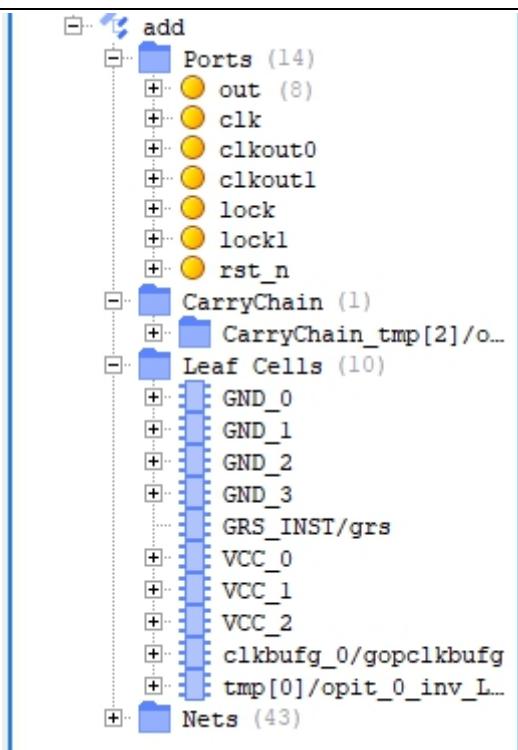


图 3-9 Design Browser

对于该 Design Browser 结构可以通过上面的按钮实现折叠或者展开，方便查看。

在 Design Browser 中如果存在带 IO Delay 的端口则可以修改 IODLY\_STEP 参数值，即在带 Delay 的端口 port 上面右键会出现【Edit delay value】，点击后弹出 Edit Parameter Config Value 页面，可以修改 IODLY\_STEP 参数值，注意是以二进制形式表示的值。

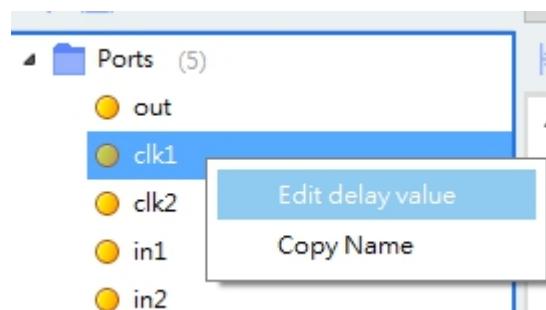


图 3-10 右键出现 Edit delay value

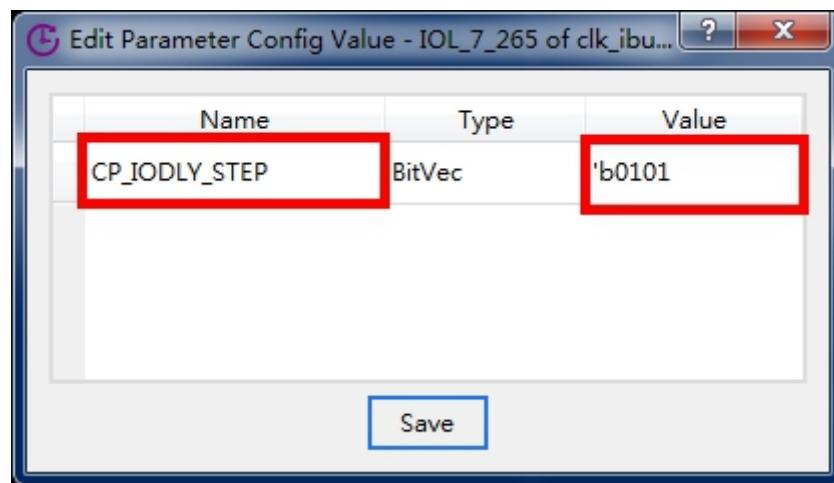


图 3-11 编辑 IODLY\_STEP 参数

在 Design Browser 中，同时也支持改变时序分析的速度等级，在 Design Browser 中右键点击器件，选择“Device Setting”一栏，可以改变速度等级，实现同一 DB 用不同的速度等级来进行时序分析。

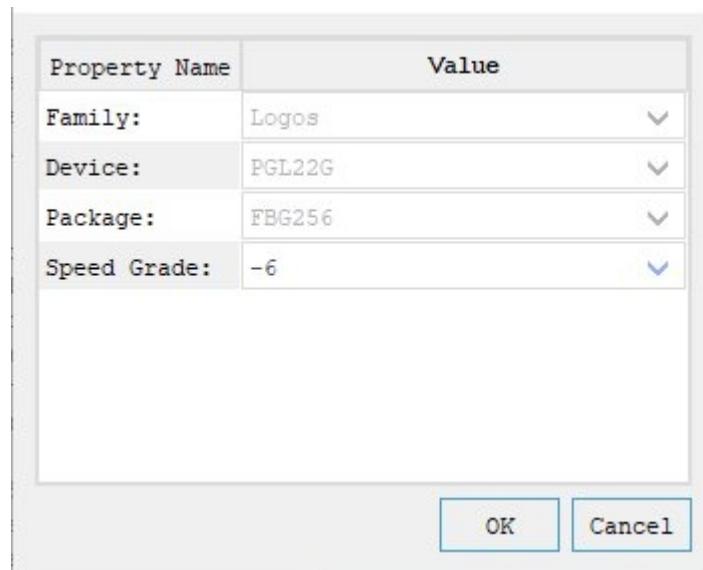


图 3-12 Device Setting 界面

## 4 操作流程

### 4.1 时序分析

菜单栏点击【Import DB and SDC】按钮来导入 DB 和 SDC 文件：

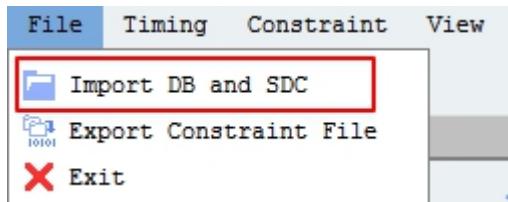


图 4-1 导入 PnR DB 和 SDC 文件

点击后弹出如下配置向导界面：

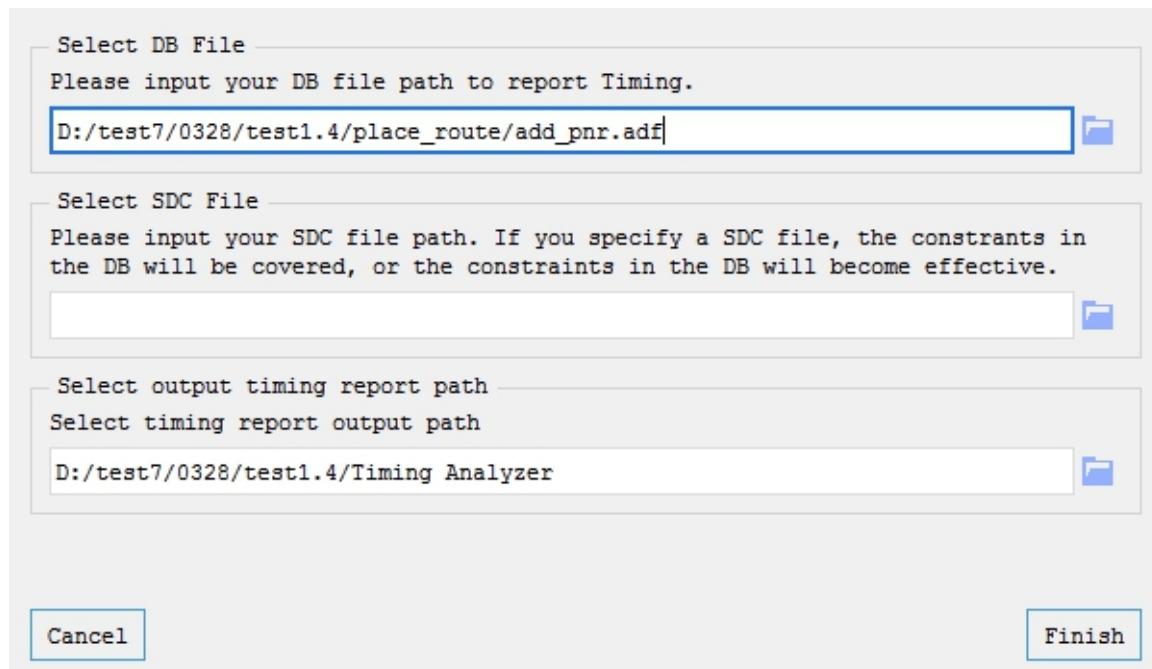


图 4-2 导入界面

在对话框中，首先用户需要选择要导入的 Design DB 和 SDC 文件的路径（Design DB 是必选的）；其次，Timing Analyzer 可以导出文本形式的时序报告文件，用户可以在第三个文本框中选择导出文件路径。在时序分析之后，会在该目录下自动生成一个名为 timing.rtr 的文件（如果没有选择路径，会在 TA.exe 的目录下生成 timing.rtr），该文件内容为时序报告的文本形式。当从 PDS 中打开 TA 进行时序分析时，会在当前 PDS 工程下保存时序分析后的文本报告 timing.rtr。

添加完成后，点击 Finish 按钮进入 TA 界面。在 TA 界面点击 report timing 按钮可以进入配置界面。

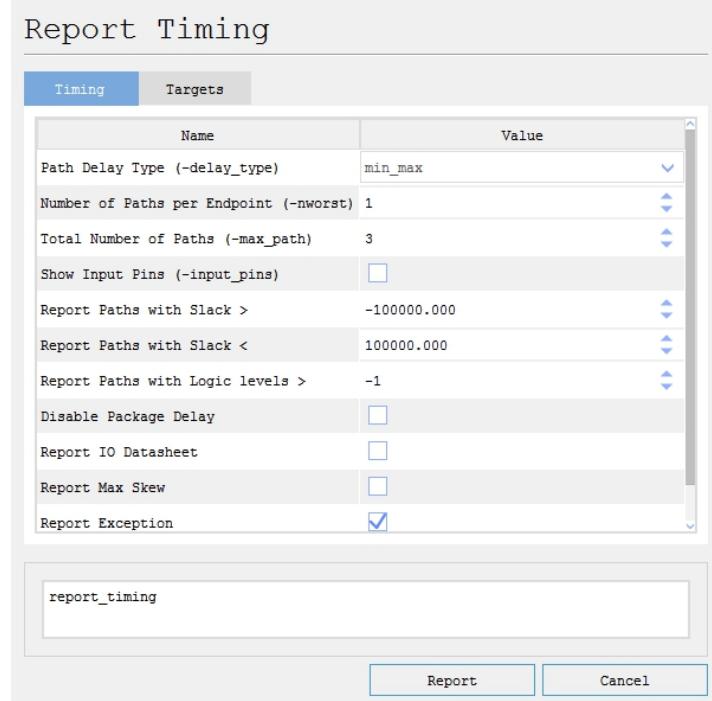


图 4-3 post-pnr 配置时序分析界面

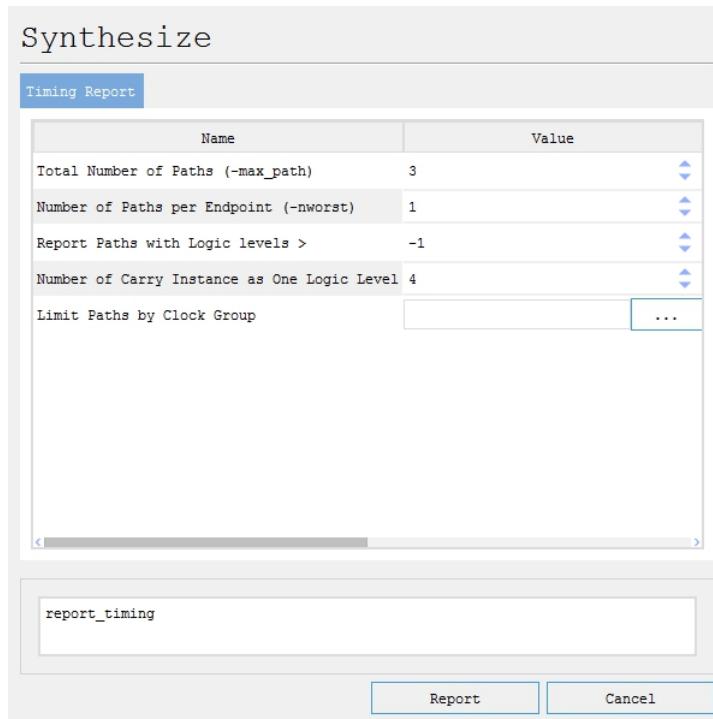


图 4-4 post-synthesize 配置时序分析界面

在这里用户可以对时序分析进行配置，每个 option 的介绍如下：

**【Path Delay Type (-delay\_type)】** 设置时序分析的类型，可选项有 max、min、min\_max。

选择 max 将对时序路径只进行 setup 分析，选择 min 将对时序路径只进行 hold 分析，选择 min\_max 则会对时序路径进行 setup 和 hold 分析。

**【Number of Paths per Endpoint (-nworst)】** 设置每个时序路径终点报告的最大路径数目。

**【Total Number of Paths (-max\_path)】** 设置时序报告的最大路径数目。时序分析工具按照 slack 对时序路径进行排序，最大路径数目不会超过该项设置数目。

**【Show Input Pins (-input\_pins)】** 显示输入 Pins。选择该项，则 timing path 中会显示输入端口的信息。不选择该项，则 timing path 中不显示输入端口的信息。

**【Report Paths with Slack >】** 设置报告的 slack 最小范围。slack 小于该项设置的时序路径将不予显示。

**【Report Paths with Slack <】** 设置报告的 slack 最大范围。slack 大于该项设置的时序路径将不予显示。

**【Report Paths with Logic Levels >】** 设置报告的时序路径 Logic Levels 最小值。setup/recovery 时序分析中 Logic Levels 小于等于该值的时序路径将不予显示。该设置不影响 hold/removal 分析时序路径。当设置的 logic level > -1 时，时序分析会优先报出 logic level 大的时序路径，而不一定是 slack 差的路径，时序报告也会按照 logic level 的大小排序，此时的时序结果不能作为时序是否收敛的判断标准。

**【Disable Package Delay】** 设置时序报告是否计算封装（package pin）的延迟。如果选中该选项，时序报告路径中将不会包括封装延迟。

**【Report IO Datasheet】** 设置时序报告是否报告 IO 时序特性，默认不报告 IO 时序特性。

**【Report Max Skew】** 设置时序报告是否报告用户约束的 set\_max\_skew 命令的时序特性。如果没有选中该选项，那么即使有 set\_max\_skew 这条命令约束，最后的时序报告也不会报告相关内容。

**【Report Exception】** 设置时序报告是否显示设置了 set\_multicycle\_path、set\_max\_delay、set\_min\_delay 和 set\_false\_path 这四种 Exception 约束的路径的独立报告。默认勾选该选项。

**【Report Exception】** 设置时序报告是否显示设置了 set\_multicycle\_path、set\_max\_delay、set\_min\_delay 和 set\_false\_path 这四种 Exception 约束的路径的独立报告。默认勾选该选项。

**【Limit Paths by Clock Group】** 设置时钟组的名字，时序报告中只会显示已设置时钟组的时序路径；对于不属于任何时钟组的 path，例如不是时序路径终点的 min/max delay path，可输入\*\*default\*\*来筛选。

**【Number of Carry Instance as One Logic Level】** 设置 carry instance 的数目作为一级 logic level，默认是 4 个 carry instance 作为一级 logic level。（仅在 post-synthesize TA 中可用）

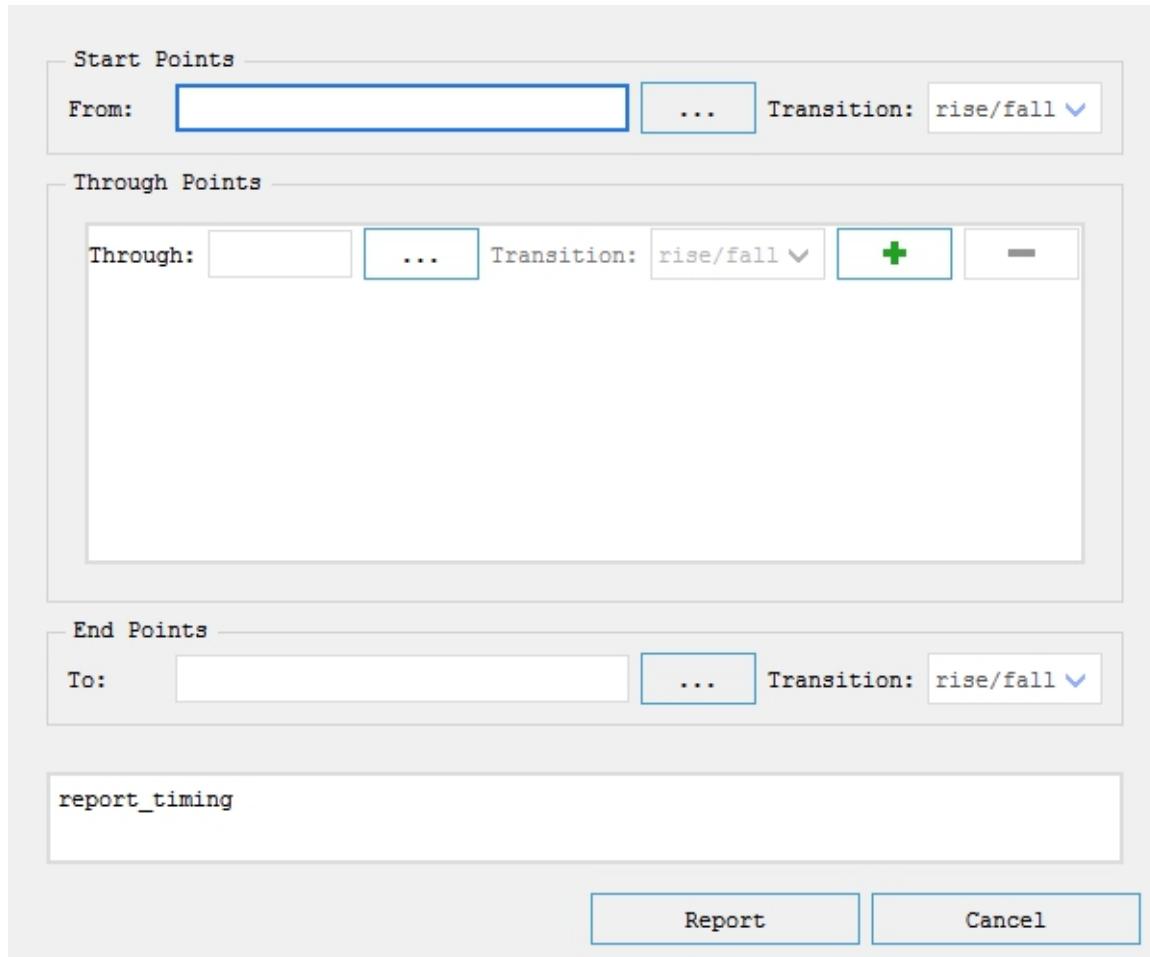


图 4-5 配置时序分析界面

【From】【Through】【To】可以指定时序报告中时序路径的 from/through/to 节点。

点击【Report】按钮即可进行时序分析，结束后用户可以在 Timing Report 界面查看时序报告。

TA 的报告界面与 PDS 流程中的 report timing 相同，见《Pango Design Suite User Guide》  
三. (四) .3.Report Timng 报告内容

#### 4. 2 Device view 中显示时序信息

如果想看到某一条时序路径在 Device view 中的状态，单击此路径，即可跳转到 Device view 中的该路径，如下图所示：

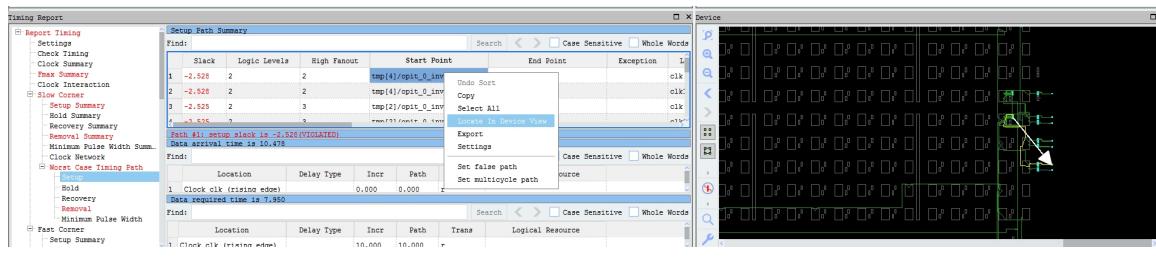


图 4-6 Device view 界面

Device view 中的操作和 Design Editor 中的操作相同，可以通过查看《Design Editor User Guide.doc》来进行操作。

例如 Device View 右键菜单中：

**【HighLight Selection】：**支持高亮且修改选中的 net 或 inst 的颜色。

**【UnHighLight】：**将选中的且已经修改过颜色的 net 或 inst 改回默认颜色。

**【Show Highlight List】：**弹出窗口，其中可以提供 Device view 界面已经修改过颜色的 inst 或 net (net 选项前面会有“n:”的字样，而 inst 则是“i:”)。且可以在窗口修改其颜色或者将其 UnHighLight。同时，窗口中的 net 或 inst 支持编辑名字来方便辨识，但是修改名字仅限于在此窗口用于辨识。在 Device view 界面上修改颜色或者增删都会刷新到窗口中。

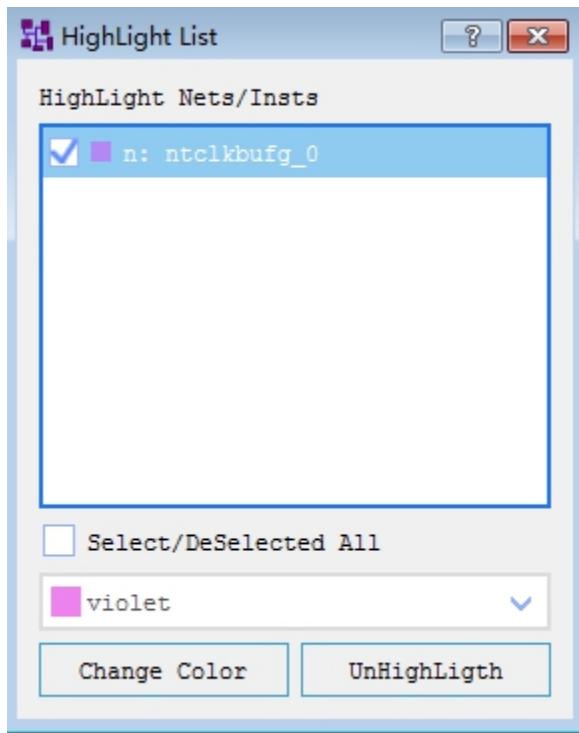


图 4-7 HighLight List 窗口

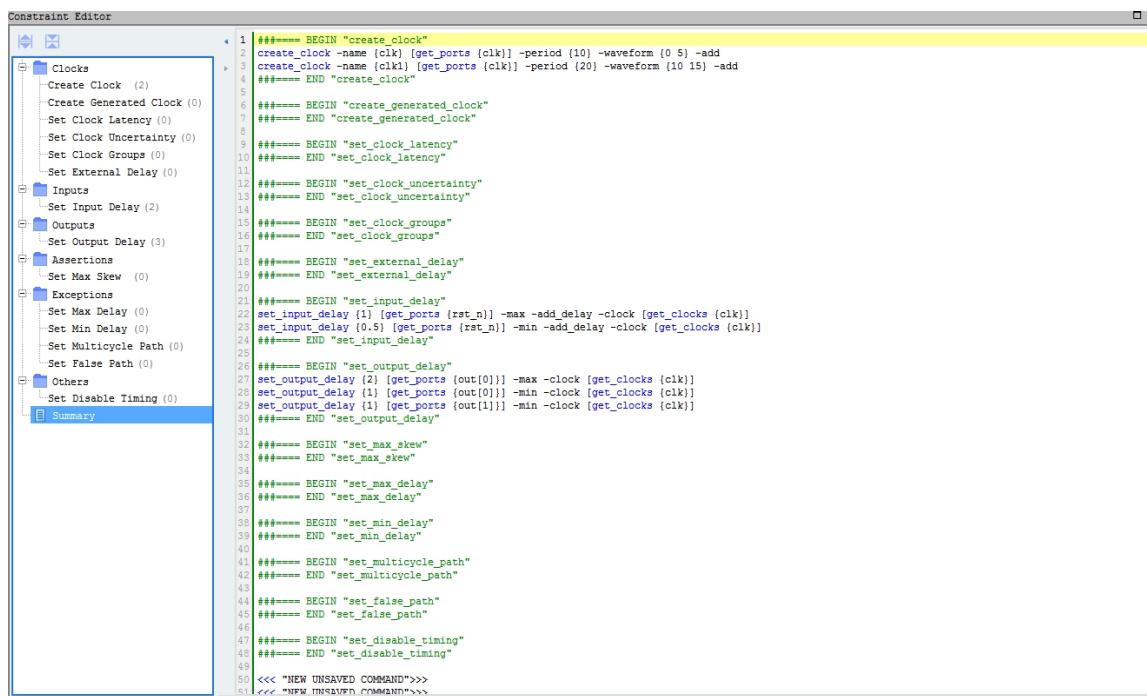
### 4.3 修改保存时序约束信息

时序分析结束后，可以在 TA 中的 Constraint Editor 中看到生效的时序约束信息，如下图所示：



图 4-8 Constraint Editor 界面

界面左边为对应的每一条时序约束命令，点击即可跳转到对应的约束表格界面。命令右边数字为命令的条数。最下方有一个 summary，点击会以文本形式显示当前所有约束信息。如下图所示：



```

1 ##### BEGIN "create_clock"
2 create_clock -name {clk} [get_ports {clk}] -period {10} -waveform {0 5} -add
3 create_clock -name {clk1} [get_ports {clk}] -period {20} -waveform {10 15} -add
4 ##### END "create_clock"
5
6 ##### BEGIN "create_generated_clock"
7 ##### END "create_generated_clock"
8
9 ##### BEGIN "set_clock_latency"
10 ##### END "set_clock_latency"
11
12 ##### BEGIN "set_clock_uncertainty"
13 ##### END "set_clock_uncertainty"
14
15 ##### BEGIN "set_clock_groups"
16 ##### END "set_clock_groups"
17
18 ##### BEGIN "set_external_delay"
19 ##### END "set_external_delay"
20
21 ##### BEGIN "set_input_delay"
22 set_input_delay {1} [get_ports {rst_n}] -max -add_delay -clock [get_clocks {clk}]
23 set_input_delay {0.8} [get_ports {rst_n}] -min -add_delay -clock [get_clocks {clk}]
24 ##### END "set_input_delay"
25
26 ##### BEGIN "set_output_delay"
27 set_output_delay {2} [get_ports {out[0]}] -max -clock [get_clocks {clk}]
28 set_output_delay {1} [get_ports {out[0]}] -min -clock [get_clocks {clk}]
29 set_output_delay {1} [get_ports {out[1]}] -min -clock [get_clocks {clk}]
30 ##### END "set_output_delay"
31
32 ##### BEGIN "set_max_skew"
33 ##### END "set_max_skew"
34
35 ##### BEGIN "set_max_delay"
36 ##### END "set_max_delay"
37
38 ##### BEGIN "set_min_delay"
39 ##### END "set_min_delay"
40
41 ##### BEGIN "set_multicycle_path"
42 ##### END "set_multicycle_path"
43
44 ##### BEGIN "set_false_path"
45 ##### END "set_false_path"
46
47 ##### BEGIN "set_disable_timing"
48 ##### END "set_disable_timing"
49
50 <<< "NEW UNSAVED COMMAND">>>>
51 <<< "NFM UNSAVED COMMAND">>>>

```

图 4-9 summary 界面

左侧树型结构的上面有折叠和展开的按钮，树型结构可以通过树型结构上面的按钮点击来实现折叠或者展开，方便查看。右侧显示命令。上部分为从文件中读取进来的已保存的命令。Unsaved Constraints 中则放置在 TA 中新创建的命令。保存以后命令状态则改变为已保存。

在约束表格界面中右键将会弹出如下图所示的菜单：

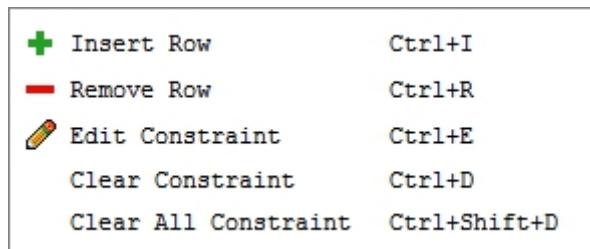


图 4-10 右键菜单界面

**【Insert Row】:** 插入一行约束；

**【Remove Row】:** 删除当前选中的约束；

**【Edit Constraint】:** 编辑当前选中的约束信息；

**【Clear Constraint】:** 清空当前选中的约束信息；

**【Clear All Constraint】:** 清空所有的约束信息。

如果用户需要编辑某一栏约束的值，单击该栏即可进行编辑。但是对于 object 类型的数据而言比较特殊，单击以后，在栏内会出现一个按钮，如下图所示：

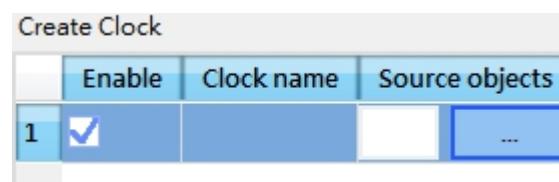


图 4-11 view 按钮

点击该按钮后，将会弹出一个列出当前 design 中的 object 对象的搜索工具，如图 4-11 所示：

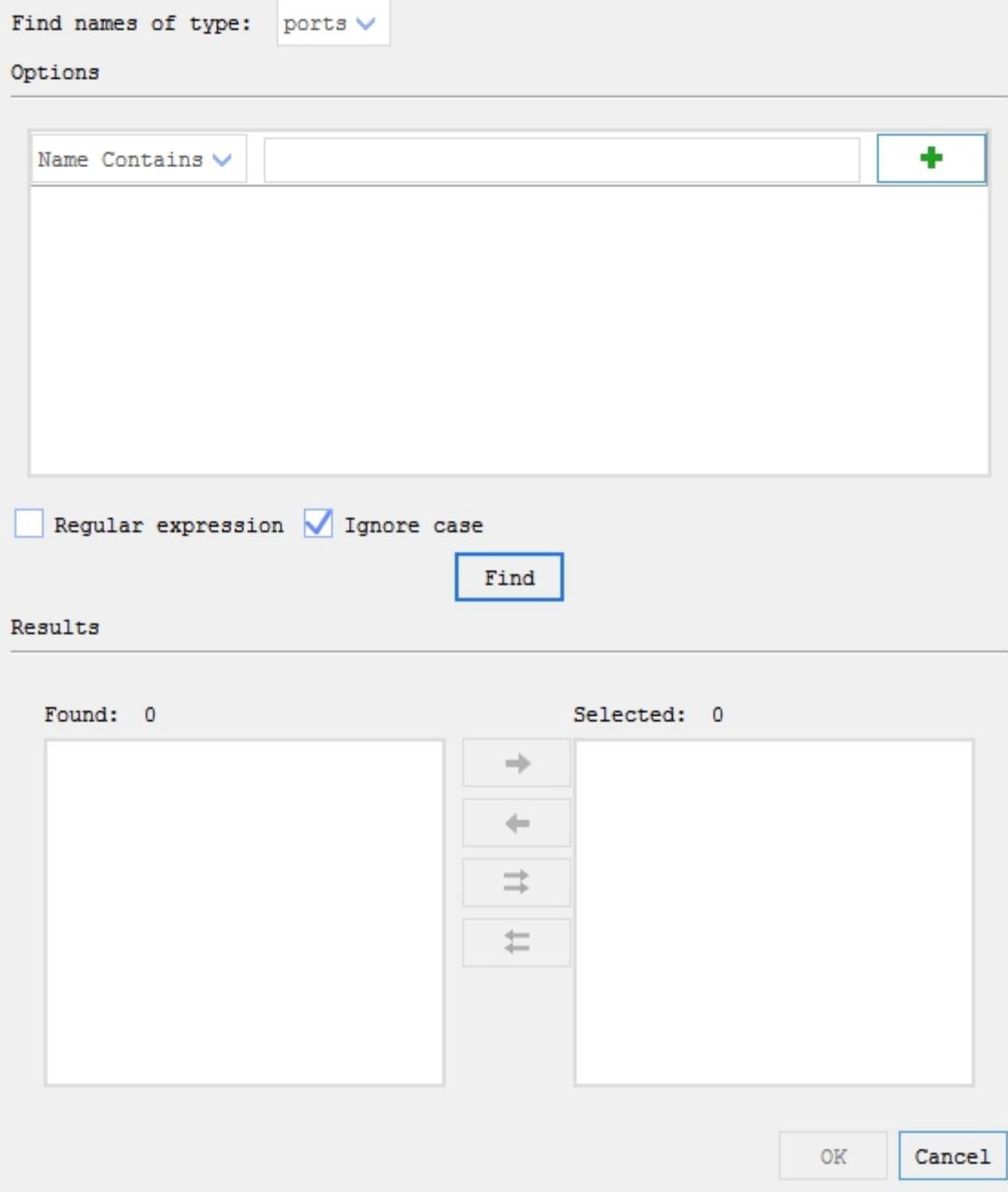


图 4-12 搜索工具

该搜索工具分上下两部分，上半部分为搜索条件，下半部分为搜索结果。搜索条件基于该搜索工具入口处支持的搜索类型，并提供正则匹配/忽略大小写/搜索 hierarchy 结构等搜索方式；用户也可以增加对不同类型的不同匹配方式，比如：搜索 ports 时可以指定 direction 的类型为 in/out/inout 中的某种。下半部分中左侧为搜索结果的显示，右侧为用户挑选的搜索结果。

该搜索工具可以在网表中搜索 insts/ports/nets/pins/clocks 五种类型的信息。根据需要提供搜索工具的入口支持的搜索类型，显示不同的类型。

注：由于 create\_generate\_clock 的 master\_clock 是依赖于 create\_clock 的，所以当  
20 / 25 Timing Analyzer 用户手册(1.4)

create\_clock 中的某个 clock 被删除后，对应的 create\_generate\_clock 即会被检查为非法的约束。

#### 4.4 图形化界面添加约束

约束内容不光可以在约束界面右键添加，也可以直接在约束命令中双击打开一个添加对应约束命令的 GUI 界面，或者在该条命令右侧表格的空白处双击。在已有命令的命令行中双击，则是打开修改该条命令的 GUI 界面。如图 4-12，图 4-13 所示：

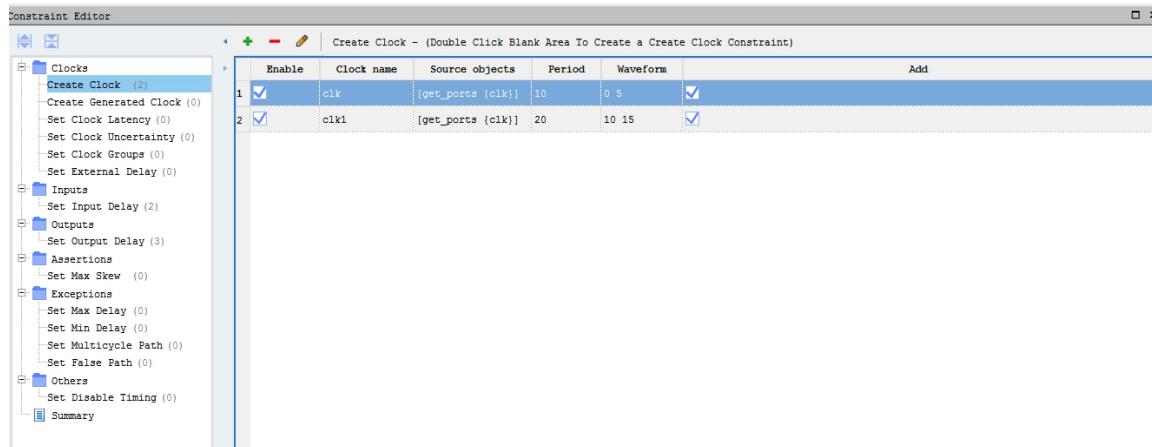


图 4-13 双击约束命令

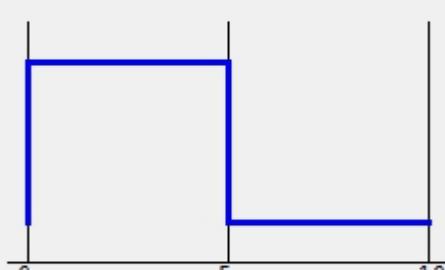
**Creates a clock object**  
The created clock is applied to the specified source objects. If you do not specify source objects, but give a clock name, a virtual clock is created.

Clock name:

Source objects:  ...

Waveform

Period:	10.000	ns
Rise at:	0.000	ns
Fall at:	5.000	ns



Add this clock to the existing clock (no overwriting)

Command: `create_clock -period {10.000} -waveform {0.000 5.000}`

Reset
OK
Cancel

图 4-14 添加约束 GUI 界面

在这个界面中，用户直接可以编辑一条约束命令，编辑结束后，点击【OK】按钮，即可

将当前编辑的约束内容添加到约束表格中去。这个功能提供了一种显示的方式来提示用户 option 之间的关系，若存在互斥的 option 选项，那么在勾选的时候就只能选择一个。若界面中的 option 构成的命令检查错误，点击【OK】按钮，则会弹窗显示错误信息。只有正确的命令点击【OK】才能加入表格中。

在此，只以 `create_clock` 命令的 GUI 界面作为模板说明该操作的界面，其他命令的操作界面不再赘述。若想详细参阅每条命令的具体意义，请参考用户手册《Pango Design Suite User Guide.doc》第六章时序命令的详细说明；若想参阅每条命令界面的说明，请参考用户手册《Pango Design Suite User Guide.doc》第一章 UCE 界面的详细说明。

以上是对约束信息进行增删改操作，完成后需要对当前约束信息进行检查，检查没有错误后才能导出为一个 sdc 文件或者直接进行时序分析。

#### 4.5 报告指定路径的时序信息

在主界面的【Timing】菜单按钮中有一个子菜单【Report path】。这个功能支持了报告指定路径的时序信息，点击该菜单后将会弹出如图 4-14 所示的对话框：

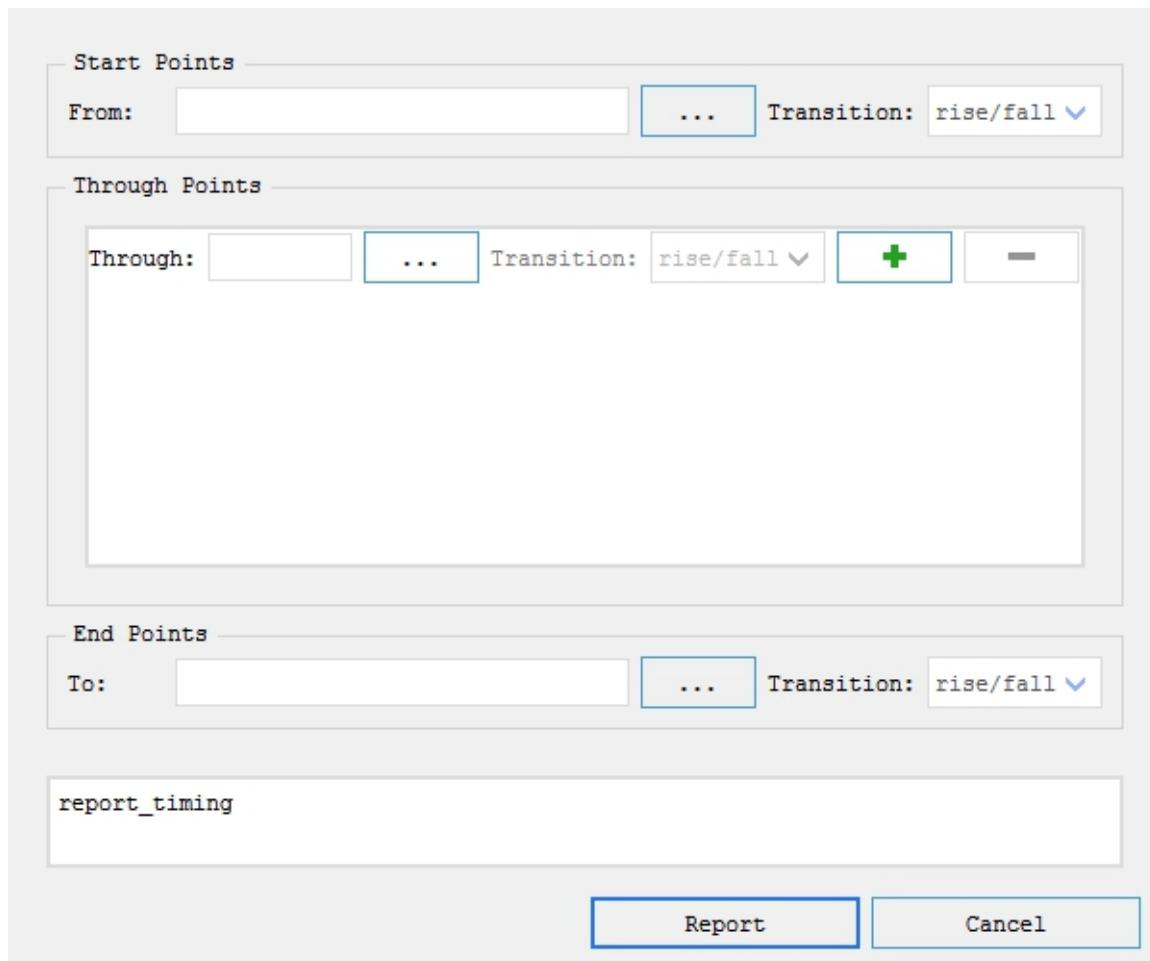


图 4-15 指定路径界面

这个对话框中主要分为三个部分，指定 From 经过点部分，指定 Through 经过点部分，和指定 To 经过点部分，通过这三个部分可以确定一条或者一组路径，然后点击下方的【OK】按钮后将会报告指定时序路径的信息。

对于 Froms 和 To 而言，后边有一个空白的输入框，双击进行编辑，输入框中可以输入多个位置，中间用空格分割，如果设置不对，会报 critical warning。

对于 Throughs 部分，由于这个 option 在一条命令中可能存在多组，所以增加了一个【Add】按钮和一个【Delete】按钮，用户可以通过【Add】按钮添加一组 Through，【Delete】用来删除一组，点击后【Add】后如下图所示：

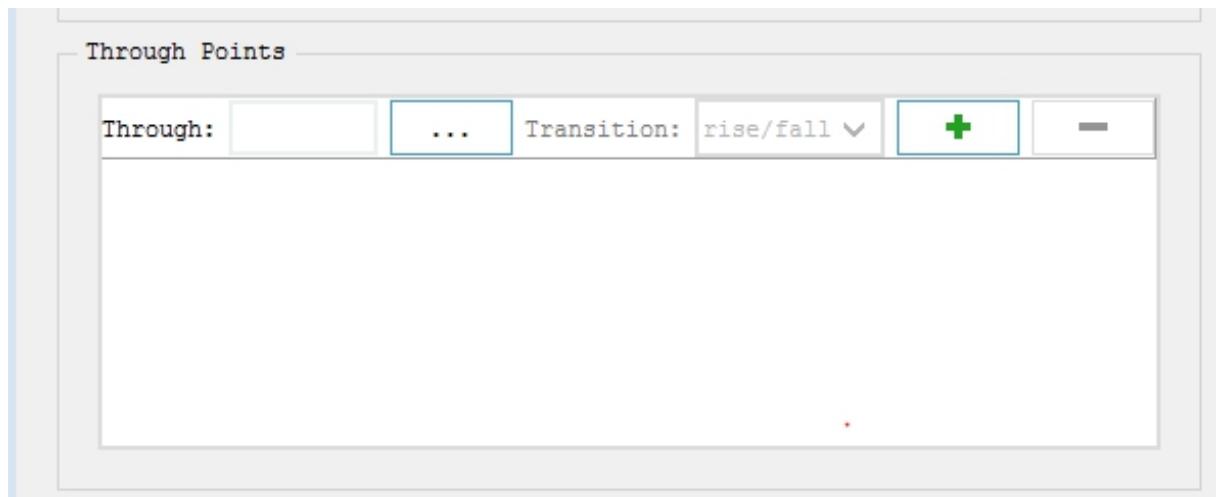


图 4-16 点击 Add 按钮后

用户可以添加多行 Through，每一行 through 和 from、to 是一样的，双击进行编辑，可以输入多个位置，中间用空格分割。

此功能共有两种输入方式，一种是直接手动输入，另一种是在 Device view 界面点击输入。手动输入上边已经介绍，下边主要说一下如何通过 Device view 界面点击输入：

首先用户打开这个对话框之后，可以看到 Froms、Throughs、To 三个输入框，鼠标选择输入其中一个输入框，让其处于输入状态，然后切换 TA 到 Device view 界面，选择需要输入的对象，点击后即可自动输入到对话框中。

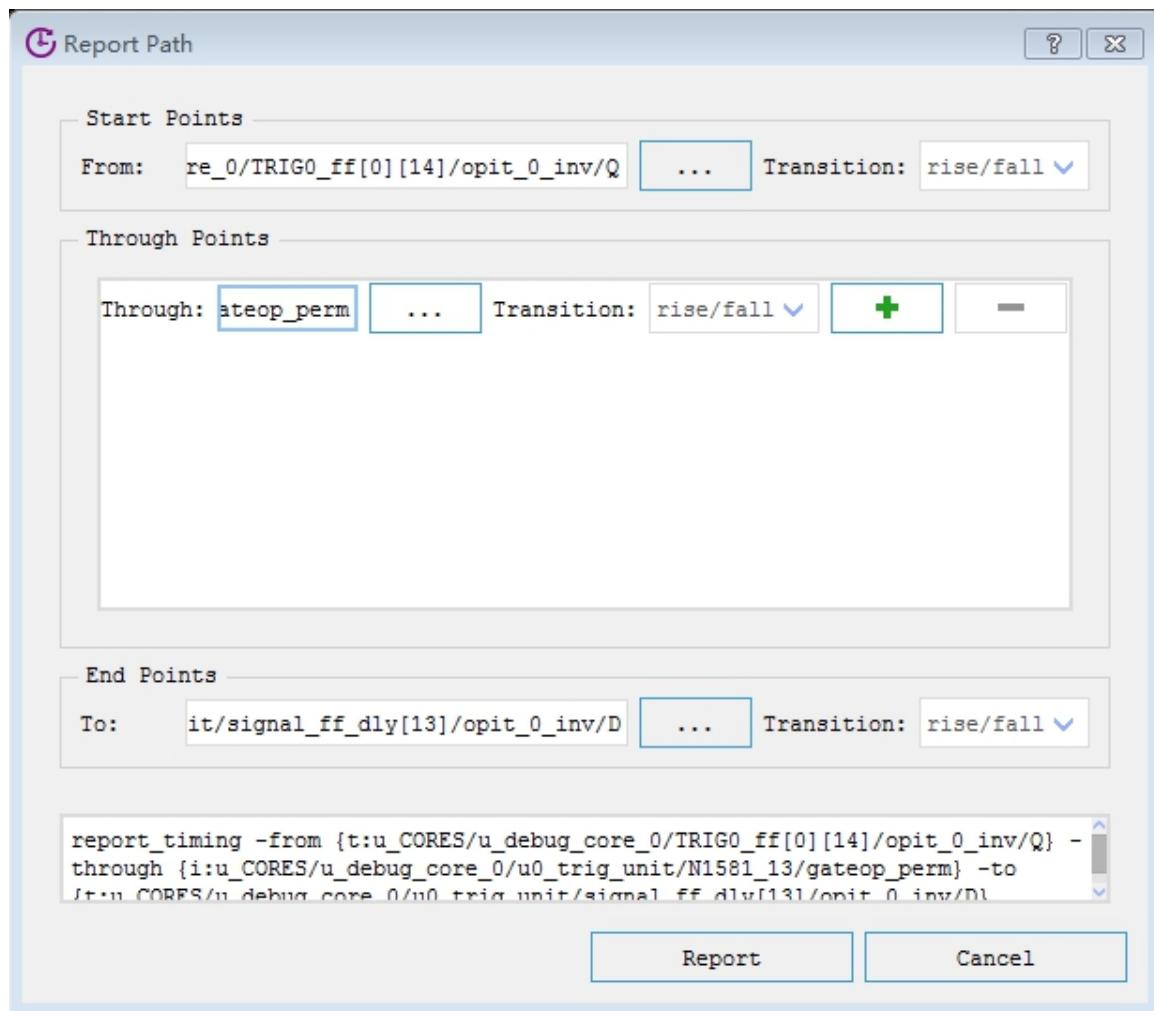


图 4-17 Device view 界面点击输入

当指定 From、Through、To 结束后，点击【OK】按钮即可对指定的路径进行时序分析了，分析结果将在 report timing 界面显示出来。

## 免责声明

### 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

### 免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。