

Pango SSN Analyzer 用户手册

(Version 1.0)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2022.07.12	初始版本

目录

文档版本修订记录	1
目录	2
图目录	3
名词术语解释	4
1 功能介绍	5
2 运行软件	6
2.1 启动软件	6
2.2 配置参数	6
2.3 SSN 分析阶段	7
2.4 SSN 结果报告	7
2.4.1 SSN margin 的计算方法	8
免责声明	10

图目录

图 2-1 SSN Analyzer 启动图标.....	6
图 2-2 SSN Analyzer 启动对话框.....	6
图 2-3 I/O Table 配置界面	7
图 2-4 I/O Report 界面	7
图 2-5 SSN Report.....	8
图 2-6 SSN Margin 示意图	9

名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼
PDS	Pango Design Suite
SSN	Simultaneous Switching Noise
SSO	Simultaneous Switching output
PNA	Pango SSN Analyzer
PNE	Pango SSN Estimator
PDN	Power Distribution Network
UCE	User Constraint Editor

1 功能介绍

Pango SSN Analyzer (下文简称 PNA) 用于分析 I/O bank 内的同步开关输出 (Simultaneous Switching outputs, 简称 SSO) 对其他静态 I/O 端口产生的噪声, 即同步开关噪声 (Simultaneous Switching Noise, 简称 SSN)。该噪声主要由电源分配网络 (Power Distribution Network, 简称 PDN) 和互感串扰引入, 会在高电平上产生一定的压降, 在低电平上产生一定的地弹, 当噪声超出各自的 I/O 标准容限, 那么可能会被认为是一个有效的信号翻转, 导致系统的功能错误。

FPGA 芯片的 I/O 资源分布在各个的 bank 内, 每一个 bank 有各自独立的电源分配网络, SSN 噪声在不同 bank 内造成的影响是不同的, 另外, I/O Standard 和 bank 内的 I/O 数目也会对 bank 内的 SSN 噪声产生影响。

PNA 分析工具结合用户在 IO Planner 中分配的 I/O 管脚信息和各个 bank 的电压特性, 预测分析 bank 内各个 I/O 端口的 SSN 噪声干扰, 并评估其 margin 的大小, 便于用户了解设计中潜在的 SSN 噪声风险。

PNA 分析工具基于一种典型的工艺、电压、温度条件和 PCB 板进行分析预测, 而用户设计的 design 和使用条件各有不同, 因此 PNA 分析工具旨在预测用户 design 中潜在的 SSN 噪声风险问题, 因此该分析结果只能作为用户设计的一种参考, 不能够完全作为最终的判断结果。

注: PNA 分析工具并不是支持所有器件和封装, PNA 支持的器件列表和 PNE 一致, 请在 PNE 里面查看对应的器件支持列表。另外, PNA 插件需要申请对应 license(fabric_pna)才可以使用。

2 运行软件

2.1 启动软件

PNA 分析工具集成在 PDS 套件中，可以通过如下两种方式启动：

- 选择 Tools > SSN Analyzer。
- 选择快速启动栏中的 SSN Analyzer 图标，如下图所示



图 2-1 SSN Analyzer 启动图标

2.2 配置参数

在下图的 SSN Analyzer 启动对话框中，设置对应的选项，点击 OK。

- Result name: 输入 result 窗口的名字。
- Desired margin: 输入用户要求的 margin 余量，对于不满足该余量的 margin 结果会标红。
- Export to file: 选择是否输出到 TXT 文件中，并指定文件路径。
- Open in a new tab: 选择是否打开一个新的 tab 来显示 SSN report。

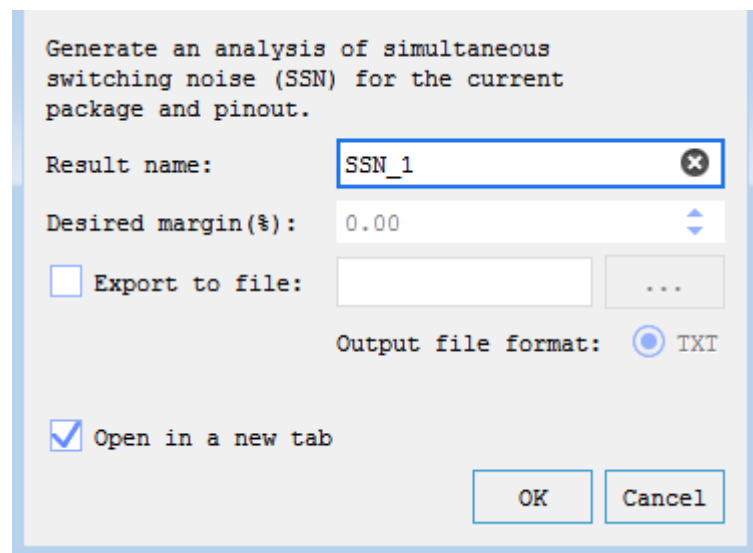


图 2-2 SSN Analyzer 启动对话框

2.3 SSN 分析阶段

PNA 分析工具在 PDS flow 的各个阶段都可以运行，方便用户及时查看 SSN 结果。如果在 Place & Route 完成之前进行 SSN 分析，PNA 分析工具会基于用户在 UCE（User Constraint Editor）中约束的 I/O 信息进行分析，如下图所示；如果在 Place & Route 完成之后进行 SSN 分析，PNA 分析工具分析的 I/O 信息与 I/O Report 中的一致，I/O Report 中包括用户配置的 I/O 信息和软件自动分配的 I/O 信息，如下图所示。

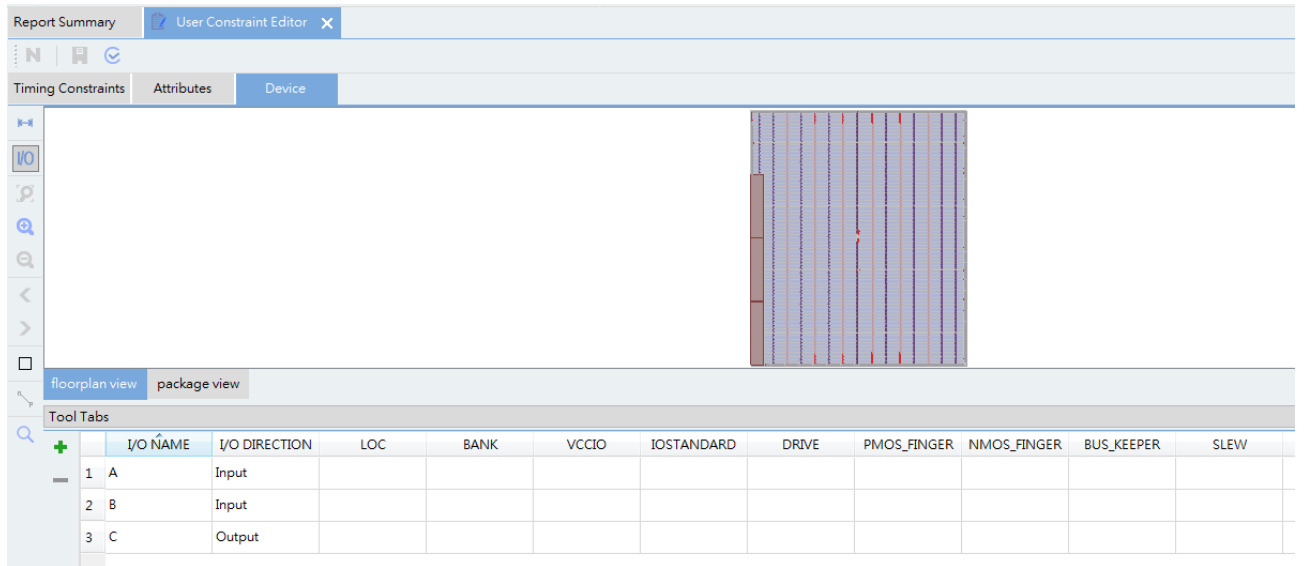


图 2-3 I/O Table 配置界面

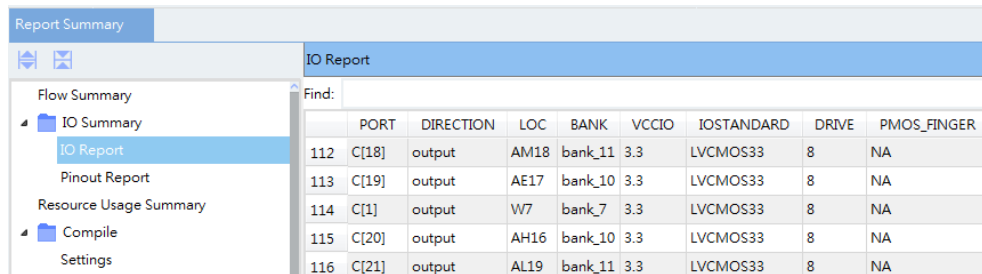


图 2-4 I/O Report 界面

2.4 SSN 结果报告

分析完成后，会打开 SSN 结果报告，如下图所示：

SSN Report (Desired Margin : 70.00%)							
LOC	PORT	IOSTANDARD	VCCIO	DRIVE	SLEW	OFF_CHIP_TERMINATION	MARGIN(%)
bank_7							
Y4	C[2]	LVC MOS33	3.3	8.0	SLOW	N	65.15
Y2	C[3]	LVC MOS33	3.3	8.0	SLOW	N	65.15
Y1	C[0]	LVC MOS33	3.3	8.0	SLOW	N	65.15
W4	C[5]	LVC MOS33	3.3	8.0	SLOW	N	65.15
W2	C[1]	LVC MOS33	3.3	8.0	SLOW	N	65.15
AA2	C[4]	LVC MOS33	3.3	8.0	SLOW	N	65.15
AA1	C[6]	LVC MOS33	3.3	8.0	SLOW	N	65.15
bank_6							
V5	C[7]	LVC MOS33	3.3	8.0	SLOW	N	78.25
V4	C[9]	LVC MOS33	3.3	8.0	SLOW	N	78.25
T8	C[8]	LVC MOS33	3.3	8.0	SLOW	N	78.25

图 2-5 SSN Report

- LOC: 显示 device 中用到的 I/O banks 和 I/O bank 内的 I/O Location。
- PORT: 显示用户 FPGA design 中的 I/O 名字。
- IOSTANDARD, VCCIO, DRIVE, SLEW: 显示 I/O port 的配置信息。
- OFF_CHIP_TERMINATION: 显示每个 I/O port 是否挂有片外负载, Y 表示有 50Ω 的远端负载, N 表示没有远端负载, 该参数只应用于 SSN 分析, 可在上图中对应的 I/O Table 中进行设置。
- MARGIN(%): 显示每个 I/O port 剩余的噪声余量, 当余量小于 desired margin 时, 会标红提醒。

2.4.1 SSN margin 的计算方法

下面用图示和公式简单说明 SSN margin 的计算方法:

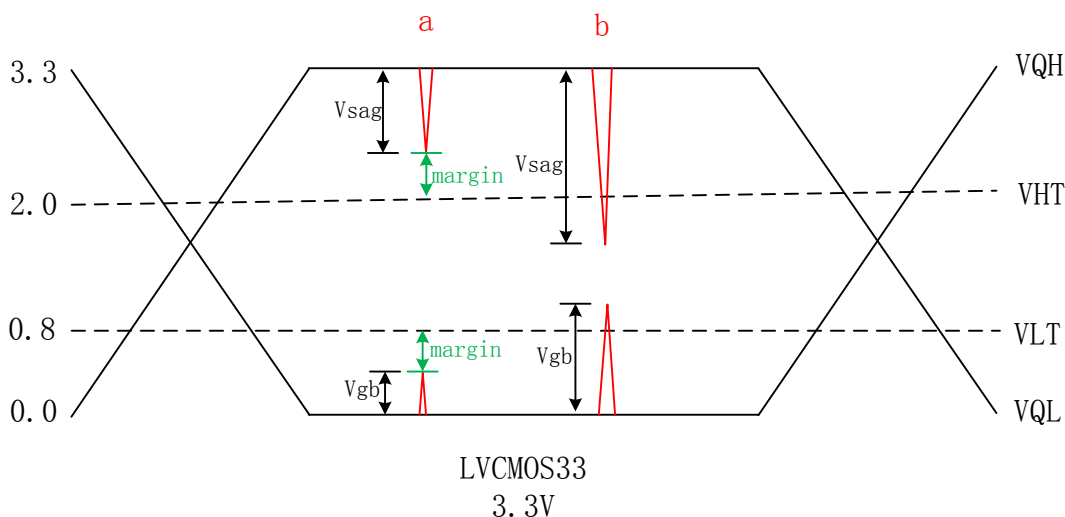


图 2-6 SSN Margin 示意图

$$\text{高电平: } margin = (VQH - VHT - Vsag) / (VQH - VHT) * 100\%$$

$$\text{低电平: } margin = (VLT - VQL - Vgb) / (VLT - VQL) * 100\%$$

如上图和公式所示，SSN margin 的计算方法中， VQH 为静态高电平电压， VHT 为高电平门限阈值， $Vsag$ 为高电平压降电压， VQL 为静态低电平电压， VLT 为低电平门限阈值， Vgb 为低电平地弹电压。

注：SSTL 和 HSSTL 的 IO 标准静态电平电压会受到 IO 配置的影响，不等于电源电压；LVDS 等差分 IO 标准的 SSN 噪声影响非常小，SSN 分析工具不会考虑其影响。

免责声明

版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

免责声明

- 1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。
- 2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。
- 3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。