

YingJieSheng.COM

应届生

求职大礼包

2009

电子工程师篇

电子工程专业求职讨论区:

<http://bbs.yingjiesheng.com/>

更多求职大礼包及求职资料下载:

<http://bbs.yingjiesheng.com/forum-436-1.html>

目 录

目 录.....	2
一、电子工程师概述.....	3
1.1 电子工程师定义.....	3
1.2 电子工程师工作职责.....	3
1.3 电子工程师薪酬状况.....	3
1.3.1 总体情况.....	3
1.3.2 2006 年度中国电子工程师薪酬调查.....	3
1.3.3 2007 年度 61Job 中国电子行业薪酬和职业发展调查报告（摘要）.....	4
1.3.4 北美电子工程师薪酬大揭秘：虽不及明星，倒也悠然自得.....	5
1.4 中国电子工程师现状.....	6
二、如何成为电子工程师.....	9
2.1 电子工程师，别拿一分钱不当回事.....	9
2.2 电子工程师素质.....	10
2.3 电子工程师专业技能要求.....	11
2.3.1 专业、技能及素质要求.....	11
2.3.2 求职小贴士.....	11
2.4 电子工程师常见笔试题目.....	11
2.5 注册电子工程师考试.....	19
2.5.1 考试简介.....	19
2.5.2 报名需带物品.....	19
2.5.3 全国电子技术水平考试认证证书.....	19
2.5.4 考试大纲.....	19
2.5.5 主要课程.....	22
2.5.6 主要教材.....	22
2.5.7 全国电气智能应用水平考试（NCEE）报考条件.....	22

免责声明

本文由应届生求职网（<http://www.yingjiesheng.com>）收集整理，内容来自于相关企业的官方网站及热心同学贡献，内容属于我们广大的求职同学，欢迎大家与同学好友分享，让更多同学得益，此为编写这套宝典的本义。感谢！

一、电子工程师概述

1.1 电子工程师定义

电子工程师是指开发或改装电子系统与封装系统、参与系统设计的各个阶段直至最终测试的专业技术人员。

1.2 电子工程师工作职责

- ① 负责产品开发项目调试、测试规范的制定;
- ② 负责产品项目中电气软硬件设计、开发、调试;
- ③ 负责产品项目中采购件的调研、分析及选型;
- ④ 负责产品开发项目中技术资料的整理及编写;
- ⑤ 硬件电路设计、调试、功能测试、可靠性测试。

1.3 电子工程师薪酬状况

1.3.1 总体情况

中国大陆电子制造业复盖了通讯与网络产品、计算机产品、消费电子产品、产业电子产品和其它相关电子产品,在过去的十年里持续表现出两位数字成长,是国家 GDP 成长速度的三倍。即使在全球经济疲软的 2002 年,中国大陆电子产品的总销售额也比 2001 年成长了 17.8%。在这种成长的经济形势下,中国大陆电子制造业对工程技术人才整体上仍保持旺盛的需求。电子工程师的月薪一般都在 3000 元以上,经验丰富者会更高。

1.3.2 2006 年度中国电子工程师薪酬调查

从 2002 年起已经连续三年举办“中国电子工程师薪酬调查”活动,今年总数 2287 电子工程师和技术管理人员提交了调查问卷,其中 16%来自上海市,来自深圳和北京的电子工程师分别占 15%,接下来依此是江苏省(12%)、广东(8%)、山东(4%)、四川(4%)、湖北(3%)、福建(2%)、陕西(2%),参加人数为 1%的省份有河北和辽宁,其它省份的电子工程师大约占 7%,覆盖了除台湾省、新疆和西藏之外的中国所有省份。从企业规模来看,45%的工程师来自规模为 8 千万以下的企业,33%的工程师来自规模为 8 千万到 10 亿的企业,另外 22%的工程师来自年销售额 10 亿以上的企业。

IC 设计和封装业持续高薪

随着 IC 设计、封装、测试的整体产业结构趋于合理,该行业不仅已经持续几年得到行业平均薪酬第一的桂冠,而且薪水增长幅度最大,平均年薪比去年同期增长了 2 万以上。分析数据还表明,

IC 设计和封装业中有 31.7% 的人月收入上万。

高学历者是高薪社群的主力军

不同学历的平均年薪明显呈现阶梯状。博士的平均年薪接近 16 万，硕士为 104,023，本科为 73,696。整体来说，所有参与调查的 52 位博士中，有 28 人跨入高薪社群，比例高达 53.8%。普遍来讲，电子行业的学历还是代表年薪与能力。

四十岁是黄金高薪年龄

调查结果显示，随着年龄的增加，电子社群的平均年薪在四十岁时达到高峰，然后再呈现递减状态。需要解释的是这或许和参与者年龄的分布有关系，此次参与调查的读者在 25-29 岁之间的比例超过一半以上。另外，由于 60 岁以上的样本比例较少，所以可能没有最真切的反映出现实生活中的真实情况。

上海、北京、深圳三地仍是电子工程师的首选

薪酬一直是影响中国电子工程师选择工作地点的一项最重要的因素，而上海、北京、深圳三地的薪酬水平近年来一直位居前三甲，而且它们在经济繁荣程度、发展速度、择业机会、现代化程度等方面更具优势，因此这三个城市自然是电子工程师的首选。与往年的调查结果一致，在关于最理想工作地点的调查回复中，上海仍稳居榜首，获得了 31% 的选票，深圳其次，拥有 20% 的支持者，北京以 15% 的支持者居第三位。

此外，在剩下将近 34% 的调查者中，有一半选择了苏州、成都、青岛和大连这几个城市，分别占了 6.5%、4%、3% 和 2%。分析个中原因，城市的生活环境和氛围应该是一大因素。苏州素有人间天堂的美称，青岛、大连则是环渤海边上的两颗明珠，成都人安逸闲适的生活方式也是不少现代人所羡慕的。而且，由于近几年成都政府加大了对电子产业的投资和开发力度，许多大型 IT 公司纷纷进驻，薪酬水平直追沿海发达城市，而其生活节奏却不像沿海城市那么快，气候宜人，对于电子工程师具有很强的吸引力。

1.3.3 2007 年度 61Job 中国电子行业薪酬和职业发展调查报告（摘要）

不同省市的薪酬收入差距

本次调查活动得到了来自全国 29 个省市（包括新疆和西藏）电子工程师的热心支持，但为使调查分析结果更具有科学性和区域代表性，在分析区域薪酬特征时我们主要以参与调查人数在 300 人以上的地区进行样本分析统计，符合这一统计要求的是：北京、江苏、山东、上海、浙江、广东其它地区、广州、深圳（因广东地区电子企业和电子工程师分布数量集中，在采样过程中我们又将广东省分为：广州、深圳、广东其它地区三个独立的地区进行分别统计）。

统计发现：以上 8 个省市地区的电子工程师平均年薪为人民币 55026 元（平均月薪为人民币 4585.5 元）。其中上海地区工程师的平均年薪最高，为人民币 78210 元（平均月薪人民币 6518 元）；

山东地区平均年薪最低为人民币 33888 元；北京和深圳平均年薪分别为人民币 62082 元和 66601 元。

统计发现，在以上抽样的 8 个省市地区中有超过 56.3% 的电子工程师在正常年薪收入之外还会

得到公司其他奖金奖励,这与电子工程师所有样本奖金调查统计结果 56.2%的数值几乎是一致的。从区域上看,北京地区有超过 61.7%的电子工程师有奖金奖励,居 8 个调查省市地区之首;深圳地区的平均奖金额度最高,约为人民币 18692 元;上海地区的电子工程师奖金获得率和平均奖金额度都很突出,分别是 59.5%和人民币 18344 元。

通过对典型职位“设计与开发”职责进行不同地区的分析对比发现,8 个省市的设计开发人员平均年薪为人民币 58266 元(月薪 4855 元)。其中,上海的设计开发人员平均年薪最高,约为人民币 75068 元(平均月薪 6256 元);北京地区其次,平均年薪约为人民币 69347 元(平均月薪 5779 元);广东其他地区(不包含广州、深圳)平均年薪最低约合人民币 36837 元(平均月薪 3070 元)。

公司规模对于个人薪酬收入的影响

调查发现:电子工程师的薪酬和奖金收入与自身所处企业规模大小成正比例关系,公司规模低于8百万元人民币企业的电子工程师平均年薪为人民币37897元,平均年奖金为人民币11587元;而公司规模在8亿人民币以上企业的电子工程师平均年薪为人民币70191元,平均年奖金为人民币19006元,分别是公司规模低于8百万元人民币企业电子工程师平均年薪奖金的1.85倍和1.64倍。

不同所有制的企业性质对薪酬福利的影响

通过对不同所有制性质企业的薪酬调查分析发现,外资企业与合资企业的电子工程师的薪酬收入和奖金收入都明显高于非外资企业(包括:国有企业、民营企业、其他私营企业等),外资企业(含合资企业)电子工程师的平均薪酬收入为人民币 64404 元(月薪人民币 5367 元),平均年奖金收入为人民币 15442 元。

而从调查样本的企业数量统计发现,中国的民营电子企业占到了 41%比例,但民营企业电子工程师的平均薪酬仅为人民币 46133 元(月薪人民币 3844 元),平均年奖金收入为人民币 14775 元;其他类型企业(含私有企业)的电子工程师薪酬收入最低,平均年薪仅为人民币 34427 元(月薪 2869 元),奖金收入也处于最低水平。

学历与薪酬收入

调查显示,中国电子工程师的薪酬奖金收入与学历成正比例关系。拥有博士学位的电子工程师的平均年薪最高约为人民币 131396 元(月薪人民币 10950 元),平均年奖金收入为人民币 48900 元;拥有硕士学位的电子工程师年薪与奖金收入分别为人民币 70075 元(月薪 5840 元)和 17908 元;拥有学士学位的电子工程师年薪与奖金收入分别为人民币 51282 元(月薪 4274 元)和 14735 元;其他学历的平均年薪为 37569 元(月薪 3131 元),平均奖金为 10987 元。

1.3.4 北美电子工程师薪酬大揭秘:虽不及明星,倒也悠然自得

在北美的工程师拥有非常不错的薪水,这些薪水是多少并不重要,重要的是他们对现状很满意,至少根据他们对 EE Times 年度薪酬和观点调查(EE Times Annual Salary & Opinion Survey)所做的回答可见。

今年,通过对接近 1600 个回答问卷的工程师的调查发现,美国工程师的中间层收入(包括津贴)为 10.88 万美元,稍微高于去年的 10.43 万美元。相比之下,欧洲个回答问卷的工程师的中间层收入刚好超过 6.1 万美元;日本工程师的中间层收入为 6.54 万美元。

美国工程师的生活并不是无所忧虑。对于工作的安全性以及把工作外包给较低成本的市场——主要是欧洲和南亚，人们有着深深的担忧。然而，美国工程师的年度补偿几乎比他们最近的竞争者高 40%，他们有理由为现状感到满意。实际上，稍微超过 2/3(67%) 的回答问卷者表示，他们对事业和雇主两方面都满意。只有 14% 的人表达了对立的情感。

回答问卷的 Cirque 公司的 Paul Vincent 以雄辩的口才总结了这种主流情感：“我是一名工程师，一名最普通的工程师，”他写道，“我总是喜欢在创造性解决问题之中的冒险和挑战，喜欢探索一种让设计行得通的方法，并劝告其他人让我来完成。其它的大多数事业仅仅提供我所喜爱的工程设计当中的一部分乐趣。”

在欧洲的工程师当中，56.8% 回答问卷的人表示，他们对工作满意，但是，不满意度也高达 27%。在日本，84.6% 的工程师回答说他们“满意”(26%) 或“有点满意”(58.6%)。调查样本今年在北美刚好不到 1600 人；在日本为 1900 多人；而在欧洲为 164 人。

薪酬增长，但不多

正如在总补偿中的变化所显示，在北美样本中整板的薪酬增长被集中在 4% 的范围内，这大约与生活成本的增长相匹配。多数回答问卷的人(48.7%) 表示，薪酬增长在 2% 到 4% 之间。整体而言，在北美和欧洲每 5 个工程师当中，有 4 个获得了 6% 或不到 6% 的薪酬增长。在欧洲，超过 65% 的工程师的薪酬增长未能达到最高的 4%。在日本的回答问卷的工程师当中，只有 37.8% 的人表示获得了加薪；而 20.2% 的人表示实际上为减薪。

对在北美的主要美国公司采样得出的薪酬相对停滞增长的事实，反应了对经济的普遍忧虑，并且对可能存在的问题发出了信号。几年来，参与调查的许多工程师都表示了跟海外较低薪酬的工程师竞争上的担心，并且害怕在美国和其它地方的工程师威胁他们的生活标准——甚至它们的生计。

美国工程师最关心的两个问题集中在外国的竞争上。离岸外包被引证为 35.4% 的人所担心的主要影响。此外，16.3% 的人承认，他们对 H-1B 签证雇用的水平表示不安(为外国工程师在美国临时工作而办理的特别签证)，并且 51.7% 以上回答问卷的人表示对外国竞争的担忧。

今年 61 岁的 DRS Technologies 公司的工程师 Roger Landon 总结他的挫折时说，“我们被告知，我们需要更多的 H1-B 签证，因为公司找不到工程师。可是，工程师是现成的，首席执行官不想付钱罢了。”

在政府服务部门工作的 34 岁的 IC 设计工程师 Joe Lauinger 更坦率地说，“我认为外国工程师将充满美国的依赖于工程师的公司，创造他们自己的分拆公司和关系，占领各个管理职位，并最终控制该行业。富有工程师的国家将操纵我们的工业。”

1.4 中国电子工程师现状

中国有多少电子工程师？他们都是什么样的人？他们有什么样的喜好？他们从哪里购买电子元器件？他们需要什么样的信息服务？哪些厂商和供应商在中国电子工程师群体中确立了良好口碑？

毫无疑问，中国是一个电子产品生产大国。全球销售的大多数终端电子产品在某种程度上都是在中国生产的。例如，在美国，要想购买一件产地非中国的电器实在是一件不太容易的事情。虽然我国的世界级自主品牌还不够多，但我们完全可以为我们强大的生产能力而感到骄傲。

与生产能力相比，中国的电子产品开发设计能力相对还比较薄弱。毕竟，生产能力的迅速膨胀得益于大量的低成本普通劳动力，然而开发设计则是知识密集型的行业，要依靠众多的高水平电子设计工程师。因此，中国电子工程师的数量和素质决定着中国电子工业的核心实力。

这几年，中国电子工程师数量迅速增长。与此同时，北美电子工程师的队伍则呈现萎缩趋势。工程外包、下岗成为了流行的关键词。

这种现象已经引起了北美电子行业、甚至社会上其他有识之士的忧虑。有些人甚至对中国的惊惧达到了草木皆兵的地步。例如，在去年于德州奥斯汀市举办得 NI Week 活动期间，如何培养未来的工程师就是一个热门议题，引起了与会人士的热烈讨论。2005 年底，由美国 McClenahan Bruer Communications 公司和 EETimes 联合举办的北美电子工程师状况调查也表明，低靡的士气和忧虑在美国电子工程界相当普遍。

话说回来，中国电子工程师真的有那么可怕吗？我们是否被高估了？我们的队伍有多少人，素质怎样，士气如何？中国电子工程师的主要需求和喜好是什么？相信全世界很多人，包括我们中国电子工程师自己，对这些问题的答案都相当关心。

首先，中国拥有多少名电子工程师？在缺少官方数据的情况下，很多机构曾经进行了各种估算或猜测，得出的结果大概从 100 多万到几十万不等。通常的估算方法是：统计每年的大学毕业生数量，其中有多少是电子工程相关专业，又有多少比例实际从事工程设计这个方法很不精确；每个环节的误差都很难控制。我们得出的结果是，中国目前从业的电子工程师数量在 14 万左右。这 14 万人大多分布在东北、珠江三角洲、长江三角洲和环渤海地区，尤其以广东省密度最大。

同北美电子工程师队伍的规模相比，我们显然还存在巨大差距。他们是我们的三倍左右。仅《今日电子》在北美的姊妹杂志 Electronic Products 的发行量就和我国电子工程师的总量相当。所以，单从静止数量上来看，中国的电子工程师队伍处于明显劣势。国外人士确实倾向于夸大中国的实力。这种现象当然不能用“中国威胁论”来解释。我们自己都不清楚自己的家底，人家怎么会清楚？高估一点总没有坏处，至少可以拿来给当政者施压，以维护本行业的利益。

除了人数处于劣势，中国工程师的教育水平与美国对比如何呢？下表列出中美工程师所获得的学位对比（单位为百分比，可选多项）。显然，美国工程师中高学位的比例（博士、硕士）要比中国高出一倍。再考虑到他们的总量优势和更高的教学质量，所以我们认为，美国电子工程精锐之师对我们存在压倒性的优势。要想达到美国工程师的总体实力，我们还有很长的路要走。

表1 中美工程师教育状况对比

教育水平	美国	中国	美：中
博士	8	4	2.00
电子工程硕士	25	13	1.92
文学/理学硕士	7	1	7.00
计算机硕士	5	4	1.25
工商管理硕士	6	0	—
工程学研究生（无学位）	12	1	12.00
电子工程本科	45	34	1.32
计算机科学本科	6	4	1.50
大专	7	21	0.33
大学（无学位）	5	6	0.83
没上大学	1		

从表 2 可以看出，中国电子工程师的学习压力比美国同行还要高一些（美国工程师的压力比美国平均水平已经高很多）。现实情况也表明，中国电子工程师参与各种学习活动（如技术研讨会）的踊跃程度远远高于美国同行。在这一点上来看，我们的工程师确实比较可怕。

表2 中美工程师对新知识的渴求程度

	中国工程师	美国工程师	美国平均值
我的工作要求我不断学习新知识	87	74	Autooo.net

再从工程师群体的年龄结构上来看，美国人确实有理由感到担忧。美国电子工程师的平均年龄是 43.7 岁，而且分布是向上倾斜。我国的电子工程师的平均年龄是 29.5 岁，向下倾斜。也就是说，我们不仅年轻，而且后劲无穷；他们不仅年老，而且后继乏人。

为什么美国的电子工程队伍会后继乏人呢？美国不是崇尚科技的民族吗？那是过去式；如今的美国青年可不愿意学理工，甚至一些工程师都不希望自己的子女去做工程师。工程师在美国得不到应有得尊重（富兰克林时代过去了）。相反，在中国，有三分之二的工程师认为他们在工作地点受到尊重。在现实生活中，工程师也确实是很体面的职业。

无庸讳言，中国的这个群体也存在一些比较严重的问题。这些问题并不一定是由工程师自己造成的，但应该引起大家的注意。首先是工作自由度小。大概是中国的领导善于管得面面俱到，但这非常不利于发挥工程师的创造性。本来我们学生的创造力就相对较差，工作上的自由又受到限制，这对自主创新非常不利。

与此相关的一个现象是，中国工程师对本公司的荣誉感差、忠诚度低。这是很不应该发生的事情，不符合儒家文化的传统。我们姑且不去评论这是谁的过失，但在这一点上，我们应该向日本公司看齐——上下同心、荣辱与共。我们愿意相信这是社会转型过程中出现的短暂的混乱。

与美国同行相对比，还有一点问题是，我们工程师的协作程度低、相互的信任感差。我们的工程师更多地独立工作，而不是作为团队的一员工作。在工作中，我们的工程师往往不敢依靠自己的同事。

表3 中国电子工程师品牌认知

类别	供应商
微控制器 (MCU)	Atmel (29%), Intel, Microchip, Freescale, TI
DSP	TI (72%)
电源管理	TI (16%), Maxim, LTC, NS
放大器	ADI (43%), TI, NS, Maxim
ADC 和 DAC	ADI (56%), TI, Maxim
测试测量	Agilent (40%), Tektronix, NI
连接器	AMP (14%), Molex, Phoenix
EDA 软件	PROTEL (30%), Cadence, Altera, Xilinx
光电器件	Avago (17%), Toshiba, Sharp, Omron
分销商	Avnet (安富利), Arrow (艾睿), P&S (武汉利源)
无源器件	Murata (村田, 8%), TDK, TI, Philips
机电器件	Siemens (7%), Omron

这几点问题都涉及到企业文化方面，希望能引起管理者的关注，尽量创造一个和谐友好的工作环境。

下面我们来到一些轻松话题。首先是中美工程师品味对比。中美工程师最欣赏的人物类型很不相同。美国工程师最欣赏的人物是物理学家霍金，其次是国务卿赖斯（据说此人智商很高），总之他们推崇高智力。在中国，排在前两位的则分别是比尔盖茨和李嘉诚。这两位智商肯定不低，但更高的是他们在富豪排行榜上的位置。也许可以说，我们的工程师更看重物质上的成功。这可能与目前社会的总体价值取向有关。

中国电子工程师的兴趣相当广泛。不要认为他们都是整天抱着《开关电源设计》的书呆子。《三国演义》、《狼图腾》和《红楼梦》是去年最受欢迎的三本书。《鬼吹灯》、《诛仙》和《三国演义》则是去年最流行的三本电子书。另外，最流行的三个电视节目分别是“百家讲坛”、“焦点访谈”和“动物世界”。

二、如何成为电子工程师

2.1 电子工程师，别拿一分钱不当回事

一分钱，在现在物价飞涨的年代，早已经退出了货币交流的历史舞台，成为财务意义上的最小计量单位。当年“我在马路边，捡到一分钱”的童谣，不会再发生了，一分钱，已经买不了任何东西。

一分钱，已经真的不值钱了吗？让我们来看年看电子物料的价格：一个 0603 的普通贴片电阻 0.29 分钱，一个 0603 的 104 电容 1 分钱，一个贴片 8550 三极管 5 分钱，一个贴片 4148 二极管 4.6 分钱……这些元器件，都是以分来衡量，要是以元为单位衡量的话，你会看到前面有很多“0”，这样年来，结论是我们很多物料不值几个钱

但是大家有没有想过另外一个事实：一个贴片电阻用上后后面的加工费是 1.5 分钱，一个三极管的加工费是 2.2 分钱，上面的物料就会变成一个贴片电阻的综合成本是 1.79 分钱，比电阻本身成本高 6 倍；一个贴片电容的综合成本是 2.5 分钱，比自身成本高 2.5 倍；一个贴片三极管的综合成本是 7.2 分钱，比自身高 1.44 倍；一个贴片二极管的综合成本是 6.1 分钱，比自身成本高 1.32 倍……这样看来，是否感觉我们的物料在使用的时候，好像并不省钱？我在这里先下一个结论：别拿一分钱不当回事

让我慢慢地给大家说说一个电阻，一个电容怎么成了一回事。“就几分钱的东西，多大的事啊”的这个观点继续保留，请看下面。

我们一款成熟热销的机器，一年好歹也有 10 万的销量，有的还不止这个数目，我们做几个假设，还是上面的物料。每台机器节省一个贴片电阻，我们可以节省 1790 元；少贴一个贴片电容，节省 2500 元；删除一个贴片三极管，挽回 7200 元；不用一个贴片二极管，节约 6100 元，这些钱的数字，大家就有感觉了，大家看看，节省了那一样的物料，几个月下来，就相当你们自己的工资了

所以啊，千万别拿一分钱不当回事，一个年产 10 万的机器，很容易浪费了很多个 1 千元。我们

怎么做法才能把一分钱当回事呢？下面我有几个建议：

1， 电子源头的设计。如果你用好料，性能高，你就是高水平的电子工程师了吗？在我看来，这是垃圾电子工程师。真正的高水平，是使用最精简的方案，最廉价的物料，能够能达到相同的性能，或者得到满足客户需求的性能，这里选料是关键。电子工程师一般都是比较保守的，保守是件好事，但是很多保守，是建立在自己技术水平不够高的基础上。比如说滤波电容，是不是越多越好？理论上讲是，而实际上呢？你少用一个 104 贴片电容，系统就崩溃了吗？470uF 变成 100uF，性能就求能接受了吗？这些事情，很多电子工程师未曾想过即使想过，也很少真正去抠过，再即使抠过，也因为求稳最后在 BOM 中还是使用大家所谓的经验参数。

2， BOM 设计。为了适应很多客户需求，BOM 中都是做了很多选取择的。问题就出现在这里，两种互斥功能的 BOM 组件，用 A 功能的时候，B 功能的所有物料是不是全部删除

干净呢？出 BOM 的时候，是否嫌麻烦少删除几个物料呢？随便少删除几个物料，好多个 1 千元就得掏，而这个把关只有你设计师清楚的知道

3， PCB 设计。能用两层板，不要用四层板；能用纸板，不要用玻纤板；能用工装制具加工，

都不要用 PCB 板挡边，PCB 是很昂贵的物料，我们经常因为设计时候考虑这个兼容那个兼容，把 PCB 板面积扩大；然后还考虑进度约束，把单面板设计成双面板；工厂加工为了省做制具的钱，要求 PCB 加 7MM 的挡锡条……要知道这些改动图什么？两个字：方便。但这是拿钱来买方便，拿多少钱呢？一块键控板如 60X30MM，单面板使用双面板后，拿 3.5 元钱来买方便，一条四层板的挡锡边更贵，一个月下来，几万元都来买了个方便，一个月几万元，我们可以请优秀的电子工程师，专门设计单面板，也可以购买大批工装制具

千万不要拿一分钱不当回事，节约成本，不是要求大家做多大的贡献，一下子能节约上百万元，一分钱一分钱地去思考，一分钱就真的成了那么回事，节约，就是另外一种创造利润的捷径，大家想想，要创造一个产品出来，增加收入，多困难的一件事情啊；对比要节约几个物料，同样的增加收入，容易多了。

“节约成本”体现了电子工程师的最高技术水平。要做到：天天想，夜夜想，节约成本细思量；去冗余，去兼容，产品质不能变。

2.2 电子工程师素质

电子工程师心声：销售与我无关

由于市场的不景气，充分挖掘了销售人员的才智，从以前只是单纯的与采购人员联系转到，不断的骚扰工程师们，有多少专心研发的人员受到他们荼毒，以致又影响了一批先进产品、设备的夭折，对我们中国的科学水平来说，又减慢了前进的速度，这是多大的罪过啊，在此我分析下其实电子工程师与销售无关，在些列出我的论点：

电子工程师必备素质：

- 1， 沉稳的性格；（一声不吭才能做出产品）
- 2， 专业的知识；（吃饭的本钱）
- 3， 专一的爱人；（一个成功男人的背后需要一个女人）

4, 低调做人; (高调了别人会以为我爱吹牛的)

销售人员必备素质:

- 1, 活泼个性; (你的活泼是给人看的, 你哭伤着脸, 别人会以为你是黑社会的)
- 2, 渊博的知识; (你太专业了反而显得别人无知了, 因为你的顾客也是一知半解的)
- 3, 一天一个情人; (情人是你激情的来源, 激情是你收入的来源)
- 4, HIGH 调人生; (越高调名气越好, 生意也越好, 名人效应嘛)

以上是本人总结的几点, 以此得出结论:

当 X=技术: 电子工程师>销售人员

当 X=金钱: 电子工程师<销售人员

当 X=幸福: 尚未有结论

2.3 电子工程师专业技能要求

2.3.1 专业、技能及素质要求

- ① 电力电子、工业自动化、机械等相关专业, 大学本科以上学历, 精通数字电路和模拟电路设计及计算机硬件调试;
- ② 熟悉多种编程器, 精通 C51.PIC.AVR 单片机软硬件实际应用、设计, 最好机/电/软件/硬件综合能力强;
- ③ 具备模拟电路设计、实验、工艺等相关经验, 具有丰富的单片机软硬件开发与调试经验, 擅长汇编语言、C 语言编程, 熟练使用 Protel 等 PCB 设计软件;
- ④ 具备较强的责任心和良好的团队合作精神, 自学能力强, 有勇于接受挑战的精神, 有敬业和钻研技术的精神。

2.3.2 求职小贴士

为了适应市场的变化趋势, 工程师在技术上要先博后专, 由专再博, 从而不断提高自己, 最终成为某个领域的专家。现代的电子科学技术的一个特点是多学科交叉, 因此, 工程师应当了解、掌握 2 门以上的相关学科, 知识既精深又广博是优秀的工程师成长为某领域专家的重要标志, 也是工程师提升自身价值的重要途径之一, 在这个基础上去将技术成果转化为价值, 才是中国工程师促进职业发展的必由之路。

2.4 电子工程师常见笔试题目

- 1、同步电路和异步电路的区别是什么? (仕兰微电子)
- 2、什么是同步逻辑和异步逻辑? (汉王笔试)

同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

电路设计可分类为同步电路和非同步电路设计。同步电路利用时钟脉冲使其子系统同步运作, 而非同步电路不使用时钟脉冲做同步, 其子系统是使用特殊的“开始”和“完成”信号使之同步。

由于非同步电路具有下列优点--无时钟歪斜问题、低电源消耗、平均效能而非最差效能、模组性、可组合和可复用性--因此近年来对非同步电路研究增加快速，论文发表数以倍增，而 Intel Pentium 4 处理器设计，也开始采用非同步电路设计。

异步电路主要是组合逻辑电路，用于产生地址译码器、F I F O 或 R A M 的读写控制信号脉冲，其逻辑输出与任何时钟信号都没有关系，译码输出产生的毛刺通常是可以监控的。同步电路是由时序电路(寄存器和各种触发器)和组合逻辑电路构成的电路，其所有操作都是在严格的时钟控制下完成的。这些时序电路共享同一个时钟 C L K，而所有的状态变化都是在时钟的上升沿(或下降沿)完成的。

3、什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？（汉王笔试）

线与与逻辑是两个输出信号相连可以实现与的功能。在硬件上，要用 oc 门来实现（漏极或者集电极开路），由于不用 oc 门可能使灌电流过大，而烧坏逻辑门，同时在输出端口应加一个上拉电阻。（线或则是下拉电阻）

4、什么是 Setup 和 Holdup 时间？（汉王笔试）

5、setup 和 holdup 时间,区别。(南山之桥)

6、解释 setup time 和 hold time 的定义和在时钟信号延迟时的变化。（未知）

7、解释 setup 和 hold time violation，画图说明，并说明解决办法。（威盛 VIA 2003.11.06 上海笔试试题）

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿（如上升沿有效）T 时间到达芯片，这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。如果 hold time 不够，数据同样不能被打入触发器。

建立时间(Setup Time)和保持时间 (Hold time)。建立时间是指在时钟边沿前，数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果不满足建立和保持时间的话，那么 DFF 将不能正确地采样到数据，将会出现 metastability 的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间，那么超过量就分别被称为建立时间裕量和保持时间裕量。

8、说说对数字逻辑中的竞争和冒险的理解，并举例说明竞争和冒险怎样消除。（仕兰微电子）

9、什么是竞争与冒险现象？怎样判断？如何消除？（汉王笔试）

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

10、你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？（汉王笔试）

常用逻辑电平：12V，5V，3.3V；TTL 和 CMOS 不可以直接互连，由于 TTL 是在 0.3-3.6V 之间，而 CMOS 则是有在 12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉电阻接到 5V 或者 12V。

cmos 的高低电平分别为： $V_{ih} \geq 0.7V_{DD}$ ， $V_{il} \leq 0.3V_{DD}$ ； $V_{oh} \geq 0.9V_{DD}$ ， $V_{ol} \leq 0.1V_{DD}$ 。

ttl 的为： $V_{ih} \geq 2.0v$ ， $V_{il} \leq 0.8v$ ； $V_{oh} \geq 2.4v$ ， $V_{ol} \leq 0.4v$ 。

用 cmos 可直接驱动 ttl;加上拉后,ttl 可驱动 cmos.

11、如何解决亚稳态。(飞利浦一大唐笔试)

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时,既无法预测该单元的输出电平,也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间,触发器输出一些中间级电平,或者可能处于振荡状态,并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

解决方法:

- 1 降低系统时钟
- 2 用反应更快的 FF
- 3 引入同步机制,防止亚稳态传播
- 4 改善时钟质量,用边沿变化快速的时钟信号

关键是器件使用比较好的工艺和时钟周期的裕量要大。

12、IC 设计中同步复位与异步复位的区别。(南山之桥)

同步复位在时钟沿采复位信号,完成复位动作。异步复位不管时钟,只要复位信号满足条件,就完成复位动作。异步复位对复位信号要求比较高,不能有毛刺,如果其与时钟关系不确定,也可能出现亚稳态。

13、MOORE 与 MEELEY 状态机的特征。(南山之桥)

Moo re 状态机的输出仅与当前状态值有关,且只在时钟边沿到来时才会有状态变化. Mealy 状态机的输出不仅与当前状态值有关,而且与当前输入值有关,这

14、多时域设计中,如何处理信号跨时域。(南山之桥)

不同的时钟域之间信号通信时需要进行同步处理,这样可以防止新时钟域中第一级触发器的亚稳态信号对下级逻辑造成影响,其中对于单个控制信号可以用两级同步器,如电平、边沿检测和脉冲,对多位信号可以用 FIFO,双口 RAM,握手信号等。

跨时域的信号要经过同步器同步,防止亚稳态传播。例如:时钟域 1 中的一个信号,要送到时钟域 2,那么在这个信号送到时钟域 2 之前,要先经过时钟域 2 的同步器同步后,才能进入时钟域 2。这个同步器就是两级 d 触发器,其时钟为时钟域 2 的时钟。这样做是怕时钟域 1 中的这个信号,可能不满足时钟域 2 中触发器的建立保持时间,而产生亚稳态,因为它们之间没有必然关系,是异步的。这样做只能防止亚稳态传播,但不能保证采进来的数据的正确性。所以通常只同步很少位数的信号。比如控制信号,或地址。当同步的是地址时,一般该地址应采用格雷码,因为格雷码每次只变一位,相当于每次只有一个同步器在起作用,这样可以降低出错概率,象异步 FIFO 的设计中,比较读写地址的大小时,就是用这种方法。如果两个时钟域之间传送大量的数据,可以用异步 FIFO 来解决问题。

15、给了 reg 的 setup,hold 时间,求中间组合逻辑的 delay 范围。(飞利浦一大唐笔试)

$$\text{Delay} < \text{period} - \text{setup} - \text{hold}$$

16、时钟周期为 T,触发器 D1 的寄存器到输出时间最大为 T1max,最小为 T1min。组合逻辑电路最大延迟为 T2max,最小为 T2min。问,触发器 D2 的建立时间 T3 和保持时间应满足什么条件。(华为)

$$T3\text{setup} > T + T2\text{max}, T3\text{hold} > T1\text{min} + T2\text{min}$$

17、给出某个一般时序电路的图,有 Tsetup,Tdelay,Tck->q,还有 clock 的 delay,写出决定最大时钟的

因素，同时给出表达式。（威盛 VIA 2003.11.06 上海笔试试题）

$T + T_{clkdealy} > T_{setup} + T_{co} + T_{delay}$;

$T_{hold} > T_{clkdelay} + T_{co} + T_{delay}$;

18、说说静态、动态时序模拟的优缺点。（威盛 VIA 2003.11.06 上海笔试试题）

静态时序分析是采用穷尽分析方法来提取出整个电路存在的所有时序路径，计算信号在这些路径上的传播延时，检查信号的建立和保持时间是否满足时序要求，通过对最大路径延时和最小路径延时的分析，找出违背时序约束的错误。它不需要输入向量就能穷尽所有的路径，且运行速度很快、占用内存较少，不仅可以对芯片设计进行全面的时序功能检查，而且还可利用时序分析的结果来优化设计，因此静态时序分析已经越来越多地被用到数字集成电路设计的验证中。

动态时序模拟就是通常的仿真，因为不可能产生完备的测试向量，覆盖门级网表中的每一条路径。因此在动态时序分析中，无法暴露一些路径上可能存在的时序问题；

19、一个四级的 Mux,其中第二级信号为关键信号 如何改善 timing。（威盛 VIA 2003.11.06 上海笔试试题）

关键：将第二级信号放到最后输出一级输出，同时注意修改片选信号，保证其优先级未被修改。

20、给出一个门级的图，又给了各个门的传输延时，问关键路径是什么，还问给出输入，使得输出依赖于关键路径。（未知）

21、逻辑方面数字电路的卡诺图化简，时序（同步异步差异），触发器有几种（区别，优点），全加器等等。（未知）

22、卡诺图写出逻辑表达式。（威盛 VIA 2003.11.06 上海笔试试题）

23、化简 $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$ 的和。（威盛）

卡诺图化简：一般是四输入，记住 00 01 11 10 顺序，

0 1 3 2

4 5 7 6

12 13 15 14

8 9 11 10

24、please show the CMOS inverter schmatic,layout and its cross section with P-well process. Plot its transfer curve ($V_{out}-V_{in}$) And also explain the operation region of PMOS and NMOS for each segment of the transfer curve? （威盛笔试题 circuit design-beijing-03.11.09）

25、To design a CMOS invertor with balance rise and fall time, please define the ration of channel width of PMOS and NMOS and explain?

26、为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大？（仕兰微电子）

和载流子有关，P 管是空穴导电，N 管电子导电，电子的迁移率大于空穴，同样的电场下，N 管的电流大于 P 管，因此要增大 P 管的宽长比，使之对称，这样才能使得两者上升时间下降时间相等、高低电平的噪声容限一样、充电放电的时间相等

27、用 mos 管搭出一个二输入与非门。（扬智电子笔试）

28、please draw the transistor level schematic of a cmos 2 input AND gate and explain which input has

faster response for output rising edge.(less delay time)。(威盛笔试题 circuit design-beijing-03.11.09)

29、画出 NOT,NAND,NOR 的符号,真值表,还有 transistor level 的电路。(Infineon 笔试)

30、画出 CMOS 的图,画出 tow-to-one mux gate。(威盛 VIA 2003.11.06 上海笔试试题)

31、用一个二选一 mux 和一个 inv 实现异或。(飞利浦—大唐笔试)

input a,b;

output c;

assign c=a?(~b):(b);

32、画出 $Y=A*B+C$ 的 cmos 电路图。(科广试题)

33、用逻辑门和 cmos 电路实现 $ab+cd$ 。(飞利浦—大唐笔试)

34、画出 CMOS 电路的晶体管级电路图,实现 $Y=A*B+C(D+E)$ 。(仕兰微电子)

以上均为画 COMS 电路图,实现一给定的逻辑表达式。

35、利用 4 选 1 实现 $F(x,y,z)=xz+yz'$ 。(未知)

x,y 作为 4 选 1 的数据选择输入,四个数据输入端分别是 z 或者 z 的反相, 0, 1

36、给一个表达式 $f=xxxx+xxxx+xxxxx+xxxx$ 用最少数量的与非门实现(实际上就是化简)。

化成最小项之和的形式后根据 $\sim(\sim(A*B)*(\sim(C*D)))=AB+CD$

37、给出一个简单的由多个 NOT,NAND,NOR 组成的原理图,根据输入波形画出各点波形。(Infineon 笔试)

思路:得出逻辑表达式,然后根据输入计算输出

38、为了实现逻辑 $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$,请选用以下逻辑中的一种,并说明为什么? 1)

INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案: NAND (未知)

39、用与非门等设计全加法器。(华为)

40、给出两个门电路让你分析异同。(华为)

41、用简单电路实现,当 A 为输入时,输出 B 波形为... (仕兰微电子) 写逻辑表达式,然后化简

42、A,B,C,D,E 进行投票,多数服从少数,输出是 F (也就是如果 A,B,C,D,E 中 1 的个数比 0 多,那么 F 输出为 1,否则 F 为 0),用与非门实现,输入数目没有限制。(未知)

写逻辑表达式,然后化简

43、用波形表示 D 触发器的功能。(扬智电子笔试) easy

44、用传输门和倒向器搭一个边沿触发器。(扬智电子笔试)

45、用逻辑门画出 D 触发器。(威盛 VIA 2003.11.06 上海笔试试题)

46、画出 DFF 的结构图,用 verilog 实现之。(威盛)

47、画出一种 CMOS 的 D 锁存器的电路图和版图。(未知)

48、D 触发器和 D 锁存器的区别。(新太硬件面试)

49、简述 latch 和 filp-flop 的异同。(未知)

50、LATCH 和 DFF 的概念和区别。(未知)

51、latch 与 register 的区别,为什么现在多用 register.行为级描述中 latch 如何产生的。(南山之桥)

latch 是电平触发, register 是边沿触发, register 在同一时钟边沿触发下动作, 符合同步电路的设计思想, 而 latch 则属于异步电路设计, 往往会导致时序分析困难, 不适当的应用 latch 则会大量浪费芯片资源。

52、用 D 触发器做个二分频的电路.又问什么是状态图。(华为)

53、请画出用 D 触发器实现 2 倍分频的逻辑电路? (汉王笔试)

54、怎样用 D 触发器、与或非门组成二分频电路? (东信笔试)

直接 D 触发器 Q 反相输出接到数据输入

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16 分频?

4

56、用 filp-flop 和 logic-gate 设计一个 1 位加法器, 输入 carryin 和 current-stage, 输出 carryout 和 next-stage. (未知)

57、用 D 触发器做个 4 进制的计数。(华为)

58、实现 N 位 Johnson Counter,N=5。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的 7 进制循环计数器, 15 进制的呢? (仕兰微电子)

60、数字电路设计当然必问 Verilog/VHDL, 如设计计数器。(未知)

61、BLOCKING NONBLOCKING 赋值的区别。(南山之桥)

非阻塞赋值: 块内的赋值语句同时赋值, 一般用在时序电路描述中

阻塞赋值: 完成该赋值语句后才能做下一句的操作, 一般用在组合逻辑描述中

62、写异步 D 触发器的 verilog module。(扬智电子笔试)

```
module dff8(clk , reset, d, q);
input    clk;
input    reset;
input  [7:0] d;
output [7:0] q;
reg  [7:0] q;
always @ (posedge clk or posedge reset)
    if(reset)
        q <= 0;
    else
        q <= d;
endmodule
```

63、用 D 触发器实现 2 倍分频的 Verilog 描述? (汉王笔试)

```
module divide2( clk , clk_o, reset);
    input    clk , reset;
    output   clk_o;
    wire in;
    reg out ;
    always @ ( posedge clk or posedge reset)
        if ( reset)
            out <= 0;
        else
            out <= in;
    assign in = ~out;
    assign clk_o = out;
endmodule
```

64、可编程逻辑器件在现代电子设计中越来越重要, 请问: a) 你所知道的可编程逻辑器件有哪些?
b) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。(汉王笔试)

PAL, GAL, PLD, CPLD, FPGA。

```
module dff8(clk , reset, d, q);
    input    clk;
    input    reset;
    input[7:0] d;
    output[7:0] q;
    reg[7:0] q;
    always @ (posedge clk or posedge reset)//异步复位, 高电平有效
        if(reset)
            q <= 0;
        else
            q <= d;
endmodule
```

65、请用 HDL 描述四位的全加法器、5 分频电路。(仕兰微电子)

66、用 VERILOG 或 VHDL 写一段代码, 实现 10 进制计数器。(未知)

67、用 VERILOG 或 VHDL 写一段代码, 实现消除一个 glitch。(未知)

68、一个状态机的题目用 verilog 实现 (不过这个状态机画的实在比较差, 很容易误解的)。(威盛 VIA 2003.11.06 上海笔试试题)

69、描述一个交通信号灯的设计。(仕兰微电子)

70、画状态机, 接受 1, 2, 5 分钱的卖报机, 每份报纸 5 分钱。(扬智电子笔试)

71、设计一个自动售货机系统, 卖 soda 水的, 只能投进三种硬币, 要正确的找回钱数。

(1) 画出 fsm (有限状态机); (2) 用 verilog 编程, 语法要符合 fpga 设计的要求。(未知)

72、设计一个自动饮料售卖机，饮料 10 分钱，硬币有 5 分和 10 分两种，并考虑找零：（1）画出 fsm（有限状态机）；（2）用 verilog 编程，语法要符合 fpga 设计的要求；（3）设计工程中可使用的工具及设计大致过程。（未知）

73、画出可以检测 10010 串的状态图,并 verilog 实现之。（威盛）

74、用 FSM 实现 101101 的序列检测模块。（南山之桥）

a 为输入端，b 为输出端，如果 a 连续输入为 1101 则 b 输出为 1，否则为 0。

例如 a: 0001100110110100100110

b: 0000000000100100000000

请画出 state machine；请用 RTL 描述其 state machine。（未知）

75、用 verilog/vhdl 检测 stream 中的特定字符串（分状态用状态机写）。（飞利浦一大唐笔试）

76、用 verilog/vhdl 写一个 fifo 控制器(包括空，满，半满信号)。（飞利浦一大唐笔试）

reg[N-1:0] memory[0:M-1]; 定义 FIFO 为 N 位字长容量 M 个 always 模块实现，两个用于读写 FIFO，两个用于产生头地址 head 和尾地址 tail，一个产生 counter 计数，剩下三个根据 counter 的值产生空，满，半满信号产生空，满，半满信号

77、现有一用户需要一种集成电路产品，要求该产品能够实现如下功能： $y=\ln x$ ，其中，x 为 4 位二进制整数输入信号。y 为二进制小数输出，要求保留两位小数。电源电压为 3~5v 假设公司接到该项目后，交由你来负责该产品的设计，试讨论该产品的设计全程。（仕兰微电子）

78、sram，flash memory，及 dram 的区别？（新太硬件面试）

sram: 静态随机存储器，存取速度快，但容量小，掉电后数据会丢失，不像 DRAM 需要不停的 REFRESH，制造成本较高，通常用来作为快取(CACHE) 记忆体使用 flash: 闪存，存取速度慢，容量大，掉电后数据不会丢失 dram: 动态随机存储器，必须不断的重新加强(REFRESHED) 电位差，否则电位差将降低至无法有足够的能量表现每一个记忆单位处于何种状态。价格比 sram 便宜，但访问速度较慢，耗电量较大，常用作计算机的内存使用。

79、给出单管 DRAM 的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官 205 页图 9—14b)，问你有什么办法提高 refresh time，总共有 5 个问题，记不起来了。（降低温度，增大电容存储容量）（Infineon 笔试）

80、Please draw schematic of a common SRAM cell with 6 transistors, point out which nodes can store data and which node is word line control? （威盛笔试题 circuit design-beijing-03.11.09）

81、名词:sram,ssram,sdram

名词 IRQ,BIOS,USB,VHDL,SDR

IRQ: Interrupt ReQuest

BIOS: Basic Input Output System

USB: Universal Serial Bus

VHDL: VHIC Hardware Description Language

SDR: Single Data Rate

压控振荡器的英文缩写(VCO)。

动态随机存储器的英文缩写(DRAM)。

名词解释, 比如 PCI、ECC、DDR、interrupt、pipeline、

IRQ, BIOS, USB, VHDL, VLSI VCO(压控振荡器) RAM (动态随机存储器), FIR IIR DFT(离散傅立叶变换)或者是中文的, 比如: a.量化误差 b.直方图 c.白平衡

PCI: Peripheral Component Interconnect (PCI),

DDR: DoubleDataRate

ECC: Error Checking and Correcting

2.5 注册电子工程师考试

电子工程师技术评定考试

2.5.1 考试简介

全国电子工程师技术水平考试是在信息产业部领导下, 信息产业部电子行业职业技能鉴定指导中心组织实施的, 面向从事电子及相关专业的企业工程技术人员、企业技术工人、各普通院校学生及技工学校学生。

全国电子技术水平考试按照市场对电子专业人才不同岗位的需求, 将认证由低到高分三个级别: 一级对应能力水平相当于电子助理工程师; 二级对应能力水平相当于电子工程师; 三级对应能力水平相当于电子高级工程师。

内容包括了电力电子器件、模拟电子技术、数字电子技术、现代通信技术、CMOS 数字集成电路、单片机应用系统、信号与系统分析基础八门课程, 涵盖了电子技术应用人才所需的理论知识、技能水平和项目设计实施能力。参加考试合格后, 学员可获得信息产业部颁发的相应级别的认证证书和成绩单。

证书中对通过该级别考试后所掌握的知识和具备的能力进行了详细的描述, 既可作为学员职业能力的证明, 也可作为企事业单位选聘人才依据。

2.5.2 报名需带物品

报名需要 2 寸蓝底照片 6 张、身份证复印件、学历复印件、其它相关等级证书复印件。

2.5.3 全国电子技术水平考试认证证书

本证书是信息产业部颁发的权威认证, 通过全国电子技术水平考试相应级别的学员, 成绩合格可获得信息产业部电子行业职业技能鉴定指导中心印制并颁发的证书和成绩单。

2.5.4 考试大纲

1. 电子技术基础

- 1) 电场与磁场: 库仑定律、高斯定理、环路定律、电磁感应定律。
- 2) 直流电路: 电路基本元件、欧姆定律、基尔霍夫定律、叠加原理、戴维南定理。

- 3) 正弦交流电路：正弦量三要素、有效值、复阻抗、单相和三相电路计算、功率及功率因数、串联与并联谐振、安全用电常识。
- 4) RC 和 RL 电路暂态过程：三要素分析法。
- 5) 变压器与电动机：变压器的电压、电流和阻抗变换、三相异步电动机的使用、常用继电器-接触器控制电路。
- 6) 二极管及整流、滤波、稳压电路
- 7) 三极管及单管放大电路
- 8) 运算放大器：理想运放组成的比例、加减和积分运算电路。
- 9) 门电路和触发器：基本门电路 RS、D、JK 触发器。
- 10) 懂得电子产品工艺流程
- 11) 了解计算机电路设计
 - 了解 EDA 电路设计方法
 - 会用 Protel 设计电路原理图
 - 会用 Protel 设计印制电路板
 - 了解其他的设计软件
- 12) 了解电子产品的结构和装配
- 13) 懂得调试和检修

2. 模拟电子技术

- 1) 了解半导体及二极管
- 2) 了解放大电路
- 3) 了解线性集成运算放大器和运算电路
- 4) 了解信号处理电路
- 5) 了解信号发生电路
- 6) 了解功率放大电路
- 7) 了解直流稳压电源

3. 数字电子技术

- 1) 懂得数字电路基础知识
- 2) 了解集成逻辑门电路
- 3) 懂得数字基础及逻辑函数化简
- 4) 了解集成组合逻辑电路
- 5) 了解触发器的工作原理
- 6) 了解时序逻辑电路
- 7) 理解脉冲波形的产生
 - 了解 TTL 与非门多谐振荡器、单稳态触发器、施密特触发器的结构、工作原理、参数计算和应用
- 8) 数模和模数转换
 - 8.1 了解逐次逼近和双积分模数转换工作原理；R-2R 网络数模转换工作原理；模数和数模转换器的应用场合
 - 8.2 掌握典型集成数模和模数转换器的结构
 - 8.3 了解采样保持器的工作原理

4. 现代通信技术

1) 软交换技术

了解软交换的概念

了解软交换的网络结构

了解软交换的应用

2) 多协议标记交换 (MPLS)

理解 MPLS 技术的主要特点

理解 MPLS 的工作原理及体系结构

3) 通用多协议标记交换 (GMPLS)

了解通用标记结构

理解通用标记交换路径

了解链路管理

4) 现代宽带接入新技术

了解电信网接入技术

了解计算机网接入技术

了解有线电视网接入技术

了解其他网接入技术

5) 非对称数字用户环路 (ADSL)

理解 ADSL 的标准

理解 ADSL 网络结构

了解 ADSL 的传输

理解 ADSL 接入传输系统的特点

了解 ADSL 的应用及其存在的缺陷

5. 单片机应用系统

1) 了解单片机的分类及应用领域

2) 单片机 I/O 口的特点及操作

了解 89S (C) 51 单片机 I/O 口的特点

了解 89S (C) 51 单片机 I/O 口的使用技巧

了解 89S (C) 51 单片机 I/O 口在后向通道中的应用

3) 显示及显示器接口

理解 LED 显示器的基本结构和原理

了解 LED 显示器与单片机的接口

懂得 LED 显示器与 51 单片机接口的软件实现方法

了解 LED 显示的串行接口方式

了解 LED 显示需要注意的问题

4) 单片机串行通信软硬件的实现

了解 89S (C) 51 单片机串口结构及其工作方式

了解 RS-232 接口电路和单片机通信程序设计

5) Windows 环境下单片机与 PC 机串行通信的实现方法

了解下位机 (单片机部分) 串行通信的实现方法

了解 Windows 环境下上位机与单片机接口程序设计

6) 了解看门狗及其软硬件实现方法

6.CMOS 数字集成电路

- 1) 理解 MOS 场效应管的制造
- 2) 了解 MOS 晶体管
- 3) 了解动态逻辑电路
- 4) 了解半导体存储器
- 5) 了解低功耗 CMOS 逻辑电路
- 6) 了解芯片输入输出电路

7. 信号与系统分析

- 1) 了解信号与系统的基本概念
- 2) 理解连续系统的时域分析
- 3) 理解连续信号的频谱——傅立叶变换
- 4) 理解连续系统的频域分析
- 5) 理解连续时间信号与系统的复频域分析
- 6) 理解离散时间信号与系统的时域分析
- 7) 理解 Z 变换和离散时间系统的 Z 域分析
- 8) 懂得状态变量分析法

2.5.5 主要课程

电力电子器件 模拟电子技术 数字电子技术 现代通信技术
CMOS 数字集成电路 单片机应用系统 信号与系统分析

2.5.6 主要教材

1. 《电力电子器件及其应用》 机械工业出版社
2. 单片机应用系统设计及仿真调试 北京航空航天大学出版社
3. CMOS 数字集成电路 电子工业出版社
4. 信号与线性系统分析基础 北京邮电大学出版社
5. 《现代通信新技术新业务》 北京邮电大学出版社

2.5.7 全国电气智能应用水平考试（NCEE）报考条件

（一）在校学生报考条件：

一级（助理）报考条件：专科以下（含中专及同等学历）者均可报名考试。

二级（中级）报考条件：专科以上（含专科）者均可报名考试。

三级（高级）报考条件：本科以上（含本科）者均可报名考试。

在校生只能从一级开始考，并且达到一级水平 3 年以上可申请参加二级水平考试，达到二级水平 3 年以上可申请参加三级水平考试。

（二）社会学员报考条件

一级报考条件：中专既同等学历以上者,同时需要交纳同等种类认证证书，均可报名考试。

二级报考条件：中专既同等学历需要 5 年以上工作经验，大专学历需要 3 年以上工作经验，本科学历需要 2 年以上工作经验，本科以上学历需要 1 年工作经验，同时需要交纳同等种类认证证书。

三级报考条件：中专同等学历者需要 8 年以上工作经验，大专学历需要 5 年以上工作经验，本科学历需要 3 年以上工作经验，本科以上学历需要 2 年工作经验，同时需要交纳同等种类认证证书。

社会学员达到一级水平 3 年以上可申请参加二级水平考试，达到二级水平 3 年以上可申请参加三级水平考试。

除以上条件外还需本人工作单位出示其工作经验证明，或是本人的其它相关等级证书者也可报考高一级别考试。

更多最新校园招聘、实习招聘信息以及求职资料，请访问：

应届生求职网 <http://www.yingjiesheng.com>

应届生求职网，中国领先的校园招聘网站！

我们提供最新、最全、最准确的校园招聘信息！2009 校园招聘，一网打尽，绝无遗漏！

教育部大学生就业合作伙伴，3000 家企业指定校园招聘网站！