

## 硬件面试题之一

1、下面是一些基本的数字电路知识问题，请简要回答之。

(1) 什么是 Setup 和 Hold 时间？

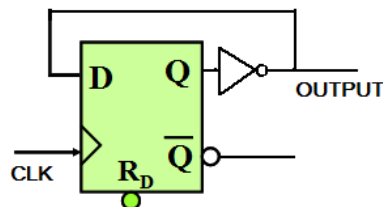
答：Setup/Hold Time 用于测试芯片对输入信号和时钟信号之间的时间要求。建立时间(Setup Time)是指触发器的时钟信号上升沿到来以前，数据能够保持稳定不变的时间。输入数据信号应提前时钟上升沿(如上升沿有效)T 时间到达芯片，这个 T 就是建立时间通常所说的 Setup Time。如不满足 Setup Time，这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿到来时，数据才能被打入触发器。保持时间(Hold Time)是指触发器的时钟信号上升沿到来以后，数据保持稳定不变的时间。如果 Hold Time 不够，数据同样不能被打入触发器。

(2) 什么是竞争与冒险现象？怎样判断？如何消除？

答：在组合逻辑电路中，由于门电路的输入信号经过的通路不尽相同，所产生的延时也就会不同，从而导致到达该门的时间不一致，我们把这种现象叫做竞争。由于竞争而在电路输出端可能产生尖峰脉冲或毛刺的现象叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

(3) 请画出用 D 触发器实现 2 倍分频的逻辑电路？

答：把 D 触发器的输出端加非门接到 D 端即可，如下图所示：



(4) 什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？

答：线与逻辑是两个或多个输出信号相连可以实现与的功能。在硬件上，要用 OC 门来实现(漏极或者集电极开路)，为了防止因灌电流过大而烧坏 OC 门，应在 OC 门输出端接一上拉电阻(线或则是下拉电阻)。

(5) 什么是同步逻辑和异步逻辑？同步电路与异步电路有何区别？

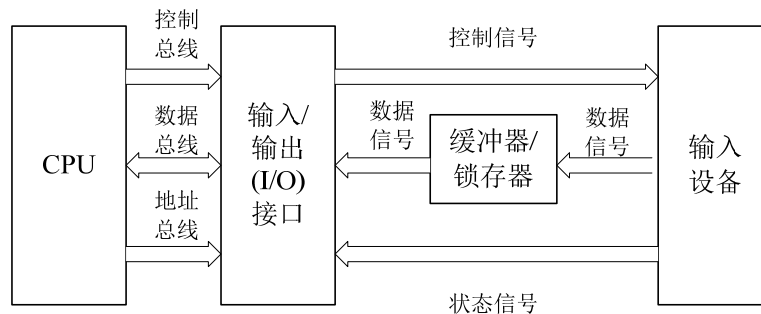
答：同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

电路设计可分类为同步电路设计和异步电路设计。同步电路利用时钟脉冲使其子系统同步运作，而异步电路不使用时钟脉冲做同步，其子系统是使用特殊的“开始”和“完成”信号使之同步。异步电路具有下列优点：无时钟歪斜问题、低电源消耗、平均效能而非最差效能、模块性、可组合和可复用性。

(6) 请画出微机接口电路中，典型的输入设备与微机接口逻辑示意图(数据接

口、控制接口、锁存器/缓冲器)。

答：典型输入设备与微机接口的逻辑示意图如下：



(7) 你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？

答：常用的电平标准，低速的有 RS232、RS485、RS422、TTL、CMOS、LVTTTL、LVCMOS、ECL、ECL、LVPECL 等，高速的有 LVDS、GTL、PGTL、CML、HSTL、SSTL 等。

一般说来，CMOS 电平比 TTL 电平有着更高的噪声容限。如果不考虑速度和性能，一般 TTL 与 CMOS 器件可以互换。但是需要注意有时候负载效应可能引起电路工作不正常，因为有些 TTL 电路需要下一级的输入阻抗作为负载才能正常工作。

2、可编程逻辑器件在现代电子设计中越来越重要，请问：

(1) 你所知道的可编程逻辑器件有哪些？

答：ROM(只读存储器)、PLA(可编程逻辑阵列)、FPLA(现场可编程逻辑阵列)、PAL(可编程阵列逻辑)、GAL(通用阵列逻辑)、EPLD(可擦除的可编程逻辑器件)、FPGA(现场可编程门阵列)、CPLD(复杂可编程逻辑器件)等，其中 ROM、FPLA、PAL、GAL、EPLD 是出现较早的可编程逻辑器件，而 FPGA 和 CPLD 是当今最流行的两类可编程逻辑器件。FPGA 是基于查找表结构的，而 CPLD 是基于乘积项结构的。

(2) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。

答：由于涉及硬件描述语言，本人对这方面一窍不通，很抱歉不能给出参考答案，希望高手跟帖！

3、设想你将设计完成一个电子电路方案，请简述用 EDA 软件(如 PROTEL)进行设计(包括原理图和 PCB 图)到调试出样机的整个过程。在各环节应注意哪些问题？

答：完成一个电子电路设计方案的整个过程大致可分为以下几个步骤：(1) 原理图设计；(2) PCB 设计；(3) 投板；(4) 元器件焊接；(5) 模块化调试；(6) 整机调试。各环节注意问题如下：

(1) 原理图设计阶段

- 注意适当加入旁路电容与去耦电容；
- 注意适当加入测试点和 0 欧电阻以方便调试时测试用；
- 注意适当加入 0 欧电阻、电感和磁珠以实现抗干扰和阻抗匹配；

(2) PCB 设计阶段

- 自己设计的元器件封装要特别注意以防止板打出来后元器件无法焊接；
- FM 部分走线要尽量短而粗，电源和地线也要尽可能粗；
- 旁路电容、晶振要尽量靠近芯片对应管脚；
- 注意美观与使用方便；

(3) 投板

- 说明自己需要的工艺以及对制板的要求；

(4) 元器件焊接

- 防止出现芯片焊错位置，管脚不对应；
- 防止出现虚焊、漏焊、搭焊等；

(5) 模块化调试

- 先调试电源模块，然后调试控制模块，然后再调试其它模块；
- 上电时动作要迅速，发现不会出现短路时在彻底接通电源；
- 调试一个模块时适当隔离其它模块；
- 各模块的技术指标一定要大于客户的要求；

(6) 整机调试

- 由于整机调试时仍然会出现很多问题，而且这些问题往往更难解决，如提高灵敏度等，这时一定不要手忙脚乱，要多向高手请教！

## 硬件面试题之二

### 1、基尔霍夫定理的内容是什么？

**答：**(精简版)基尔霍夫定律包括电流定律和电压定律。电流定律：在集总电路中，任何时刻，对任一节点，所有流出节点的支路电流的代数和恒等于零；电压定律：在集总电路中，任何时刻，沿任一回路，所有支路电压的代数和恒等于零。

(详细版)在集总参数电路中，电流、电压要受到两种约束，因为电路元件之间的互连必然迫使诸元件中的电流之间和诸元件上的电压之间有联系或者说约束，体现这种约束的是基尔霍夫定律。

#### (1) 基尔霍夫第一定律

第一定律又称基尔霍夫电流定律，简记为 **KCL**，是电流的连续性在集总参数电路上的体现，其物理背景是电荷守恒公理。

**KCL** 的第一种陈述：对于任一集总电路中的任一节点，在任一时刻，流出(或

流进)该节点的所有支路电流的代数和为零。

**KCL** 的第二种陈述：对于任一集总电路中的任一闭合面，在任一时刻，通过该闭合面的所有支路电流的代数和等于零。

## (2) 基尔霍夫第二定律

第二定律又称基尔霍夫电压定律，简记为 **KVL**，是电场为位场时电位的单值性在集总参数电路上的体现，其物理背景是能量守恒公理。

**KVL** 可表述为对于任一集总电路中的任一回路，在任一时刻，沿着该回路的所有支路电压降的代数和为零。

## 2、描述反馈电路的概念，列举它们的应用。

**答：**反馈，就是在电子系统中，把输出回路中的电量部分输入到输入回路中去。

反馈的类型有：电压串联负反馈、电流串联负反馈、电压并联负反馈、电流并联负反馈。

负反馈的优点：降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用。

电压负反馈的特点：电路的输出电压趋向于维持恒定。

电流负反馈的特点：电路的输出电流趋向于维持恒定。

## 3、有源滤波器和无源滤波器的区别。

**答：**无源滤波器：这种电路主要有无源元件 **R**、**L** 和 **C** 组成；有源滤波器：集成运放和 **R**、**C** 组成，具有不用电感、体积小、重量轻等优点。

集成运放的开环电压增益和输入阻抗均很高，输出电阻小，构成有源滤波电路后还具有一定的电压放大和缓冲作用。但集成运放带宽有限，所以目前的有源滤波电路的工作频率难以做得很高。

## 4、名词解释：SRAM、SSRAM、SDRAM

**答：****SRAM**：静态 RAM；**DRAM**：动态 RAM；**SSRAM**：Synchronous Static Random Access Memory 同步静态随机访问存储器，它的一种类型是 **SRAM**。**SSRAM** 的所有访问都在时钟的上升/下降沿启动。地址、数据输入和其它控制信号均与时钟信号相关。这一点与异步 **SRAM** 不同，异步 **SRAM** 的访问独立于时钟，数据输入和输出都由地址的变化控制。

**SDRAM**：Synchronous DRAM 同步动态随机存储器。

## 5、FPGA 和 ASIC 的概念，它们的区别。

**答：****FPGA** 是可编程 **ASIC**。

**ASIC**：专用集成电路，它是面向专门用途的电路，专门为一个用户设计和制造的。根据一个用户的特定要求，能以低研制成本，短交货周期供货的全定制，

半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比，它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点。

6、什么叫做 OTP 片、掩膜片，两者的区别何在？

答：OTP 意思是 one time program，一次性编；MTP 意思是 multi time program，多次性编程；MCU 按其存储器类型可分为 MASK(掩模)ROM、OTP(一次性可编程)ROM、Flash ROM 等类型。Mask ROM 的 MCU 价格便宜，但程序在出厂时已经固化，适合程序固定不变的应用场合；Flash ROM 的 MCU 程序可以反复擦写，灵活性很强，但价格较高，适合对价格不敏感的应用场合或做开发用途；OTP ROM 的 MCU 价格介于前两者之间，同时又拥有一次性可编程能力，适合既要求一定灵活性，又要求低成本的应用场合，尤其是功能不断翻新、需要迅速量产的电子产品。

7、单片机上电后没有运转，首先要检查什么？

答：首先应该确认电源电压是否正常。用电压表测量接地引脚跟电源引脚之间的电压，看是否是电源电压，例如常用的 5V。接下来就是检查复位引脚电压是否正常。分别测量按下复位按钮和放开复位按钮的电压值，看是否正确。然后再检查晶振是否起振了，一般用示波器来看晶振引脚的波形，注意应该使用示波器探头的“X10”档。另一个办法是测量复位状态下的 IO 口电平，按住复位键不放，然后测量 IO 口(没接外部上拉的 P0 口除外)的电压，看是否是高电平，如果不是高电平，则多半是因为晶振没有起振。

另外还要注意的地方是，如果使用片内 ROM 的话(大部分情况下如此，现在已经很少有用外部扩 ROM 的了)，一定要将 EA 引脚拉高，否则会出现程序乱跑的情况。有时用仿真器可以，而烧入片子不行，往往是因为 EA 引脚没拉高的缘故(当然，晶振没起振也是原因只一)。经过上面几点的检查，一般即可排除故障了。如果系统不稳定的话，有时是因为电源滤波不好导致的。在单片机的电源引脚跟地引脚之间接上一个 0.1uF 的电容会有所改善。如果电源没有滤波电容的话，则需要再接一个更大滤波电容，例如 220uF 的。遇到系统不稳定时，就可以并上电容试试(越靠近芯片越好)。

8、平板电容器的公式。

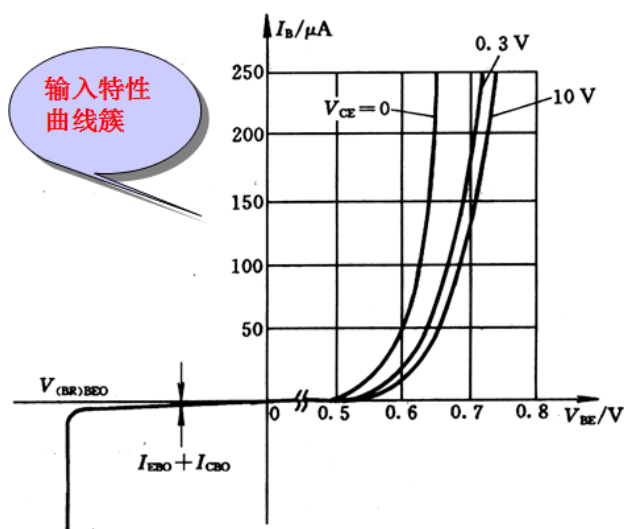
答：平板电容器的电容公式如下：

$$C = \frac{Q}{U} = \frac{\epsilon S}{4\pi k d}$$

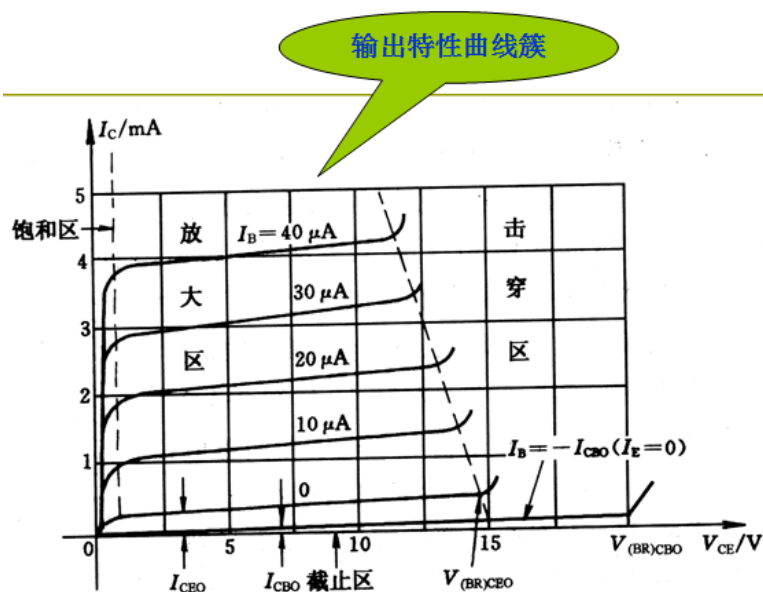
式中  $\epsilon$  为介电常数， $k$  为静电力常量， $S$  为上下金属板的正对面积， $d$  为上下金属板之间的距离。

9、最基本的三极管曲线特性。

答：三极管的曲线特性即指三极管的伏安特性曲线，包括输入特性曲线和输出特性曲线。输入特性是指三极管输入回路中，加在基极和发射极的电压 $V_{BE}$ 与由它所产生的基极电流 $I_B$ 之间的关系。输出特性通常是指在一定的基极电流 $I_B$ 控制下，三极管的集电极与发射极之间的电压 $V_{CE}$ 同集电极电流 $I_C$ 的关系。下图(1)给出了三极管的典型输入特性曲线，图(2)给出了三极管的典型输出特性曲线。图(3)给出了其直流负载线、交流负载线和功耗线。

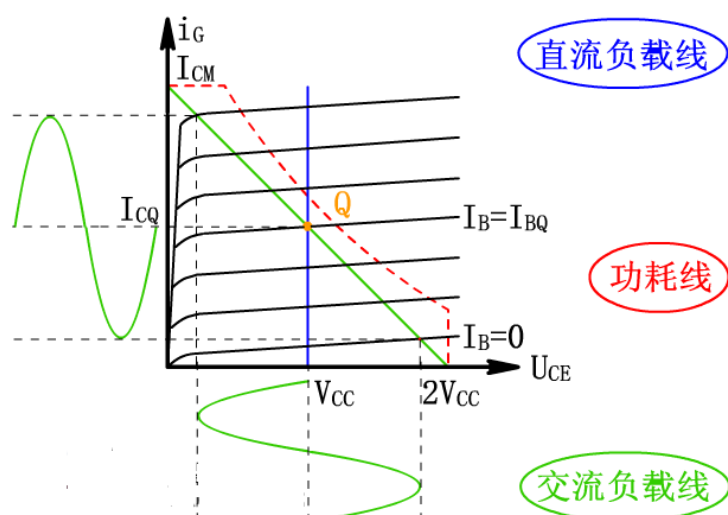


图(1) 典型输入特性曲线



图(2) 典型输出特性曲线





图(3) 直、交流负载线，功耗线

### 硬件面试题之三

1、放大电路中频率补偿的目的是什么，有哪些方法？

答：放大电路中频率补偿的目的有二：一是改善放大电路的高频特性，而是克服由于引入负反馈而可能出现自激振荡现象，使放大器能够稳定工作。在放大电路中，由于晶体管结电容的存在常常会使放大电路频率响应的高频段不理想，为了解决这一问题，常用的方法就是在电路中引入负反馈。然后，负反馈的引入又引入了新的问题，那就是负反馈电路会出现自激振荡现象，所以为了使放大电路能够正常稳定工作，必须对放大电路进行频率补偿。

频率补偿的方法可以分为超前补偿和滞后补偿，主要是通过接入一些阻容元件来改变放大电路的开环增益在高频段的相频特性，目前使用最多的就是锁相环。

2、什么是频率响应，怎么才算是稳定的频率响应，简述改变频率响应曲线的几个方法。

答：这里仅对放大电路的频率响应进行说明。

在放大电路中，由于电抗元件(如电容、电感线圈等)及晶体管极间电容的存在，当输入信号的频率过低或过高时，放大电路的放大倍数的数值均会降低，而且还将产生相位超前或之后现象。也就是说，放大电路的放大倍数(或者称为增益)和输入信号频率是一种函数关系，我们就把这种函数关系成为放大电路的频率响应或频率特性。

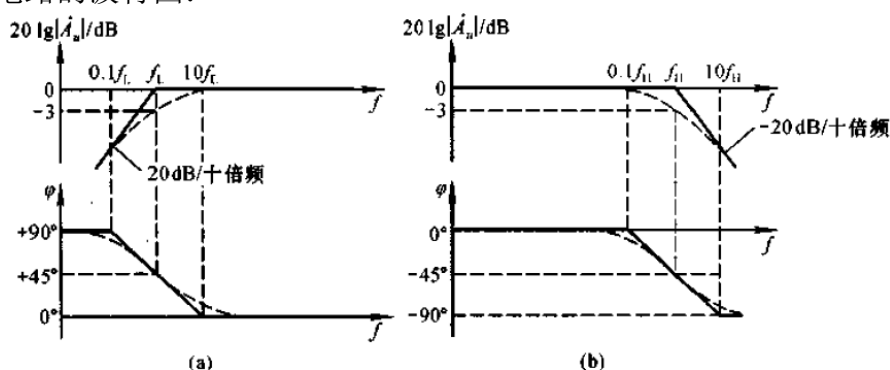
放大电路的频率响应可以用幅频特性曲线和相频特性曲线来描述，如果一个放大电路的幅频特性曲线是一条平行于  $x$  轴的直线(或在关心的频率范围内平行于  $x$  轴)，而相频特性曲线是一条通过原点的直线(或在关心的频率范围是条通过原点的直线)，那么该频率响应就是稳定的。

改变频率响应的方法主要有：(1) 改变放大电路的元器件参数；(2) 引入新的元器件来改善现有放大电路的频率响应；(3) 在原有放大电路上串联新的放大电路构成多级放大电路。

3、给出一个差分运放，如何进行相位补偿，并画补偿后的波特图。

答：随着工作频率的升高，放大器会产生附加相移，可能使负反馈变成正反馈而引起自激。进行相位补偿可以消除高频自激。相位补偿的原理是：在具有高放大倍数的中间级，利用一小电容  $C$ （几十~几百微微法）构成电压并联负反馈电路。可以使用电容校正、RC 校正分别对相频特性和幅频特性进行修改。

波特图就是在画放大电路的频率特性曲线时使用对数坐标。波特图由对数幅频特性和对数相频特性两部分组成，它们的横轴采用对数刻度  $\lg f$ ，幅频特性的纵轴采用  $\lg |\dot{A}_u|$  表示，单位为 dB；相频特性的纵轴仍用  $\varphi$  表示。下图给出了高通和低通电路的波特图：



高通电路与低通电路的波特图

(a) 高通电路波特图 (b) 低通电路波特图

4、基本放大电路的种类及优缺点，广泛采用差分结构的原因。

答：基本放大电路按其接法的不同可以分为共发射极放大电路、共基极放大电路和共集电极放大电路，简称共基、共射、共集放大电路。

共射放大电路既能放大电流又能放大电压，输入电阻在三种电路中居中，输出电阻较大，频带较窄。常做为低频电压放大电路的单元电路。

共基放大电路只能放大电压不能放大电流，输入电阻小，电压放大倍数和输出电阻与共射放大电路相当，频率特性是三种接法中最好的电路。常用于宽频带放大电路。

共集放大电路只能放大电流不能放大电压，是三种接法中输入电阻最大、输出电阻最小的电路，并具有电压跟随的特点。常用于电压放大电路的输入级和输出级，在功率放大电路中也常采用射极输出的形式。

广泛采用差分结构的原因是差分结构可以抑制温度漂移现象。

5、给出一差分电路，已知其输出电压  $Y_+$  和  $Y_-$ ，求共模分量和差模分量。

答：设共模分量是  $Y_c$ ，差模分量是  $Y_d$ ，则可知其输出为



$$Y_+ = Y_c + Y_d$$

$$Y_- = Y_c - Y_d$$

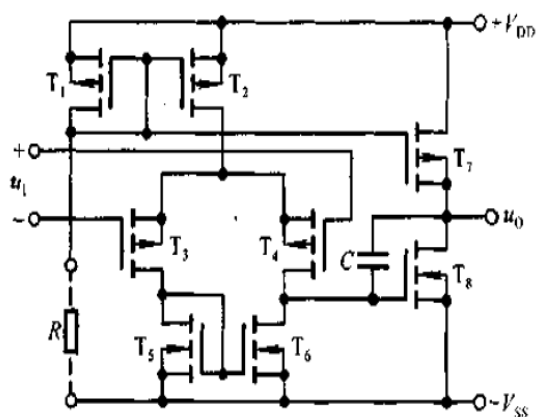
可知

$$Y_c = (Y_+ + Y_-) / 2$$

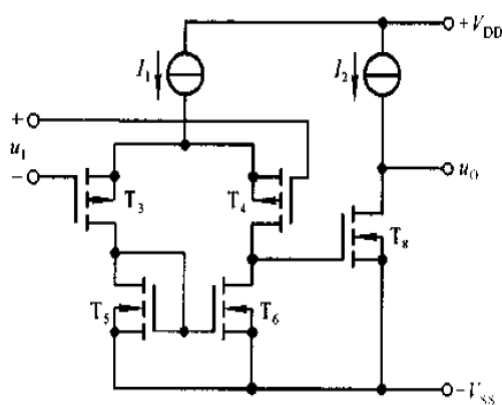
$$Y_d = (Y_+ - Y_-) / 2$$

6、画出一个晶体管级的运放电路。

答：下图(a)给出了单极性集成运放 C14573 的电路原理图，图(b)为其放大电路部分：



图(a) C14573 电路原理图



图(b) C14573 的放大电路部分

图(a)中 T1、T2 和 T7 管构成多路电流源，为放大电路提供静态偏置电流，把偏置电路简化后，就可得到图(b)所示的放大电路部分。

第一级是以 P 沟道管 T3 和 T4 为放大管、以 N 沟道管 T5 和 T6 管构成的电流源为有源负载，采用共源形式的双端输入、单端输出差分放大电路。由于第二级电路从 T8 的栅极输入，其输入电阻非常大，所以使第一级具有很强的电压放大能力。

第二级是共源放大电路，以 N 沟道管 T8 为放大管，漏极带有源负载，因此也具有很强的电压放大能力。但其输出电阻很大，因而带负载能力较差。

电容 C 起相位补偿作用。

7、电阻 R 和电容 C 串联，输入电压为 R 和 C 之间的电压，输出电压分别为 C 上电压和 R 上电压，求这两种电路输出电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当  $RC \ll T$  时，给出输入电压波形图，绘制两种电路的输出波形图。

答：当输出电压为 C 上电压时：

电路的频率响应为：

$$H(\omega) = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} = \frac{1}{1 + j\omega RC}$$

记输入电压频谱为  $P_i(\omega)$ ，则输出电压的频谱为

$$P_o(\omega) = H(\omega)P_i(\omega) = \frac{1}{1 + j\omega RC} P_i(\omega)$$

当输出电压为 C 上电压时：

电路的频率响应为：

$$H(\omega) = \frac{R}{R + \frac{1}{j\omega C}} = \frac{1}{1 + \frac{1}{j\omega RC}}$$

记输入电压频谱为  $P_i(\omega)$ ，则输出电压的频谱为

$$P_o(\omega) = H(\omega)P_i(\omega) = \frac{1}{1 + \frac{1}{j\omega RC}} P_i(\omega)$$

从电路的频率响应不难看出输出电压加在 C 上的为低通滤波器，输出电压加在 R 上的为高通滤波器。

$RC \ll T$  说明信号的频率远远小于滤波器的中心频率，所以对于第二个电路基本上无输出，第一个电路的输出波形与输入波形基本相同。

8、选择电阻时要考虑什么？

答：主要考虑电阻的封装、功率、精度、阻值和耐压值等。

#### 硬件面试题之四

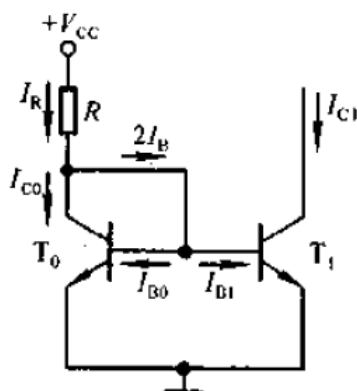
1、在 CMOS 电路中，要有一个单管作为开关管精确传递模拟低电平，这个单管你会用 P 管还是 N 管，为什么？

答：用 N 管。N 管传递低电平，P 管传递高电平。N 管的阈值电压为正，P 管的阈值电压为负。在 N 管栅极加 VDD，在漏极加 VDD，那么源级的输出电压范围为 0 到  $VDD - V_{th}$ ，因为 N 管的导通条件是  $V_{gs} > V_{th}$ ，当输出到达  $VDD - V_{th}$  时管子已经关断了。所以当栅压为 VDD 时，源级的最高输出电压只能为  $VDD - V_{th}$ 。这叫阈值损失。N 管的输出要比栅压损失一个阈值电压。因此不宜用 N 管传输高电平。P 管的输出也会比栅压损失一个阈值。同理栅压为 0 时，P 管源级的输出电压范围为 VDD 到  $|V_{th}|$ ，因此不宜用 P 管传递低电平。

2、画电流偏置的产生电路，并解释。

答：基本的偏置电流产生电路包括镜像电流源、比例电流源和微电流源三种。

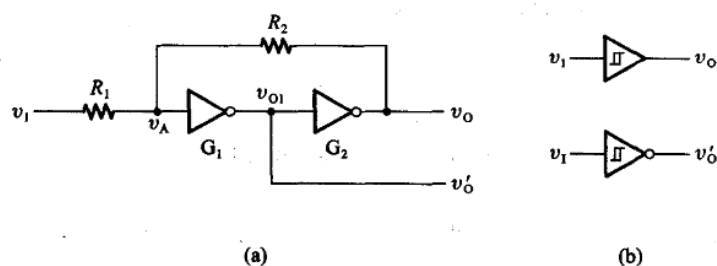
下面以镜像电流源电路为例进行说明：



该电路由两个完全相同的管子  $T_0$  和  $T_1$  构成，由于  $T_0$  的管压降  $U_{CE0}$  与其 b-e 间电压  $U_{BE0}$  相等，从而保证  $T_0$  工作在放大状态，因而它的集电极电流  $I_{C0} = \beta_0 I_{B0}$ 。图中  $T_0$  和  $T_1$  的 b-e 间电压相等，所以它们的基极电流  $I_{B0} = I_{B1} = I_B$ ，而由于电流放大倍数  $\beta_0 = \beta_1 = \beta$ ，集电极电流  $I_{C0} = I_{C1} = I_C = \beta I_B$ 。可见，由于这种电路的特殊接法，使  $I_{C1}$  和  $I_{C0}$  呈镜像关系，故称此电路为镜像电流源。 $I_{C1}$  为输出电流。电阻  $R$  中的电流为基准电流。

4、画出施密特电路，求回差电压。

答：下图是用 CMOS 反相器构成的施密特电路：



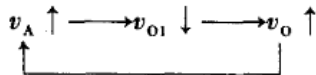
用 CMOS 反相器构成的施密特触发器

(a) 电路图 (b) 图形符号

假定反相器  $G_1$  和  $G_2$  是 CMOS 电路, 它们的阈值电压为  $V_{TH} \approx \frac{1}{2} V_{DD}$ , 且  $R_1 < R_2$ 。

当  $v_i = 0$  时, 因  $G_1$ 、 $G_2$  接成了正反馈电路, 所以  $v_o = V_{OL} \approx 0$ 。这时  $G_1$  的输入  $v_A \approx 0$ 。

当  $v_i$  从 0 逐渐升高并达到  $v_A = V_{TH}$  时, 由于  $G_1$  进入了电压传输特性的转折区(放大区), 所以  $v_A$  的增加将引发如下的正反馈过程



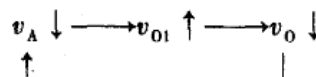
于是电路的状态迅速地转换为  $v_o = V_{OH} \approx V_{DD}$ 。由此便可以求出  $v_i$  上升过程中电路状态发生转换时对应的输入电平  $V_{T+}$ 。因为这时有

$$v_A = V_{TH} \approx \frac{R_2}{R_1 + R_2} V_{T+}$$

所以 
$$V_{T+} = \frac{R_1 + R_2}{R_2} V_{TH} = \left(1 + \frac{R_1}{R_2}\right) V_{TH} \quad (10.2.1)$$

$V_{T+}$  称为正向阈值电压。

当  $v_i$  从高电平  $V_{DD}$  逐渐下降并达到  $v_A = V_{TH}$  时,  $v_A$  的下降会引发又一个正反馈过程



使电路的状态迅速转换为  $v_o = V_{OL} \approx 0$ 。由此又可以求出  $v_i$  下降过程中电路状态发生转换时对应的输入电平  $V_{T-}$ 。由于这时有

$$v_A = V_{TH} \approx V_{DD} - (V_{DD} - V_{T-}) \frac{R_2}{R_1 + R_2}$$

所以 
$$V_{T-} = \frac{R_1 + R_2}{R_2} V_{TH} - \frac{R_1}{R_2} V_{DD}$$

将  $V_{DD} = 2V_{TH}$  代入上式后得到

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right) V_{TH}$$

$V_{T-}$  称为负向阈值电压。

我们将  $V_{T+}$  与  $V_{T-}$  之差定义为回差电压  $\Delta V_T$ , 即

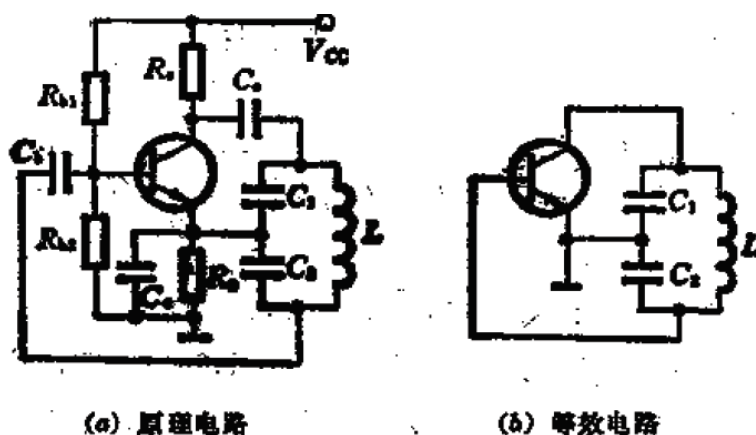
$$\Delta V_T = V_{T+} - V_{T-}$$

因此回差电压为:

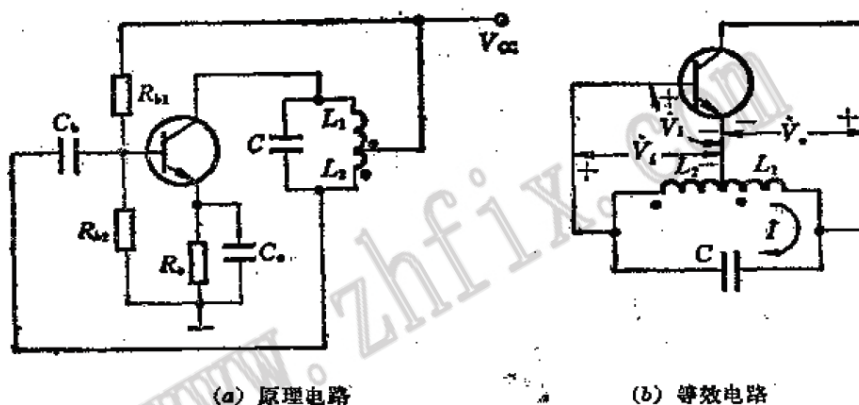
$$\Delta V_T = 2 \frac{R_1}{R_2} V_{TH} = \frac{R_1}{R_2} V_{DD}$$

5、LC 正弦波振荡器有哪几种三点式振荡电路, 分别画出其原理图。

答: 主要有两种基本类型: 电容三点式电路和电感三点式电路。下图中(a)和(b)分别给出了其原理电路及其等效电路。



(a) 电容三点式振荡电路



(b) 电感三点式振荡电路

6、DAC 和 ADC 的实现各有哪些方法？

答：实现 DAC 转换的方法有：权电阻网络 D/A 转换，倒梯形网络 D/A 转换，权电流网络 D/A 转换、权电容网络 D/A 转换以及开关树形 D/A 转换等。

实现 ADC 转换的方法有：并联比较型 A/D 转换，反馈比较型 A/D 转换，双积分型 A/D 转换和 V-F 变换型 A/D 转换。

7、A/D 电路组成、工作原理。

A/D 电路由取样、量化和编码三部分组成，由于模拟信号在时间上是连续信号而数字信号在时间上是离散信号，因此 A/D 转换的第一步就是要按照奈奎斯特采样定律对模拟信号进行采样。又由于数字信号在数值上也是不连续的，也就是说数字信号的取值只有有限个数值，因此需要对采样后的数据尽量量化，使其量化到有效电平上，编码就是对量化后的数值进行多进制到二进制二进制的转换。

8、为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大？

答：和载流子有关，P 管是空穴导电，N 管电子导电，电子的迁移率大于空穴，同样的电场下，N 管的电流大于 P 管，因此要增大 P 管的宽长比，使之对称，这样才能使得两者上升时间下降时间相等、高低电平的噪声容限一样、充电放电

的时间相等。

#### 9、锁相环有哪几部分组成？

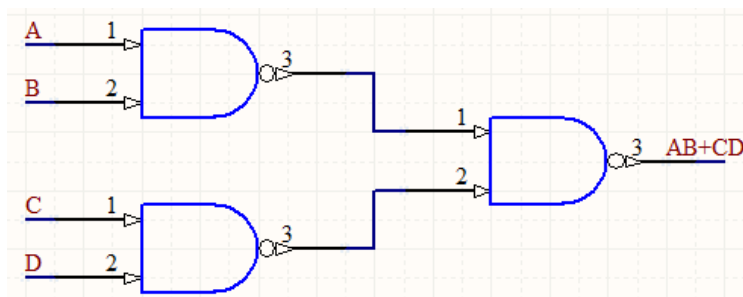
锁相环路是一种反馈控制电路，简称锁相环（PLL）。锁相环的特点是：利用外部输入的参考信号控制环路内部振荡信号的频率和相位。因锁相环可以实现输出信号频率对输入信号频率的自动跟踪，所以锁相环通常用于闭环跟踪电路。锁相环在工作的过程中，当输出信号的频率与输入信号的频率相等时，输出电压与输入电压保持固定的相位差值，即输出电压与输入电压的相位被锁住，这就是锁相环名称的由来。

锁相环通常由鉴相器（PD）、环路滤波器（LF）和压控振荡器（VCO）三部分组成。锁相环中的鉴相器又称为相位比较器，它的作用是检测输入信号和输出信号的相位差，并将检测出的相位差信号转换成电压信号输出，该信号经低通滤波器滤波后形成压控振荡器的控制电压，对振荡器输出信号的频率实施控制。

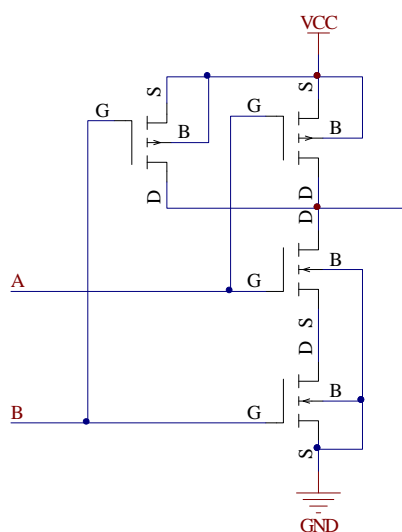
#### 硬件面试题之五

##### 1、用逻辑门和 COMS 电路实现 $AB+CD$ 。

答：这里使用与非门实现：



(a) 用逻辑门实现



(b) 用 CMOS 电路组成的与非门

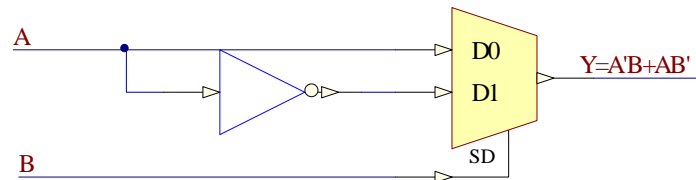
图(a)给出了用与非门实现  $AB+CD$ ，图(b)给出了用 CMOS 电路组成的与非门，



将图(b)代入图(a)即可得到用 CMOS 电路实现  $AB+CD$  的电路。

2、用一个二选一 mux 和一个 inv 实现异或。

答：假设输入信号为 A、B，输出信号为  $Y=A'B+AB'$ 。则用一个二选一 mux 和一个 inv 实现异或的电路如下图所示：



3、给了 reg 的 Setup 和 Hold 时间，求中间组合逻辑的 Delay 范围。

答：假设时钟周期为  $T_{clk}$ ，reg 的 Setup 和 Hold 时间分别记为  $Setup$  和  $Hold$ 。则有：

$$Hold < Delay < T_{clk} - Setup$$

4、如何解决亚稳态？

答：亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平上。在亚稳态期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。解决方法主要有：(1) 降低系统时钟；(2) 用反应更快的 FF；(3) 引入同步机制，防止亚稳态传播；(4) 改善时钟质量，用边沿变化快速的时钟信号；(5) 使用工艺好、时钟周期裕量大的器件。

## 硬件面试题之六

1、集成电路前端设计流程，写出相关的工具。

答：首先给大家介绍下集成电路前端设计和后端设计的概念。集成电路的前端设计主要是指设计 IC 过程的逻辑设计、功能仿真，而后端设计则是指设计 IC 过程中的版图设计、制板流片。前端设计主要负责逻辑实现，通常是使用 verilog/VHDL 之类语言，进行行为级的描述。而后端设计，主要负责将前端的设计变成真正的 schematic&layout，流片，量产。

集成电路前端设计流程可以分为以下几个步骤：(1) 设计说明书；(2) 行为级描述及仿真；(3) RTL 级描述及仿真；(4) 前端功能仿真。

硬件语言输入工具有 SUMMIT，VISUALHDL，MENTOR 和 RENIOR 等；图形输入工具有：Composer(cadence)，Viewlogic (viewdraw)等；

数字电路仿真工具有：

Verilog: CADENCE、Verilog-XL、SYNOPSYS、VCS、MENTOR、Model-sim

VHDL: CADENCE、NC-vhdl、SYNOPSYS、VSS、MENTOR、Model-sim

模拟电路仿真工具：ANTI HSpice pspice, spectre micro microwave, eesoft

## 2、名词解释：IRQ、BIOS、USB、VHDL、SDR。

(1) IRQ：中断请求。

(2) BIOS：BIOS 是英文"Basic Input Output System"的缩略语，直译过来后中文名称就是"基本输入输出系统"。其实，它是一组固化到计算机内主板上一个 ROM 芯片上的程序，它保存着计算机最重要的基本输入输出的程序、系统设置信息、开机后自检程序和系统自启动程序。其主要功能是为计算机提供最底层的、最直接的硬件设置和控制。

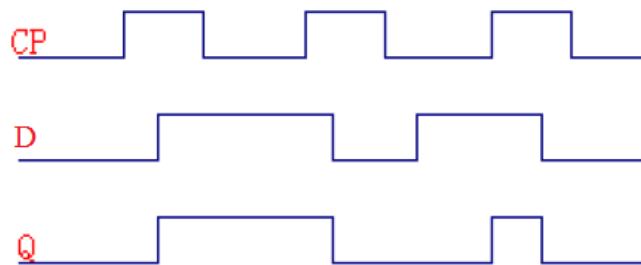
(3) USB：USB，是英文 Universal Serial BUS（通用串行总线）的缩写，而其中文简称为“通串线”，是一个外部总线标准，用于规范电脑与外部设备的连接和通讯。

(4) VHDL：VHDL 的英文全写是：VHSIC（Very High Speed Integrated Circuit）Hardware Description Language.翻译成中文就是超高速集成电路硬件描述语言。主要用于描述数字系统的结构、行为、功能和接口。

(5) SDR：软件无线电，一种无线电广播通信技术，它基于软件定义的无线通信协议而非通过硬连线实现。换言之，频带、空中接口协议和功能可通过软件下载和更新来升级，而不用完全更换硬件。SDR 针对构建多模式、多频和多功能无线通信设备的问题提供有效而安全的解决方案。

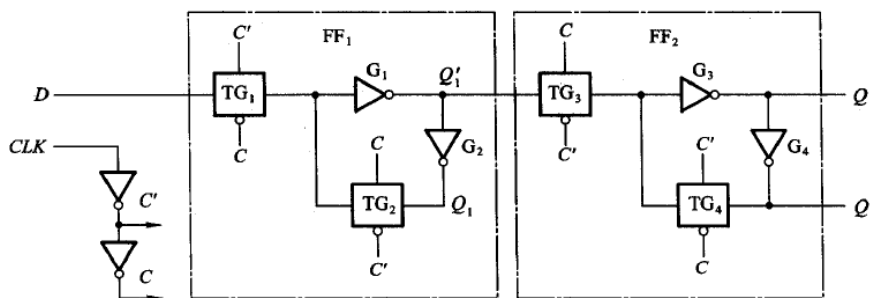
## 3、用波形表示 D 触发器的功能。

以电平触发为例进行说明，D 触发器的功能描述如下：当时钟信号为低电平时，触发器不工作，处于维持状态。当时钟信号为高电平时，D 触发器的功能为：若 D=0，则触发器次态为 0；若 D=1，则触发器次态为 1。下图以波形形式来描述 D 触发器的功能：



## 4、用传输门和倒向器搭一个边沿触发器。

用传输门和倒向器组成的边沿 D 触发器如下图：



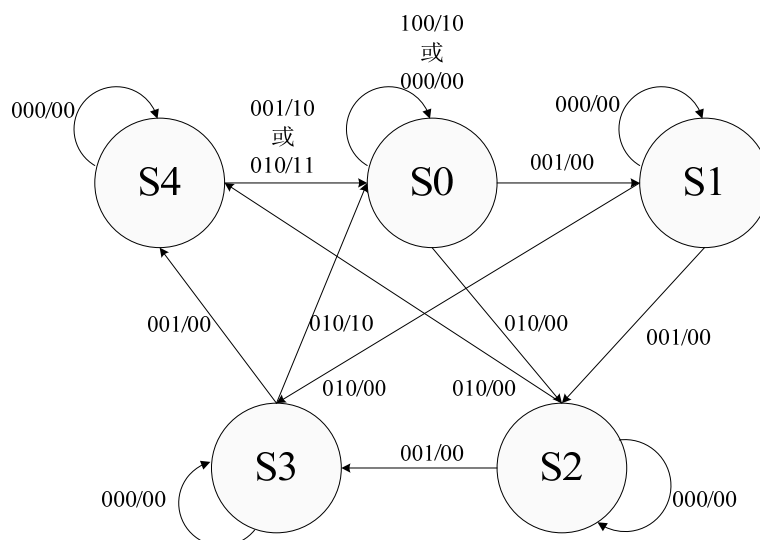
5、画状态机，接受 1、2、5 分钱的卖报机，每份报纸 5 分钱。

答：取投币信号为输入逻辑变量，投入一枚 5 分硬币是用  $A=1$  表示，未投入时用  $A=0$  表示；投入一枚 2 分硬币是用  $B=1$  表示，未投入时用  $B=0$  表示；投入一枚 1 分硬币是用  $C=1$  表示，未投入时用  $C=0$  表示。由于每次最多只能投入一枚硬币，因此除了  $ABC=000$ 、 $ABC=001$ 、 $ABC=010$  和  $ABC=100$  四种状态为合法状态，其它四种状态为非法状态。假设投入 3 个 2 分硬币或者投入 4 个 1 分硬币和 1 个 2 分硬币后，卖报机在给出报纸的同时会找会 1 个 1 分硬币。这是输出变量有两个，分别用  $Y$  和  $Z$  表示。给出报纸时  $Y=1$ ，不给时  $Y=0$ ；找回 1 个 1 分硬币时  $Z=1$ ，不找时  $Z=0$ 。同时假定未投币时卖报机的初始状态为  $S_0$ ，从开始到当前时刻共投入的硬币面值为 1 分记为  $S_1$ ，为 2 分时记为  $S_2$ ，为 3 分记为  $S_3$ ，为 4 分时记为  $S_4$ 。

由上面的分析可以画出该状态机的状态转换表，如下表所示(方便起见，这里给出输入变量为非法状态时的转换表)：

$S_0 \backslash ABC$	000	001	010	100
$S_0$	<b><math>S_0/00</math></b>	<b><math>S_1/00</math></b>	<b><math>S_2/00</math></b>	<b><math>S_0/10</math></b>
$S_1$	<b><math>S_1/00</math></b>	<b><math>S_2/00</math></b>	<b><math>S_3/00</math></b>	<b><math>X/XX</math></b>
$S_2$	<b><math>S_2/00</math></b>	<b><math>S_3/00</math></b>	<b><math>S_4/00</math></b>	<b><math>X/XX</math></b>
$S_3$	<b><math>S_3/00</math></b>	<b><math>S_4/00</math></b>	<b><math>S_0/10</math></b>	<b><math>X/XX</math></b>
$S_4$	<b><math>S_4/00</math></b>	<b><math>S_0/10</math></b>	<b><math>S_0/11</math></b>	<b><math>X/XX</math></b>

状态图如下图所示：

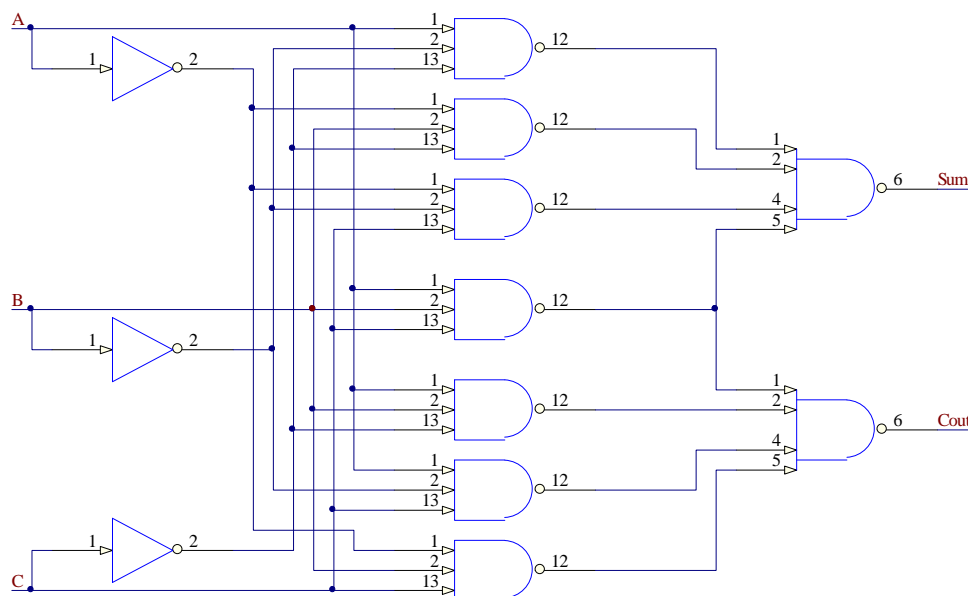


xxx/xx 中 xxx 表示输入信号 ABC，xx 表示输出信号 YZ。

### 硬件面试题之七

1、用与非门等设计全加法器。

答：设加数为 A 和 B，低位进位为 C，和为 Sum，进位位为 Cout，则用与非门设计的全加法器如下图：



如果非门也用与非门实现的话，只需将与非门的两个输入端连接，置换到非门即可。

2、信号与系统：时域与频域的关系。

时域与频域的关系通过傅里叶变换给出，下面给出傅里叶变换及其逆变换的几种可能形式：

(1) 连续时间、连续频率-傅里叶变换

$$\begin{cases} X(j\Omega) = \int_{-\infty}^{\infty} x(t)e^{-j\Omega t} dt \\ x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\Omega)e^{j\Omega t} dt \end{cases}$$

## (2) 连续时间、离散频率-傅里叶级数

设  $x(t)$  代表一个为周期  $T_0$  为周期性连续时间函数,  $x(t)$  可展开成傅里叶级数, 其傅里叶级数的系数为  $X(jk\Omega_0)$ ,  $X(jk\Omega_0)$  是离散频率的非周期函数。

$$\begin{cases} X(jk\Omega_0) = \frac{1}{T_0} \int_{-T_0/2}^{T_0/2} x(t)e^{-jk\Omega_0 t} dt \\ x(t) = \sum_{k=-\infty}^{\infty} X(jk\Omega_0)e^{jk\Omega_0 t} \end{cases}$$

其中  $\Omega_0 = 2\pi F = \frac{2\pi}{T_0}$  为离散频谱相邻两谱线之间的角频率间隔,  $k$  为谐波序号。

## (3) 离散时间、连续频率-序列的傅里叶变换

$$\begin{cases} X(e^{j\omega}) = \sum_{n=-\infty}^{\infty} x(n)e^{-j\omega n} \\ x(n) = \frac{1}{2\pi} \int_{-\pi}^{\pi} X(e^{j\omega})e^{j\omega n} d\omega \end{cases}$$

这里的  $\omega$  是数字频率, 它和模拟角频率  $\Omega$  的关系为  $\omega = \Omega T$ ,  $T$  为采样间隔。

## (4) 离散时间、离散频率-离散傅里叶变换

离散傅里叶变换是针对有限长序列或周期序列才存在的, 它相当于把序列的连续傅里叶变换加以离散化(抽样)。

$$\begin{cases} X(k) = \sum_{n=0}^{N-1} x(n)e^{-j\frac{2\pi}{N}nk} \\ x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k)e^{j\frac{2\pi}{N}nk} \end{cases}$$

其中  $X(k) = X\left(e^{j\frac{2\pi}{N}k}\right)$ ,  $x(n) = x(nT)$ ,  $N = \frac{f_s}{F_0} = \frac{\Omega_s}{\Omega_0}$  表示有限长序列的抽样点数,

或周期序列一个周期的抽样点数。

## 3、RS232c 高电平脉冲对应的 TTL 逻辑是?

首先解释一下什么是正逻辑和负逻辑。正逻辑: 用高电平表示逻辑 1, 用低电平表示逻辑 0。负逻辑: 用低电平表示逻辑 1, 用高电平表示逻辑 0。在数字系统的逻辑设计中, 若采用 NPN 晶体管和 NMOS 管, 电源电压是正值, 一般采用正逻辑。若采用的是 PNP 管和 PMOS 管, 电源电压为负值, 则采用负逻辑比较方便。除非特别说明, 一般电路都是采用正逻辑。

对于 RS232C 的数据线，逻辑 1(MARK)=-3V~-15V；逻辑 0(SPACE)=+3~+15V，因此对应的 TTL 逻辑为负逻辑。

#### 4、VCO 是什么，什么参数(压控振荡器)？

VCO 即压控振荡器，在通信系统电路中，压控振荡器(VCO)是其关键部件，特别是在锁相环电路、时钟恢复电路和频率综合器等电路中。VCO 的性能指标主要包括：频率调谐范围，输出功率，(长期及短期)频率稳定度，相位噪声，频谱纯度，电调速度，推频系数，频率牵引等。

#### 5、什么奈奎斯特定律，怎么由模拟信号转为数字信号。

答：奈奎斯特定律包括奈奎斯特低通采样定律和奈奎斯特带通采样定律。

奈奎斯特低通采样定律：若一个连续模拟信号  $s(t)$  的最高频率小于  $f_H$ ，则以间隔时间为  $T_s \leq 1/(2f_H)$  的周期性冲激脉冲对其进行抽样时， $s(t)$  将被这些抽样值所完全确定。

奈奎斯特带通采样定律：假设带通信号  $s(t)$  的频带限制在  $f_L$  与  $f_H$  之间，即其频谱最低频率大于  $f_L$ ，最高频率小于  $f_H$ 。信号带宽  $B = f_H - f_L$ ，最高频率  $f_H$  可表示为：

$$f_H = nB + kB \quad 0 \leq k < 1$$

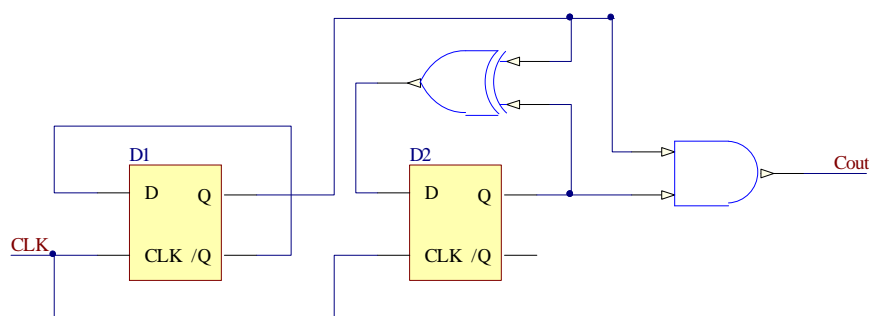
式中  $n = \lfloor f_H / B \rfloor$ ，这时，能恢复出原带通信号的最小抽样频率为

$$f_s = 2B(1 + k/n)$$

将模拟信号转为数字信号分为三个步骤：抽样、量化和编码。

#### 6、用 D 触发器做个 4 进制的计数器。

由于是 4 进制计数器，因此只需两个 D 触发器即可，记进位输出为 Cout，时钟信号为 CLK，则利用 D 触发器和门电路组成的 4 进制计数器如下图：



#### 7、那种排序方法最快？

排序没有最快与最慢，首先介绍下内部外部排序和外部排序。内部排序是指待排序记录全部存放在计算机随机存储器中进行的排序过程；外部排序是指待排序记录的数量很大，以致内存一次不能容纳全部记录，在排序过程中尚需对外存进行访问的排序过程。

这里仅介绍内部排序，内部排序的方法很多，但就全面性能而言，很难说哪



种方法是最好的。如果按排序过程中依据的不同原则对内部排序方法进行分类，则大致可以分为插入排序、交换排序、选择排序、归并排序和计数排序五类。如果按排序过程中所需的计算量来区分，则可分为三类：(1) 简单的排序方法，其时间复杂度为 $O(n^2)$ ；(2) 先进的排序方法，其时间复杂度为 $O(n\log n)$ ；(3) 基数排序，其时间复杂度为 $O(dn)$ 。

下表给出了几种内部排序的时间复杂度：

排序方法	平均时间	最坏情况	辅助存储
简单排序	$O(n^2)$	$O(n^2)$	$O(1)$
快速排序	$O(n\log n)$	$O(n^2)$	$O(\log n)$
堆排序	$O(n\log n)$	$O(n\log n)$	$O(1)$
归并排序	$O(n\log n)$	$O(n\log n)$	$O(n)$
基数排序	$O(d(n+rd))$	$O(d(n+rd))$	$O(rd)$

从平均时间性能而言，快速排序最佳，其所需的时间最省，但快速排序在最坏情况下的时间性能不如堆排序和归并排序。而后两者的比较结果是，在  $n$  较大时，归并排序所需的时间较堆排序省，但它所需的辅助存储量最多。

## 硬件面试题之八

### 1、锁存器、触发器、寄存器三者的区别。

触发器：能够存储一位二值信号的基本单元电路统称为“触发器”。

锁存器：一位触发器只能传送或存储一位数据，而在实际工作中往往希望一次传送或存储多位数据。为此可把多个触发器的时钟输入端 CP 连接起来，用一个公共的控制信号来控制，而各个数据端口仍然是各处独立地接收数据。这样所构成的能一次传送或存储多位数据的电路就称为“锁存器”。

寄存器：在实际的数字系统中，通常把能够用来存储一组二进制代码的同步时序逻辑电路称为寄存器。由于触发器内有记忆功能，因此利用触发器可以方便地构成寄存器。由于一个触发器能够存储一位二进制码，所以把  $n$  个触发器的时钟端口连接起来就能构成一个存储  $n$  位二进制码的寄存器。

区别：从寄存数据的角度来，寄存器和锁存器的功能是相同的，它们的区别在于寄存器是同步时钟控制，而锁存器是电位信号控制。可见，寄存器和锁存器具有不同的应用场合，取决于控制方式以及控制信号和数据信号之间的时间关系：若数据信号有效一定滞后于控制信号有效，则只能使用锁存器；若数据信号提前于控制信号到达并且要求同步操作，则可用寄存器来存放数据。

### 2、D 触发器和 D 锁存器的区别。

D 触发器是指由时钟边沿触发的存储器单元，锁存器指一个由信号而不是时钟控制的电平敏感的设备。锁存器通过锁存信号控制，不锁存数据时，输出端的

信号随输入信号变化，就像信号通过缓冲器一样，一旦锁存信号起锁存作用，则数据被锁住，输入信号不起作用。

### 3、有源滤波器和无源滤波器的原理及区别。

滤波器是一种对信号的频率具有选择性的电路，其功能就是使特定频率范围内的信号通过，而组织其它频率信号通过。其原理就是当不同频率的信号通过该电路时，具有不同的幅度衰减，通带内的信号衰减很小，而阻带内的信号衰减很大。

若滤波电路仅由无源元件(电阻、电容、电感)组成，则称为无源滤波器；若滤波电路不仅由无源元件，还有有源元件(双极型管、单极性管、集成运放)组成，则称为有源滤波器。其区别主要体现在以下几个方面：

(1) 有源滤波器是电子的，无源滤波器是机械的。(2) 有源滤波器是检测到某一设定好的谐波次数后抵消它，无源滤波器是通过电抗器与电容器的配合形成某次谐波通道吸收谐波。(3) 采用无源滤波器因为有电容器的原因，所以可提高功率因素。采用有源滤波器只是消除谐波与功率因素无关。(4) 有源滤波器造价是无源滤波器的 3 倍以上，技术相对不太成熟，且维护成本高；无源滤波器造价相对较低，技术较成熟，安装后基本免维护。(5) 有源滤波器用于小电流，无源滤波器可用于大电流。

### 4、SRAM，DRAM 以及 Flash 的区别。

SRAM 和 DRAM 属于 RAM 的范畴，而 Flash 属于 ROM 的范畴。

RAM 有两大类，一种称为静态 RAM (Static RAM/SRAM)，SRAM 速度非常快，是目前读写最快的存储设备了，但是它也非常昂贵，所以只在要求很苛刻的地方使用，譬如 CPU 的一级缓冲，二级缓冲。另一种称为动态 RAM (Dynamic RAM/DRAM)，DRAM 保留数据的时间很短，速度也比 SRAM 慢，不过它还是比任何的 ROM 都要快，但从价格上来说 DRAM 相比 SRAM 要便宜很多，计算机内存就是 DRAM 的。

Flash 是一种可以直接在主机板上修改内容而不需要将 IC 拔下的内存，当电源关掉后储存在里面的资料并不会流失掉，在写入资料时必须先将原本的资料清除掉，然后才能再写入新的资料，缺点为写入资料的速度太慢。

### 5、IIR，FIR 滤波器的异同。

IIR 是无限长冲激响应滤波器，FIR 是有限长冲激响应滤波器。两者的比较如下：

(1) 在相同的技术指标下，IIR 滤波器由于存在着输出对输入的反馈，所以可用比 FIR 滤波器较少的阶数来满足指标的要求，所用的存储单元少，运算次数少，较为经济。

(2) FIR 滤波器可得到严格的线性相位，而 IIR 滤波器做不到这一点，IIR 滤波器的选择性越好，其相位的非线性越严重。因而，如果 IIR 滤波器要得到线性相位，又要满足幅度滤波的技术要求，必须加全通网络进行相位校正，这同样会大大增加滤波器的阶数。

(3) FIR 滤波器主要采用非递归结构，因为无论是从理论上还是从实际的有限精度的运算中它都是稳定的，有限精度运算的误差也越小。IIR 滤波器必须采用递归结构，极点必须在  $z$  平面单位圆内才能稳定，对于这种结构，运算中的四舍五入处理有时会引起寄生振荡。

(4) 对于 FIR 滤波器，由于冲激响应是有限长的，因而可以用快速傅里叶变换算法，这样运算速度可以快得多。IIR 滤波器则不能这样运算。

(5) 从设计上看，IIR 滤波器可以利用模拟滤波器设计的现成的闭合公式、数据和表格，因此计算工作量较小，对计算工具要求不高。FIR 滤波器则一般没有现成的设计公式，一般 FIR 滤波器设计仅有计算机程序可资利用，因而要借助于计算机。

(6) IIR 滤波器主要是设计规格化的、频率特性为分段常数的标准低通、高通、带通、带阻、全通滤波器。FIR 滤波器则要灵活得多。

## 6、冒泡排序的原理。

冒泡排序(BubbleSort)的基本概念是：依次比较相邻的两个数，将小数放在前面，大数放在后面。即首先比较第 1 个和第 2 个数，将小数放前，大数放后。然后比较第 2 个数和第 3 个数，将小数放前，大数放后，如此继续，直至比较最后两个数，将小数放前，大数放后。重复以上过程，仍从第一对数开始比较(因为可能由于第 2 个数和第 3 个数的交换，使得第 1 个数不再小于第 2 个数)，将小数放前，大数放后，一直比较到最大数前的一对相邻数，将小数放前，大数放后，第二趟结束，在倒数第二个数中得到一个新的最大数。如此下去，直至最终完成排序。

由于在排序过程中总是小数往前放，大数往后放，相当于气泡往上升，所以称作冒泡排序。

## 7、操作系统的功能。

操作系统是管理系统资源、控制程序执行，改善人机界面，提供各种服务，合理组织计算机工作流程和为用户使用计算机提供良好运行环境的一种系统软件。资源管理是操作系统的一项主要任务，而控制程序执行、扩充机器功能、提供各种服务、方便用户使用、组织工作流程、改善人机界面等等都可以从资源管理的角度去理解。下面从资源管理的观点来看操作系统具有的几个主要功能：

(1) 处理机管理：处理机管理的第一项工作是处理中断事件。硬件只能发现中断

事件，捕捉它并产生中断信号，但不能进行处理，配置了操作系统，就能对中断事件进行处理。处理机管理的第二项工作是处理器调度。处理器是计算机系统中一种稀有和宝贵的资源，应该最大限度地提高处理器的利用率。

(2) 存储管理：存储管理的主要任务是管理存储器资源，为多道程序运行提供有力的支撑，便于用户使用存储资源，提高存储空间的利用率。

(3) 设备管理：设备管理的主要任务是管理各类外围设备，完成用户提出的 I/O 请求，加快 I/O 信息的传送速度，发挥 I/O 设备的并行性，提高 I/O 设备的利用率，以及提供每种设备的设备驱动程序和中断处理程序，为用户隐蔽硬件细节，提供方便简单的设备使用方法。

(4) 文件管理：文件管理是针对系统中的信息资源的管理。在现代计算机中，通常把程序和数据以文件形式存储在外存储器(又叫辅存储器)上，供用户使用，这样，外存储器上保存了大量文件，对这些文件如不能采取良好的管理方式，就会导致混乱或破坏，造成严重后果。为此，在操作系统中配置了文件管理，它的主要任务是对用户文件和系统文件进行有效管理，实现按名存取；实现文件的共享、保护和保密，保证文件的安全性；并提供给用户一整套能方便使用文件的操作和命令。

(5) 网络与通信管理

8、拉氏变换和傅立叶变换的表达式及联系。

拉普拉斯变换对如下：

$$\begin{cases} F(s) = \int_{-\infty}^{\infty} f(t)e^{-st} dt \\ f(t) = \frac{1}{2\pi j} \int_{\sigma-j\infty}^{\sigma+j\infty} F(s)e^{st} ds \end{cases}$$

傅里叶变换对如下：

$$\begin{cases} F(j\Omega) = \int_{-\infty}^{\infty} f(t)e^{-j\Omega t} dt \\ f(t) = \frac{1}{2\pi} \int_{\sigma-j\infty}^{\sigma+j\infty} F(j\Omega)e^{j\Omega t} d\Omega \end{cases}$$

其关系为：傅里叶变换是拉普拉斯变换的一种特殊情况，当  $s = j\omega$  时，拉普拉斯变换退化为傅里叶变换。

## 硬件面试题之九

1、IC 设计中同步复位与异步复位的区别。

**答：**同步复位在时钟沿才复位信号，完成复位动作。异步复位不管时钟，只要复位信号满足条件，就完成复位动作。异步复位对复位信号要求比较高，不能有毛刺，如果其与时钟关系不确定，也可能出现亚稳态。

2、Moore 与 Mealy 状态机的特征。

答：Moore 状态机的输出仅与当前状态值有关，且只在时钟边沿到来时才会有状态变化。Mealy 状态机的输出不仅与当前状态值有关，而且与当前输入值有关。

3、多时域设计中，如何处理信号跨时域。

答：不同的时钟域之间的信号进行通信时，需要进行同步处理，这样可以防止新时钟域中第一级触发器的亚稳态信号对下级逻辑造成影响，其中对于单个控制信号可以用两级同步器，如电平、边沿检测和脉冲，对多位信号可以用 FIFO，双口 RAM，握手信号等。

跨时域的信号要经过同步器同步，防止亚稳态传播。例如：时钟域 1 中的一个信号，要送到时钟域 2，那么在这个信号送到时钟域 2 之前，要先经过时钟域 2 的同步器同步后，才能进入时钟域 2。这个同步器就是两级 D 触发器，其时钟为时钟域 2 的时钟。这样做是怕时钟域 1 中的这个信号，可能不满足时钟域 2 中触发器的建立保持时间，而产生亚稳态，因为它们之间没有必然关系，是异步的。这样做只能防止亚稳态传播，但不能保证采进来的数据的正确性。所以通常只同步很少位数的信号。比如控制信号或地址。当同步的是地址时，一般该地址应采用格雷码，因为格雷码每次只变一位，相当于每次只有一个同步器在起作用，这样可以降低出错概率，象异步 FIFO 的设计中，比较读写地址的大小时，就是用这种方法。如果两个时钟域之间传送大量的数据，可以用异步 FIFO 来解决问题。

4、时钟周期为 T，触发器 D1 的建立时间最大为  $T1_{max}$ ，最小为  $T1_{min}$ 。组合逻辑电路最大延迟为  $T2_{max}$ ，最小为  $T2_{min}$ 。问，触发器 D2 的建立时间  $T3$  和保持时间  $T4$  应满足什么条件。

在网上搜了下这道题，发现讨论的很多，其实我对这个问题也不理解，下面就给出我认为最合理的网友的参考答案：首先说下建立时间和保持时间的定义。

建立时间(setup time)是指在触发器的时钟信号上升沿到来以前，数据稳定不变的时间，如果建立时间不够，数据将不能在这个时钟上升沿被打入触发器；保持时间(hold time)是指在触发器的时钟信号上升沿到来以后，数据稳定不变的时间，如果保持时间不够，数据同样不能被打入触发器。

$T_{f\ddot{p}d}$ ：触发器的输出响应时间，也就是触发器的输出在 clk 时钟上升沿到来后多长的时间内发生变化并且稳定，也可以理解为触发器的输出延时。

$T_{comb}$ ：触发器的输出经过组合逻辑所需要的时间，也就是题目中的组合逻辑延迟。

$T_{setup}$ ：建立时间

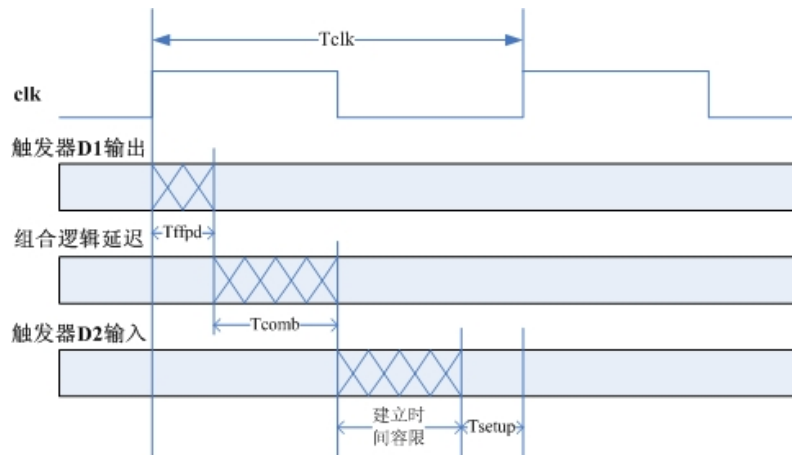
$T_{hold}$ ：保持时间



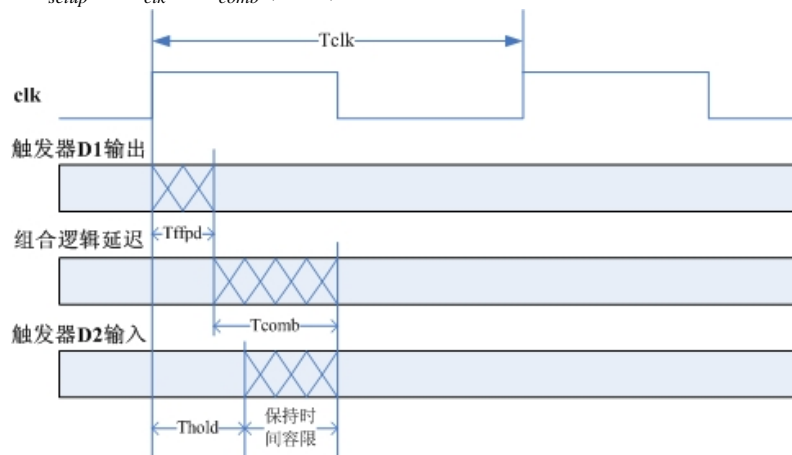
$T_{clk}$  : 时钟周期

建立时间容限：相当于保护时间，这里要求建立时间容限大于等于 0。

保持时间容限：保持时间容限也要求大于等于 0。



由上图可知，建立时间容限  $= T_{clk} - T_{ffpd}(\max) - T_{comb}(\max) - T_{setup}$ ，根据建立时间容限  $\geq 0$ ，也就是  $T_{clk} - T_{ffpd}(\max) - T_{comb}(\max) - T_{setup} \geq 0$ ，可以得到触发器 D2 的  $T_{setup} \leq T_{clk} - T_{ffpd}(\max) - T_{comb}(\max)$ ，由于题目没有考虑  $T_{ffpd}$ ，所以我们认为  $T_{ffpd} = 0$ ，于是得到  $T_{setup} \leq T_{clk} - T_{comb}(\max)$ ，即  $T_3 \leq T - T_2\max$ 。



由上图可知，保持时间容限  $+ T_{hold} = T_{ffpd}(\min) + T_{comb}(\min)$ ，所以保持时间容限  $= T_{ffpd}(\min) + T_{comb}(\min) - Thold$ ，根据保持时间容限  $\geq 0$ ，也就是  $T_{ffpd}(\min) + T_{comb}(\min) - Thold \geq 0$ ，得到触发器 D2 的  $T_{hold} \leq T_{ffpd}(\min) + T_{comb}(\min)$ ，由于题目没有考虑  $T_{ffpd}$ ，所以我们认为  $T_{ffpd} = 0$ ，于是得到  $T_{hold} \leq T_2\min$ 。

关于保持时间的理解就是，在触发器 D2 的输入信号还处在保持时间的时候，如果触发器 D1 的输出已经通过组合逻辑到达 D2 的输入端的话，将会破坏 D2 本来应该保持的数据

5、给出某个一般时序电路的图，有  $T_{setup}$ 、 $T_{delay}$ 、 $T_{ck \rightarrow q}$ ，还有 clock 的 delay，写出决定最大时钟的因素，同时给出表达式。

$$T + T_{clkdealy} > T_{setup} + T_{co} + T_{delay};$$



$T_{hold} > T_{clkdelay} + T_{co} + T_{delay}$ ;

6、说说静态、动态时序模拟的优缺点。

答：静态时序分析是采用穷尽分析方法来提取出整个电路存在的所有时序路径，计算信号在这些路径上的传播延时，检查信号的建立和保持时间是否满足时序要求，通过对最大路径延时和最小路径延时的分析，找出违背时序约束的错误。它不需要输入向量就能穷尽所有的路径，且运行速度很快、占用内存较少，不仅可以对芯片设计进行全面的时序功能检查，而且还可利用时序分析的结果来优化设计，因此静态时序分析已经越来越多地被用到数字集成电路设计的验证中。动态时序模拟就是通常的仿真，因为不可能产生完备的测试向量，覆盖门级网表中的每一条路径。因此在动态时序分析中，无法暴露一些路径上可能存在的时序问题。

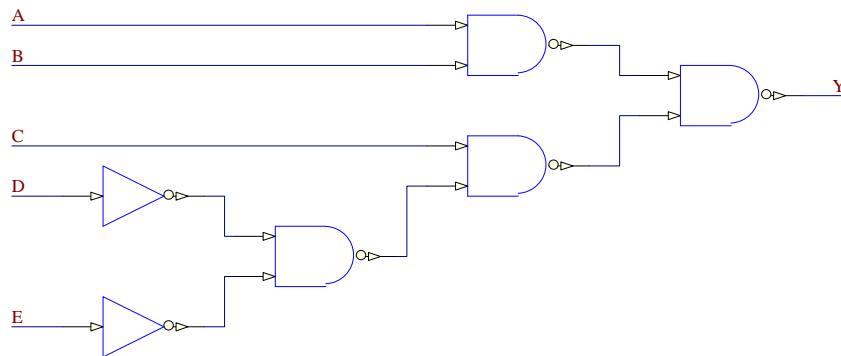
7、一个四级的 Mux，其中第二级信号为关键信号，如何改善 timing。

将第二级信号放到最后输出一级输出，同时注意修改片选信号，保证其优先级未被修改。

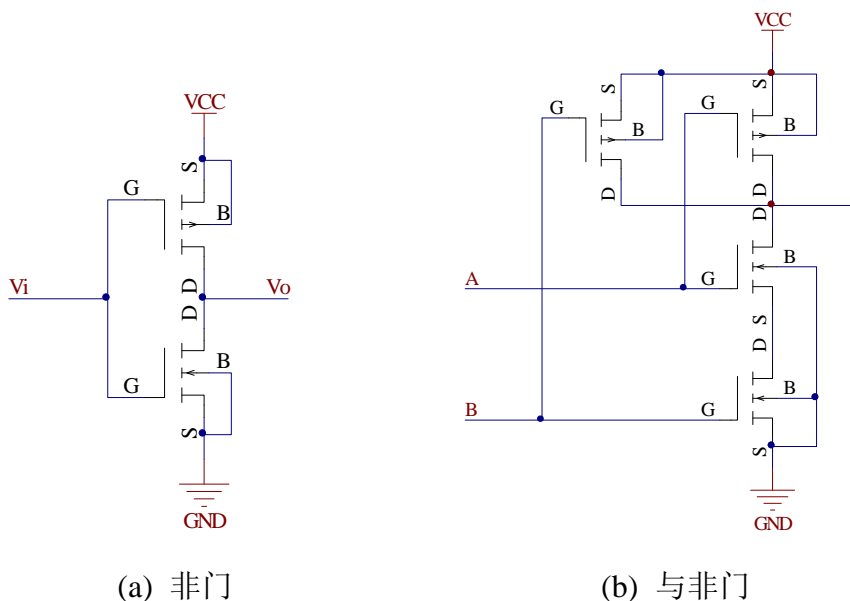
8、画出 CMOS 电路的晶体管级电路图，实现  $Y = A * B + C(D + E)$ 。

此类题目都可以采用一种做法，首先将表达式全部用与非门和非门表示，然后将用 CMOS 电路实现的非门和与非门代入即可。非门既可以单独实现，也可以用与非门实现(将两输入端接在一起即可)。

下图是用非门和与非门实现 Y 的电路图。



下图(a)和(b)分别为用 CMOS 实现的非门和与非门：



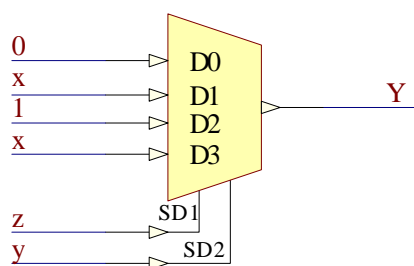
### 硬件面试题之十

1、利用 4 选 1 数据选择器实现  $F(x,y,z)=xz+yz'$ 。

假设 4 选 1 数据选择器的地址端分别为 A1 和 A0，数据输入端分别为 D0、D1、D2 和 D3。由于

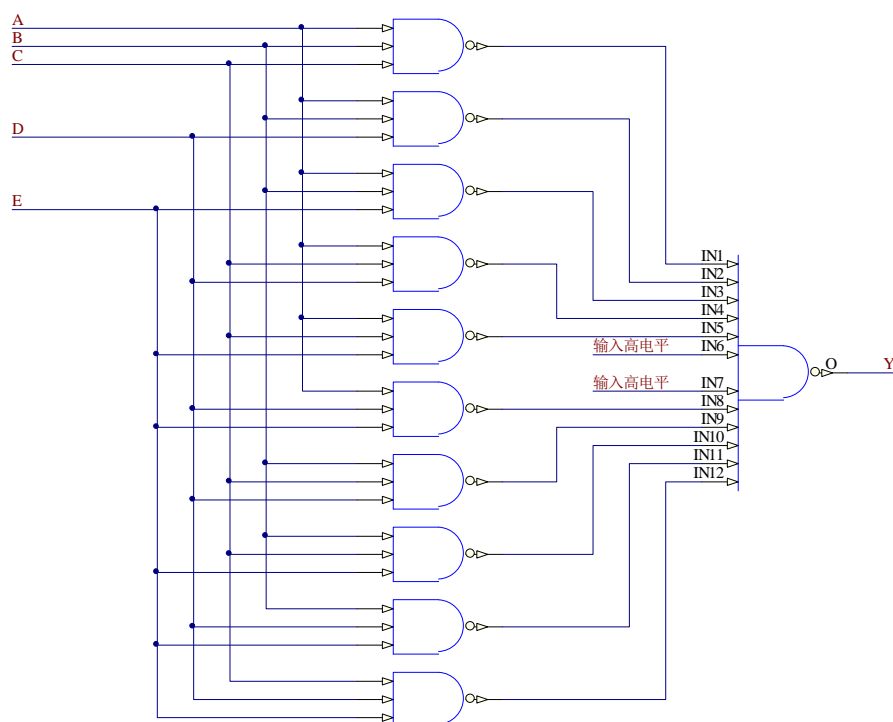
$$\begin{aligned} F(x, y, z) &= xz + yz' \\ &= 0 \cdot y'z' + xy'z + 1 \cdot yz' + xyz \end{aligned}$$

令：D0=0, D1=x, D2=1, D3=x, A1(SD2)=y, A0(SD1)=z, 即可实现 F 函数，其电路如下图：



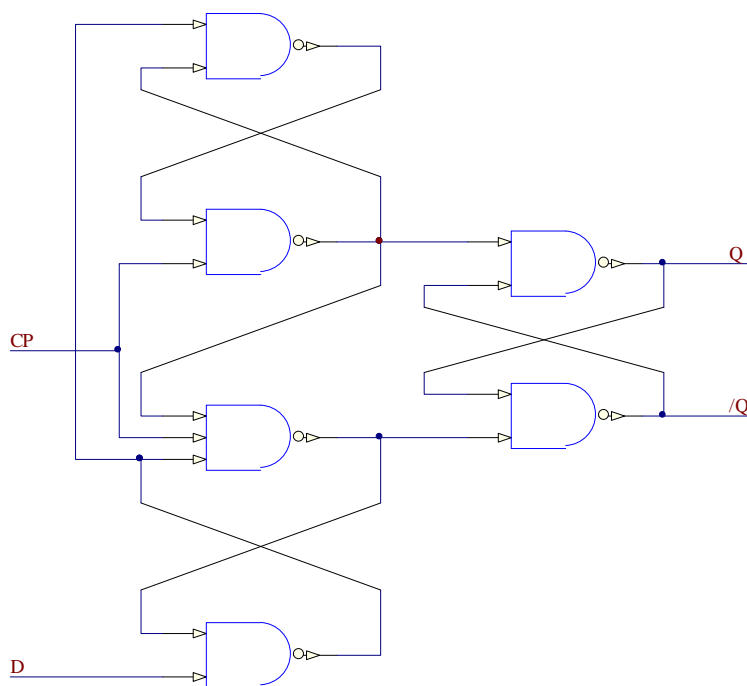
2、A、B、C、D、E 进行投票，多数服从少数，输出是 F(也就是如果 A、B、C、D、E 中 1 的个数比 0 多，那么 F 输出为 1，否则 F 为 0)，用与非门实现，输入数目没有限制。

记 A 赞成时 A=1，反对时 A=0；B 赞成时 A=1，反对时 B=0；C、D、E 亦是如此。由于共 5 人投票且少数服从多数，因此只要有三人投赞成票即可，其他人的投票结果并不需要考虑。基于以上分析，下图给出用与非门实现的电路：



### 3、用逻辑门画出 D 触发器。

下图给出了用与非门搭出的维持阻塞 D 触发器：



### 4、简述 latch 和 flip-flop 的异同。

本题即问锁存器与触发器的异同。触发器：能够存储一位二值信号的基本单元电路统称为“触发器”。

锁存器：一位触发器只能传送或存储一位数据，而在实际工作中往往希望一次传送或存储多位数据。为此可把多个触发器的时钟输入端 CP 连接起来，用一

个公共的控制信号来控制，而各个数据端口仍然是各处独立地接收数据。这样所构成的能一次传送或存储多位数据的电路就称为“锁存器”。

#### 5、LATCH 和 DFF 的概念和区别。

本题即问 D 锁存器与 D 触发器的概念与区别。D 触发器是指由时钟边沿触发的存储器单元，锁存器指一个由信号而不是时钟控制的电平敏感的设备。锁存器通过锁存信号控制，不锁存数据时，输出端的信号随输入信号变化，就像信号通过缓冲器一样，一旦锁存信号起锁存作用，则数据被锁住，输入信号不起作用。

6、latch 与 register 的区别，为什么现在多用 register。行为级描述中 latch 如何产生的。

答：latch 是电平触发，register 是边沿触发，register 在同一时钟边沿触发下动作，符合同步电路的设计思想，而 latch 则属于异步电路设计，往往会导致时序分析困难，不适当的应用 latch 则会大量浪费芯片资源。

#### 7、How many flip-flop circuits are needed to divide by 16 (Intel) 16 分频？

此题即问设计 16 分频需要多少触发器，此类问题的解法是：假设需要  $x$  分频，则需要的触发器个数  $N$  为：

$$N = \lceil \log_2(x) \rceil$$

上式中的括号表示上取整，因此对于 16 分频，需要 4 个触发器。

8、用 flip-flop 和 logic-gate 设计一个 1 位加法器，输入 carryin 和 current-stage，输出 carryout 和 next-stage.

有点费解这个问题是考什么的。我的理解是考设计具有输入输出缓冲功能的加法器，这样理解的话，题目做起来很简单，只要将输入和输出各加一个触发器作为数据锁存器即可，也就是需要 4 个触发器。加法功能完全由门电路实现。

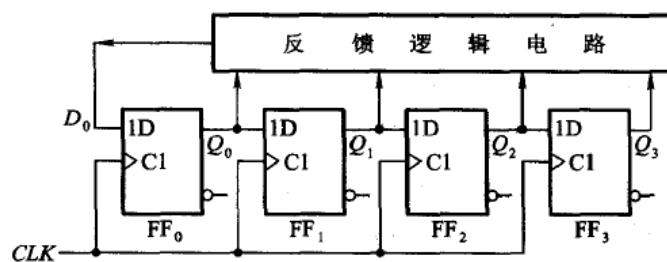
#### 9、实现 N 位 Johnson Counter，N=5。

首先给大家解释下 Johnson Counter，Johnson Counter 即约翰逊计数器，又称扭环形计数器，是移位寄存器型计数器的一种。

由于环形计数器的电路状态利用率较低，为了在不改变移位寄存器内部结构的条件下提高环形计数器的电路状态利用率，只能从改变反馈逻辑电路上想办法。

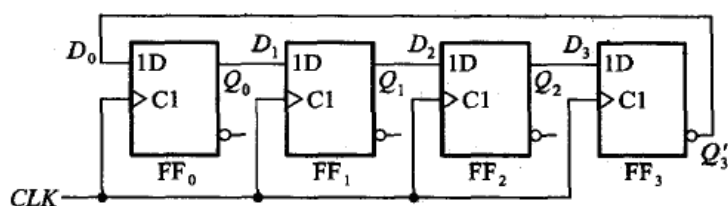
事实上任何一种移位寄存器型计数器的结构都可表示为如下图所示的一般形式。其中反馈逻辑电路的函数表达式可写成：

$$D_0 = F(Q_0, Q_1, \dots, Q_{n-1})$$



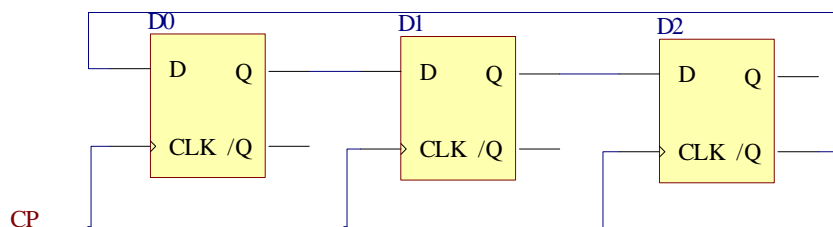
移位寄存器型计数器的一般结构形式

环形计数器是反馈逻辑函数中最简单的一种，即  $D_0 = Q_{n-1}$ 。若将反馈逻辑函数取为  $D_0 = \overline{Q_{n-1}}$ ，则可得到如下图所示的电路，这个电路称为扭环形计数器，也称为约翰逊计数器。



扭环形计数器电路

由于  $N$  位移位寄存器构成的扭环形计数器的有效状态循环数为  $2N$ ，因此无法用  $N=5$  的约翰逊计数器是无法实现的。下面给出  $N=6$  的约翰逊计数器(不能自启动)。



## 硬件面试题之十一

1、Cache 的主要作用是什么，它与 Buffer 有何区别。

Cache 即是高速缓冲存储器，是一种特殊的存储器子系统，其中复制了频繁使用的数据以利于快速访问。存储器的高速缓冲存储器存储了频繁访问的 RAM 位置的内容及这些数据项的存储地址。当处理器引用存储器中的某地址时，高速缓冲存储器便检查是否存有该地址。如果存有该地址，则将数据返回处理器；如果没有保存该地址，则进行常规的存储器访问。因为高速缓冲存储器总是比主 RAM 存储器速度快，所以当 RAM 的访问速度低于微处理器的速度时，常使用高速缓冲存储器。

Cache 是一个高速小容量的临时存储器，可以用高速的静态存储器芯片实现，或者集成到 CPU 芯片内部，存储 CPU 最经常访问的指令或者操作数据。

Buffer 与 Cache 操作的对象不一样。Buffer(缓冲)是为了提高内存和硬盘(或其他 I/O 设备)之间的数据交换的速度而设计的。Cache(缓存)是为了提高 cpu 和内存之间的数据交换速度而设计,也就是平常见到的一级缓存、二级缓存、三级缓存等。

## 2、嵌入式微控制器、嵌入式微处理器和嵌入式 DSP 有什么区别。

嵌入式微控制器又称单片机,顾名思义,就是将整个计算机系统集成到一块芯片中。嵌入式微控制器一般以某一种嵌入式微处理器内核为核心,芯片内部集成 ROM/EPROM、RAM、总线、总线逻辑、定时/计数器、WatchDog、I/O、串行口、脉宽调制输出、A/D、D/A、Flash RAM、EEPROM 等各种必要功能和外设。为适应不同的应用需求,一般一个系列的单片机具有多种衍生产品,每种衍生产品的处理器内核都是一样的,不同的是存储器和外设的配置及封装。这样可以使单片机最大限度地和应用需求相匹配,功能不多不少,从而减少功耗和成本。

和嵌入式微处理器相比,微控制器的最大特点是单片化,体积大大减小,从而使功耗和成本下降、可靠性提高。微控制器是目前嵌入式系统工业的主流。微控制器的片上外设资源一般比较丰富,适合于控制,因此称微控制器。

嵌入式 DSP 处理器(Embedded Digital Signal Processor, EDSP)对系统结构和指令进行了特殊设计,使其适合于执行 DSP 算法,编译效率较高,指令执行速度也较高。在数字滤波、FFT、谱分析等方面 DSP 算法正在大量进入嵌入式领域,DSP 应用正从在通用单片机中以普通指令实现 DSP 功能,过渡到采用嵌入式 DSP 处理器。嵌入式 DSP 处理器有两个发展来源,一是 DSP 处理器经过单片化、EMC 改造、增加片上外设成为嵌入式 DSP 处理器,TI 的 TMS320C2000 /C5000 等属于此范畴;二是在通用单片机或 SOC 中增加 DSP 协处理器,例如 Intel 的 MCS-296 和 Infineon(Siemens)的 TriCore。

## 3、DSP 和通用处理器在结构上有什么不同,请简要画出你熟悉的一种 DSP 结构图。

与通用处理器相比,DSP 属于专用处理器,它是为了实现实时数字信号处理而专门设计的。在结构上,DSP 一般采用哈佛结构,即数据缓存和指令缓存相分开。DSP 有专门的乘加指令,一次乘加只需一个指令周期即可完成、而通用处理器中的乘法一般使用加法实现的,一次乘法需要消耗较多的指令周期。

下图给出了 TMS320C6713 的结构框图:



这里选择用十六进制计数器 74LS161 实现，原理很简单：用 74LS161 实现  $N(N < 16)$  进制计数器，只需当计数器从 0000 增加到  $N-1$  时让 74LS161 清零即可。对于 7 进制，当增加到 6(0110)时将计数器清零即可。

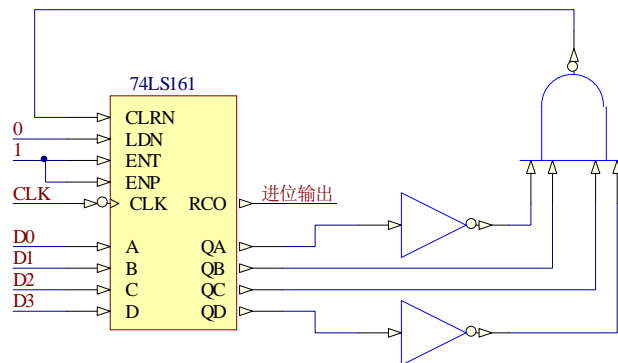
74LS161

CLRN  
LDN  
ENT  
ENP  
CLK RCO  
A QA  
B QB  
C QC  
D QD

LDN: 同步并行置入控制端, 低电平有效

ENT、ENP：计数控制端，高电平有效。

下图为用 74LS161 设计的可预置初值的 7 进制循环计数器，D3 D2 D1D0 为预置数输入端。



如果想设计 15 进制，只要在 QD QC QB QA=1110 时将 CLRN 置低即可。

#### 4、BLOCKING 和 NONBLOCKING 赋值的区别。

**答：**非阻塞赋值：块内的赋值语句同时赋值，一般用在时序电路描述中；阻塞赋值：完成该赋值语句后才能做下一句的操作，一般用在组合逻辑描述。

#### 5、What is PC Chipset?

芯片组(Chipset)是主板的核心组成部分，按照在主板上的排列位置的不同，通常分为北桥芯片和南桥芯片。北桥芯片提供对 CPU 的类型和主频、内存的类型和最大容量、ISA/PCI/AGP 插槽、ECC 纠错等支持。南桥芯片则提供对 KBC(键盘控制器)、RTC(实时时钟控制器)、USB(通用串行总线)、Ultra DMA/33(66)EIDE 数据传输方式和 ACPI(高级能源管理)等的支持。其中北桥芯片起着主导性的作用，也称为主桥(Host Bridge)。除了最通用的南北桥结构外，目前芯片组正向更高级的加速集线架构发展，Intel 的 8xx 系列芯片组就是这类芯片组的代表，它将一些子系统如 IDE 接口、音效、MODEM 和 USB 直接接入主芯片，能够提供比 PCI 总线宽一倍的带宽，达到了 266MB/s。

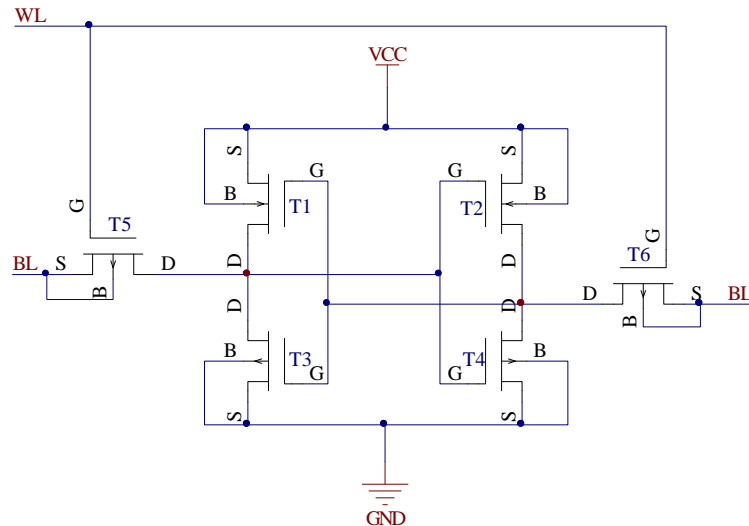
#### 硬件面试题之十二

##### 1、PCI 总线的含义是什么？PCI 总线的主要特点是什么？

PCI 的英文全称为 Peripheral Component Interconnect。即外部设备互联总线，是于 1993 年推出的 PC 局部总线标准。PCI 总线可以分为 32 位总线和 64 位总线两种，一般 PC 机使用 32 位 PCI 总线，服务器和高级工作站都带有 64 位 PCI 总线。PCI 总线的主要特点是传输速度快，目前可实现 66M 的工作频率，在 64 位总线宽度下可达到突发（Burst）传输速率 264MB/s，是通常 ISA 总线的 300 倍，可以满足大吞吐量的外设的需求。

##### 2、Please draw schematic of a common SRAM cell with 6 transistors, point out which nodes can store data and which node is word line control。

下图为用 CMOS 管搭出的 SRAM 单元电路，其中 T1、T3 和 T2、T4 分别为一 CMOS 反相器，T1、T2、T3 和 T4 共同组成一个 RS 锁存器。图中 BL 为数据输入结点，WL 为字线控制结点。



3、用 8051 设计一个带一个 8\*16 键盘加驱动八个数码管(共阳)的原理图。

这个题貌似有点问题，键盘和数码管完全由 8051 的 I/O 驱动的话，貌似只能把“驱动 8 个数码管”理解为把个数码管的显示是一样的，即 8 个数码管的数据输入端并接后连接到 8051 的 I/O 上，共阳端(可以认为是片选端)直接接至高电平。

8\*16 个键盘只要需要 23 个 I/O 口，而 8051 只有 32 个 I/O，去掉 23 个就剩 9 个了，要想让 8 个数码管显示不同的内容，则至少需要 11 个 I/O，所以无法达到这样的效果，因此只能将 8 个数码管显示的内容相同。

按键的解法使用矩阵式键盘接法即可。

由于 8051 的驱动能力不够，一般在数码管和 8051 之间接一驱动能力更大的芯片(如 74LS245)。

4、有一个 LDO 芯片将用于对手机供电，需要你对它进行评估，你将如何设计你的测试项目？

LDO 为低压差线性稳压器，这里将其用于对手机供电。需要评估的指标主要有两个：LDO 的供电电流和供电电压、LDO 的输出电压噪声抑制比。由于手机是电池供电，因此测试该 LDO 芯片是最好选用锂电池给芯片供电。

供电电流与供电电压的测试：选择一台具有存储功能的示波器，在对应测试点测试芯片的输出电压和输出电流(可能需要用数字万用表测)，观察结果看起输出电压与输出电流是否满足手机的正常工作要求。

输出电压噪声抑制比：这个也许需要更精确的仪器去测了，我不是很懂，希望大家指教。

<http://blog.ednchina.com/gujunyi6688>

芯片性能的测试需要长时间测试，而且需要在不同环境下测试，如改变温度、湿度，或者在移动条件下测试。此外，还要测试输入电压发生变化时输出电压和输出电流的变化。

至此我一把自己找的硬件面试题并结合自身实际给出了或者是网上收集来的、或者是自己做的参考答案，谢谢大家的支持，也很佩服自己的不懈努力！