

班级：

学号：

姓名：

数字系统的分析和设计

数字系统的分析与设计

1. 画出用两片 4 级-16 线译码器 74LS154 组成 5 线-32 线译码器的接线图。
图 7.1 是 74LS154 的逻辑框图，图中的 \bar{S}_A 、 \bar{S}_B 是两个控制端（亦称片选端），译码器工作时应使 \bar{S}_A 和 \bar{S}_B 同时为低电平。当输入信号 $A_3A_2A_1A_0$ 为 0000~1111 这 16 种状态时，输出端从 \bar{Y}_0 到 \bar{Y}_{15} 依次给出低电平输出信号。

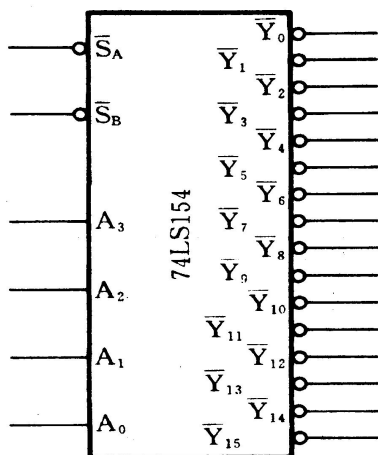


图 7.1

班级：

学号：

姓名：

2. 试分析图 7.2 计数器电路的分频比（即 Y 与 CP 的频率之比）。

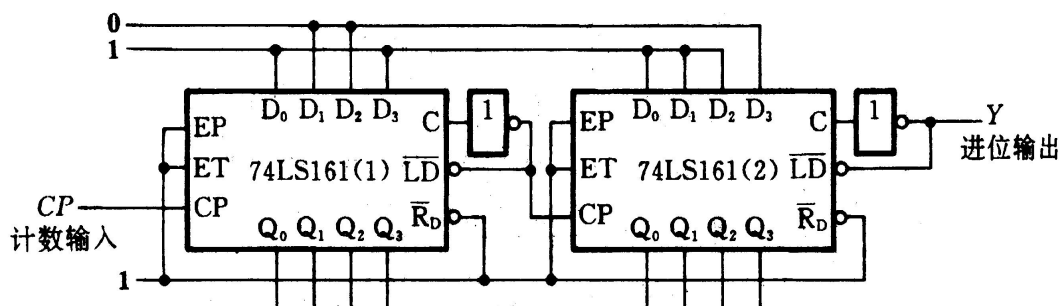


图 7.2

班级：

学号：

姓名：

3. 图 7.3 所示电路是用二-十进制优先编码器 74LS147 和同步十进制计数器 74160 组成的可控分频器，试说明当输入控制信号 A、B、C、D、E、F、G、H、I 分别为低电平时由 Y 端输出的脉冲频率各为多少。已知 CP 端输入脉冲的频率为 10kHz。

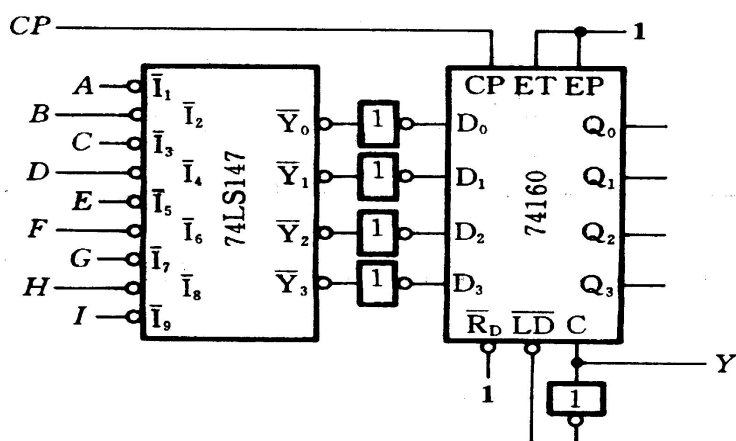


图 7.3

4. 图 7.4 是用 16×4 位 ROM 和同步十六进制加法计数器 74LS161 组成的脉冲分频电路，ROM 的数据表如表 7.1 所示。试画出在 CP 信号连续作用下 D₃、D₂、D₁ 和 D₀ 输出的电压波形，并分别说明它们和 CP 信号频率之比。

表 7.1

地 址 输 入				数 据 输 出			
A ₃	A ₂	A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	1	1	1	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0

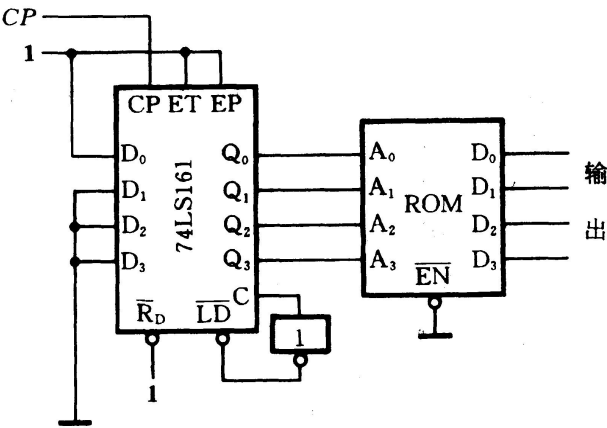


图 7.4