

第 10 章 数模与模数转换



本章主要介绍了数模与模数转换电路的电路结构、工作原理和主要性能指标。

10.1 概述

由于数字系统具有很多优点，特别是包含微处理器的数字系统更具有高度智能化的优点，所以目前先进的信息处理和自动控制设备大都是数字系统，例如数字通信系统、数字电视及广播、数控系统、数字仪表等。

在数字系统内部，只能对数字信号进行处理，而实际信号大多是连续变化的模拟信号，例如电压、电流、声音、图像、温度、压力、光通量等。因此应把这些模拟量转换为数字量才能进入数字系统内进行处理（在模拟量中，除了电模拟量还有非电模拟量，对于非电模拟量还应先通过转换器或传感器，将其变换成电模拟量），这种将电模拟量转换成数字量的过程称为“模数转换”。完成模数转换的电路称为模数转换器，简称 ADC（Analog to Digital Converter），相反，经数字系统处理后的数字量，有时又要求再转换成模拟量，以便实际使用（如用来视、听），这种转换称为“数模转换”。完成数模转换的电路称为数模转换器，简称 DAC（Digital to Analog Converter）。显然 ADC 和 DAC 是数字系统的重要接口部件。

10.1.1 ADC 与 DAC 的应用

1. 数字控制系统

图 10-1 是一个典型的数字控制系统方框图，图中的非电模拟量 A 通过传感器 S 转换成电模拟量后，输入到 ADC，ADC 输出的数字量送入数字控制或计算电路（目前大多采用微机或单片机），经其处理后输出的数字量，再由 DAC 转换成模拟量，最后由执行单元 U 完成相应的功能。

若图中不包含模拟量输入部分（ A ， A' ， S ，ADC），则一般称其为程序控制系统；若图中不包含模拟量输出部分（DAC， U ），则一般称其为数据测量系统或数据处理系统。

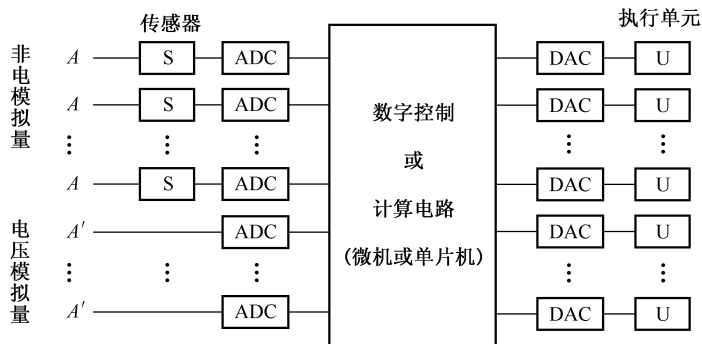


图 10-1 数字控制系统方框图

2. 数据传输系统

目前在通信、遥测、遥控领域以及雷达站或气象站之间，进行远距离的信息传输，采用数字信号比模拟信号在抗干扰能力和保密性等方面都强得多，图 10-2 是数据传输系统的方框图。电模拟信号经过多路模拟开关将多路输入信号分时地传送到 ADC，由发射机将数字信号发射出去。接收机收到数字信号后，再经 DAC 转换成模拟信号，最后由多路模拟开关分成多路信号。由于是分时工作，收、发两地要严格同步，这由双方的定时器实现。

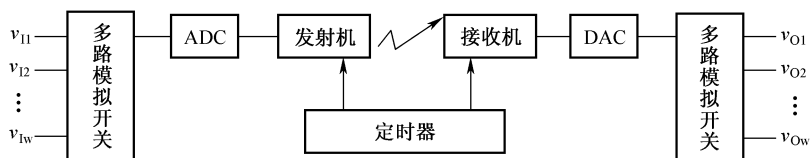


图 10-2 数据传输系统方框图

附带说明，在上述的数字控制系统中也可以利用多路模拟开关，分别公用一个 ADC 和一个 DAC，以分时方式完成对多个模拟量的控制。

3. 自动测试与测量设备

为了使数字测量设备能够测量模拟量，并且对被测数据及时进行分析和处理，然后存储、显示、打印其测试结果，也都必须加入转换器件 ADC 和 DAC。由于微处理器和单片机的广泛应用，现代的数字测量设备都实现了高度自动化和智能化，甚至构成了复杂的综合测试系统。

4. 多媒体计算机系统

为使计算机系统能够处理声音、图像、视频等多媒体信息，其中音频、视频的采集和输出都离不开 ADC 和 DAC 电路。

10.1.2 ADC 与 DAC 的性能指标

为了保证数据处理结果的准确性，ADC 和 DAC 必须有足够的转换精度。同时，为了适应快速过程的控制和检测的需要，ADC 和 DAC 还必须要有足够快的转换速度。因此，转换精度和转换速度是衡量 ADC 和 DAC 性能优劣的主要标志。

10.1.3 ADC 与 DAC 的分类

目前常见的 DAC 中，包括权电阻网络 DAC、倒梯形电阻网络 DAC、权电流型 DAC、权电容网络 DAC 以及开关树型 DAC 等几种类型。

ADC 的类型也有多种，可以分为直接 ADC 和间接 ADC 两大类。在直接 ADC 中，输入的模拟电压信号直接被转换成相应的数字信号；而在间接 ADC 中，输入的模拟信号首先被转换成某种中间变量（例如时间、频率等），然后再将这个中间变量转换为输出的数字信号。

此外，在 DAC 数字量的输入方式上，又有并行输入和串行输入两种类型。相对应地在 ADC 数字量的输出方式上也有并行输出和串行输出两种类型。

考虑到 DAC 的工作原理比 ADC 的工作原理简单，而且在有些 ADC 中需要用 DAC 作为内部的反馈电路，所以在下一节中首先讨论 DAC。

10.2 数模转换器 (DAC)

10.2.1 数模转换原理与一般组成

1. 数模转换原理

数字系统中数字量大多采用二进制数码，因此，DAC 输入的是数字量，输出为模拟量。输出电压模拟量的大小与输入数字量大小成正比，假设 DAC 转换比例系数为 k ，则

$$v_o = k \cdot \sum_{i=0}^{n-1} (D_i \times 2^i) \quad (10.1)$$

其中 $\sum_{i=0}^{n-1} (D_i \times 2^i)$ 为二进制数按位权展开转换成的十进制数值。

图 10-3 表示了 4 位二进制数字量与经过 D/A 转换后输出的电压模拟量之间的对应关系。

由图 10-3 还可看出，两个相邻数码转换出的电压值是不连续的，两者的电压

差值由最低码位所代表的位权值决定。它是信息所能分辨的最小量，用 1LSB (Least Significant Bit)表示。对应于最大输入数字量的最大电压输出值(绝对值)，用 FSR (Full Scale Range) 表示。图 10-3 中 $1\text{LSB} = 1 \times kV$ ， $1\text{FSR} = 15 \times kV$ (k 为比例系数)。

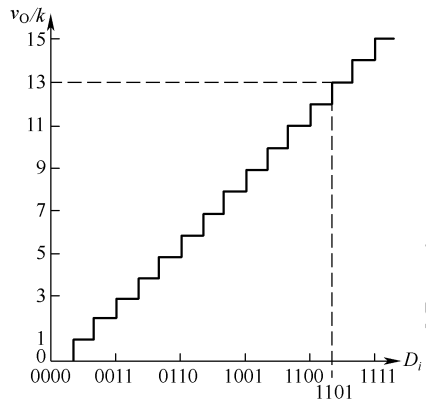


图 10-3 DAC 输出特性
* k 为转换比例系数

2. DAC 的一般组成

DAC 主要由数字寄存器、模拟电子开关、位权网络、求和运算放大器和基准电压源组成，如图 10-4 所示。

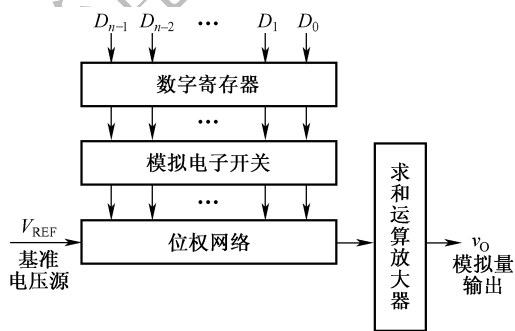


图 10-4 DAC 原理方框图

用存于数字寄存器的数字量的各位数码，分别控制对应位的模拟电子开关，使数码为 1 的位在位权网络上产生与基位权成正比的电流值，再由运算放大器对各电流值求和，并转换成电压值。

根据位权网络的不同，可以构成不同类型的 DAC，如电阻网络 DAC、R-2R

倒 T 形电阻网络 DAC 和权电流型网络 DAC 等。

10.2.2 权电阻网络 DAC

1. 电路结构

4 位权电阻网络 DAC 电路如图 10-5 所示, 由基准电压源提供基准电压 V_{REF} , 存于数字寄存器的数码, 作为输入数字量 $D_3D_2D_1D_0$, 分别控制 4 个模拟电子开关 S_3 、 S_2 、 S_1 、 S_0 。例如, 当 $D_3 = 0$ 时, 电子开关 S_3 掷向右边, 使电阻接地; $D_3 = 1$ 时, S_3 掷向左边, 使 R 与 V_{REF} 接通。构成权电阻网络的 4 个电阻值是 R 、 $2R$ 、 2^2R 、 2^3R , 称为权电阻。某位权电阻的阻值大小和该位的权值成反比, 如 D_2 位的权值是 D_1 位的两倍 ($2^2/2^1 = 2$); 而 D_2 位所对应的权电阻值是 D_1 位的 $1/2$ ($2R/(2^2R) = 1/2$)。

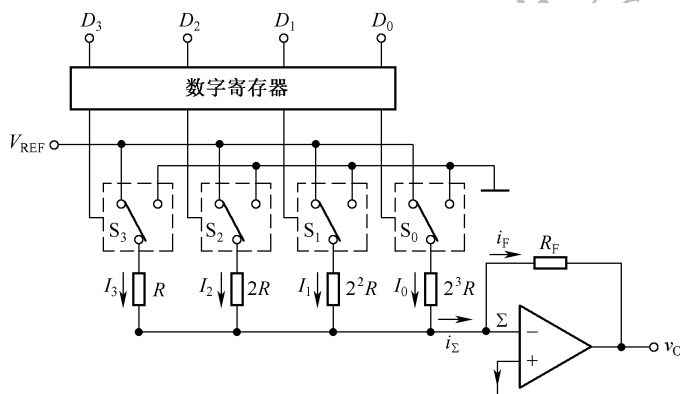


图 10-5 权电阻网络 DAC

通过权电阻的电流由运算放大器求和, 并转换成对应的电压值, 作为模拟量输出。

2. 工作原理

运算放大器的 Σ 点是虚地, 该点电位总是近似为零。假设输入是 n 位二进制数, 因此当任一位置的 $D_i = 0$ ($i = 0 \sim n-1$) 经电子开关 S_i 使该位的权电阻 $2^{n-1-i}R$ 接地时, 因 $2^{n-1-i}R$ 两端电位相等, 故流过该电阻的电流 $I_i = 0$, 而当 $D_i = 1$, S_i 使该电阻接 V_{REF} 时, $I_i = V_{\text{REF}} / (2^{n-1-i}R)$ 。因此, 对于受 D_i 位控制的权电阻流过的电流可写成

$$I_i = \frac{V_{\text{REF}}}{2^{n-1-i}R} \times 2^i \times D_i \quad (10.2)$$

当 $D_i = 0$ 时, 则 $I_i = 0$; 当 $D_i = 1$ 时, 则 $I_i = \frac{V_{\text{REF}}}{2^{n-1}R} \times 2^i$, 再根据叠加原理, 通过各权电阻的电流之和应为

$$i_{\Sigma} = \sum_{i=0}^{n-1} I_i = \sum_{i=0}^{n-1} \left(\frac{V_{\text{REF}}}{2^{n-1}R} \times 2^i \times D_i \right) = \frac{V_{\text{REF}}}{2^{n-1}R} \sum_{i=0}^{n-1} (D_i \times 2^i) \quad (10.3)$$

因运算放大器的输入偏置电流近似为 0, 故上述流入 Σ 点的 i_{Σ} 应等于流向反馈电阻 R_F 的电流 i_F , 即

$$i_{\Sigma} = i_F$$

又因 $i_F = (0 - v_O) / R_F = -v_O / R_F$, 故得到输出电压

$$v_O = -i_F R_F = -i_{\Sigma} R_F = -\frac{V_{\text{REF}} R_F}{2^{n-1}R} \sum_{i=0}^{n-1} (D_i \times 2^i) \quad (10.4)$$

与式 (10.1) 相比较, 转换比例系列 k 为

$$k = -\frac{V_{\text{REF}} R_F}{2^{n-1}R} \quad (10.5)$$

该式说明输出的电压模拟量 v_O 与输入的二进制数字量 D 成正比, 完成了数模转换, 改变 V_{REF} 或 R_F 可以改变输出电压的变化范围。

通常取 $R_F = R/2$, 则式 (10.4) 可简化为

$$v_O = -\frac{V_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} (D_i \times 2^i) \quad (10.6)$$

权电阻网络 DAC 的转换精度取决于基准电压 V_{REF} 以及模拟电子开关、运算放大器和各权电阻值的精度。它的缺点是各权电阻的阻值都不相同, 位数多时, 其阻值相差甚远, 这给保证精度带来很大困难, 特别是对于集成电路的制作很不利, 因此在集成的 DAC 中很少单独使用该电路。

例 10.1 4 位 DAC 如图 10-5 所示, 设基准电压 $V_{\text{REF}} = -8\text{V}$, $2R_F = R$, 试求输入二进制数 $D_3 D_2 D_1 D_0 = 1101$ 时输出的电压值以及 LSB 和 FSR 的值。

例 将 $D_3 D_2 D_1 D_0 = (1101)_2 = (13)_{10}$ 代入式 (10.6) 得

$$\begin{aligned} v_O &= -\frac{V_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} (D_i \times 2^i) \\ &= -\frac{-8}{2^4} \times (1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0) \\ &= \frac{8}{2^4} \times 13 = 6.5(\text{V}) \end{aligned}$$

将 $(0001)_2 = (1)_{10}$ 代入式 (10.6) 得

$$1\text{LSB} = (8/16) \times 1 = 0.5(\text{V})$$

将 $(1111)_2 = (15)_{10}$ 代入式 (10.6) 得

$$\text{FSR} = \left(\frac{8}{16} \right) \times 15 = 7.5(\text{V})$$

显然输出电压范围是 $0 \sim 7.5\text{V}$ 。

有时为了实现双极性输出,可以在图 10-5 所示电路的基础上,增加由 V_B 和 R_B 组成的偏移电路,通常 $V_B = -V_{\text{REF}}$,如图 10-6 所示,即为具有双极性输出的 3 位权电阻网络 DAC。

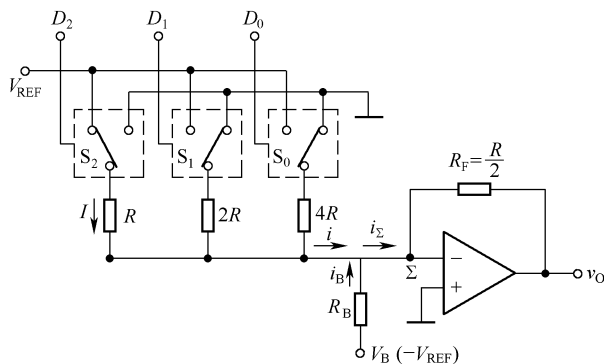


图 10-6 具有双极性输出的权电阻网络 DAC

由图可见, $i_{\Sigma} = i + i_B$, 而 Σ 点为虚地, 因此 $i_B = \frac{V_B}{R_B}$, 所以

$$i_{\Sigma} = \frac{V_{\text{REF}}}{2^{n-1}R} \sum_{i=0}^{n-1} (D_i \times 2^i) + \frac{V_B}{R_B}$$

输出电压为

$$v_O = -i_{\Sigma} \cdot R_F = - \left[\frac{V_{\text{REF}}}{2^{n-1}R} \sum_{i=0}^{n-1} (D_i \times 2^i) + \frac{V_B}{R_B} \right] R_F \quad (10.7)$$

例 10.2 假设图 10-6 所示电路中, $V_{\text{REF}} = -8\text{V}$, $V_B = -V_{\text{REF}} = 8\text{V}$; $R_F = R/2$ 。如果当 $D_2 D_1 D_0 = 100$ 时, 要使输出 $v_O = 0$, 求 R_B 值; 并列出所有输入 3 位二进制数码所对应的输出电压值。

解 为使 $D_2 D_1 D_0 = 100$ 时, $v_O = 0$, 即要求 $i = -i_B$ ($i_{\Sigma} = 0$), 所以应有

$$\frac{V_{\text{REF}}}{R} = \frac{-V_B}{R_B} = \frac{V_{\text{REF}}}{R_B}$$

即得 $R_B = R$, 将 R_B 、 V_{REF} 及 R_F 代入式 (10.7), 得到

$$v_O = - \left[\frac{-8}{2^3} \sum_{i=0}^{n-1} (D_i \times 2^i) + \frac{8}{2} \right] (\text{V})$$

将 $D_2D_1D_0$ 的二进制数代入，即可得到输出与输入的对应关系，如表 10-1 所示。例如， $D_2D_1D_0 = 011$ 时， $v_O = -[-1 \times 3 + 4]V = -1V$ ， $D_2D_1D_0 = 111$ 时， $v_O = -[-1 \times 7 + 4] = 3V$ ，其余类推。

表 10-1 图 10-6 所示电路的输入与输出

D_2	D_1	D_0	v_O (V)
0	0	0	-4
0	0	1	-3
0	1	0	-2
0	1	1	-1
1	0	0	0
1	0	1	1
1	1	0	2
1	1	1	3

10.2.3 R-2R 倒 T 形电阻网络 DAC

1. 电路结构

图 10-7 是 4 位 R-2R 倒 T 形电阻网络 DAC 的电路原理图，图中的位权网络是 R-2R 倒 T 形电阻网络。它由若干个相同的 R 、 $2R$ 网络节组成，每节对应于一个输入位，节与节之间串接成倒 T 形网络。

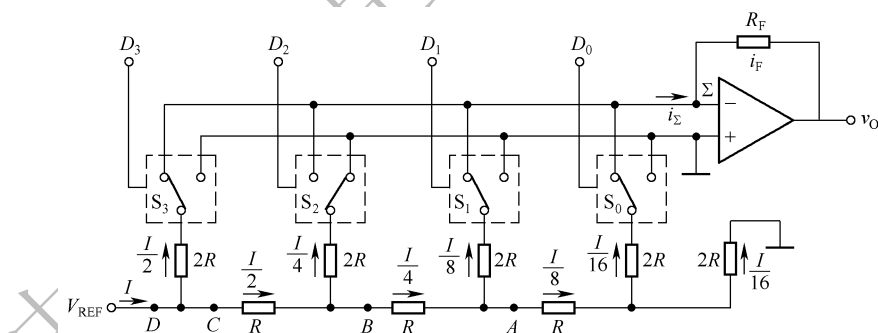


图 10-7 4 位 R-2R 倒 T 形电阻网络 DAC

2. 工作原理

因运算放大器的 Σ 点为虚地，故不论输入数字量 D 为何值，也就是不论电子开关掷向左边还是右边，对于 R-2R 电阻网络来说，各 $2R$ 电阻的上端都相当于接地，所以从网络的 A、B、C 点分别向右看的对地电阻都为 $2R$ ，因此在网络中的电流分配应该如图中的标注，即由基准电源 V_{REF} 流出的总电流 I ，每经过一个 $2R$

电阻就被分流一半, 这样流过 4 个 $2R$ 电阻的电流分别是 $I/2$ 、 $I/4$ 、 $I/8$ 、 $I/16$ 。这 4 个电流是流入地还是流向运算放大器, 由输入数字量 D 所控制的电子开关 S 决定, 故流向运算放大器的总电流是

$$i_{\Sigma} = \frac{I}{2}D_3 + \frac{I}{4}D_2 + \frac{I}{8}D_1 + \frac{I}{16}D_0 \quad (10.8)$$

式中 D_i 为二进制代码, 可为 0 或为 1 (以下类同)。

又因为从 D 点向右看的对地电阻为 R , 所以总电流 I 为

$$I = \frac{V_{\text{REF}}}{R}$$

代入式 (10.8) 得

$$i_{\Sigma} = \frac{V_{\text{REF}}}{2^4 R} (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0)$$

输出电压 v_O 为

$$\begin{aligned} v_O &= -i_F R_F = -i_{\Sigma} R_F \quad (\text{因 } i_F = i_{\Sigma}) \\ &= -\frac{V_{\text{REF}} R_F}{2^4 R} (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) \end{aligned}$$

DAC 为 n 位时有

$$\begin{aligned} v_O &= -\frac{V_{\text{REF}} R_F}{2^n R} (2^{n-1} D_{n-2} + 2^{n-2} D_{n-3} + \dots + 2^1 D_1 + 2^0 D_0) \\ &= -\frac{V_{\text{REF}} R_F}{2^n R} \sum_{i=0}^{n-1} D_i \times 2^i \end{aligned} \quad (10.9)$$

式 (10.9) 表明输出模拟量 v_O 与输入数字量 D 成正比, 转换比例系数 $k = -\frac{V_{\text{REF}} R_F}{2^n R}$ 。输出电压的变化范围同样可以用 V_{REF} 和 R_F 来调节。

一般 R- $2R$ 倒 T 形电阻网络 DAC 集成片都使 $R_F = R$, 因此式 (10.9) 可简化

$$v_O = -\frac{V_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i \quad (R_F = R) \quad (10.10)$$

由于模拟电子开关在状态改变时, 都设计成按“先通后断”的顺序工作, 使 $2R$ 电阻的上端总是接地或接虚地, 而没有悬空的瞬间, 即 $2R$ 电阻两端的电压及流过它的电流都不随开关掷向的变化而改变, 故不存在对网络中寄生电容的充、放电现象, 而且流过各 $2R$ 电阻的电流都是直接流入运算放大器输入端的, 所以提高了工作速度。和权电阻网络比较, 由于它只有 R 、 $2R$ 两种阻值, 从而克服了权电阻阻值多且阻值差别大的缺点。

因而 R- $2R$ 倒 T 形电阻网络 DAC 是工作速度较快、应用较多的一种。采用

R-2R 倒 T 形电阻网络 DAC 集成片种类也较多, 例如 AD7524 (一级寄存缓冲, 8 位)、DAC0832 (两级寄存缓冲, 8 位)、5G7520 (无寄存缓冲, 10 位)、AD7534 (数据串行输入, 12 位)、AD7546 (分段, 16 位) 等。

图 10-8 是采用倒 T 形电阻网络的单片集成 D/A 转换器 CB7520 (AD7520) 的电路原理图。它的输入为 10 位二进制数, 采用 CMOS 电路构成的模拟开关。

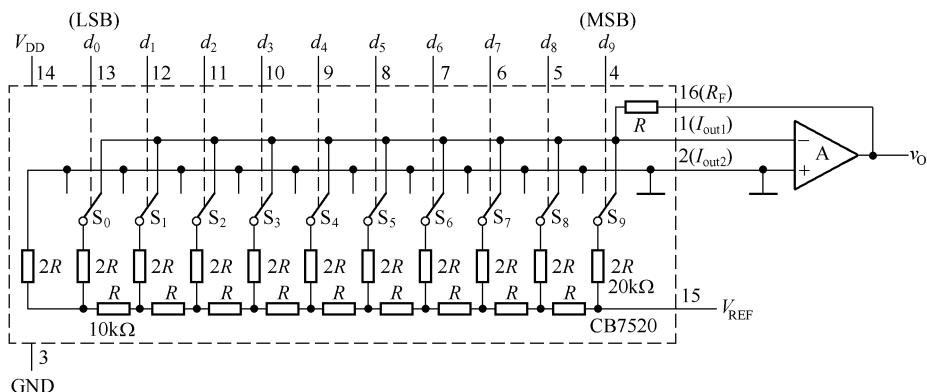


图 10-8 CB7520 (AD7520) 的电路原理图

使用 CB7520 时需要外加运算放大器。运算放大器的反馈电阻可以使用 CB7520 内设的反馈电阻 R (如图 10-8 所示), 也可以另选反馈电阻接到 I_{out1} 与 v_O 之间。外接的参考电压 V_{REF} 必须保证有足够的稳定度, 才能确保应有的转换精度。

10.2.4 DAC 的转换精度与转换速度

1. 转换精度

在 DAC 中一般用分辨率和转换误差来描述转换精度。

(1) 分辨率

一般用 DAC 的位数来衡量分辨率的高低, 因为位数越多, 其输出电压 v_O 的取值个数就越多 (2^n 个), 也就越能反映出输出电压的细微变化, 分辨能力就越高。

此外, 也可以用 DAC 能分辨出来的最小输出电压 1LSB 与最大输出电压 FSR 之比定义分辨率。即

$$\text{分辨率} = \frac{1\text{LSB}}{\text{FSR}} = \frac{k}{k(2^n - 1)} = \frac{1}{2^n - 1}$$

该值越小, 分辨率越高。例如 8 位 DAC 的分辨率是 8 位, 也可以表示为

$$\text{分辨率} = \frac{1}{2^8 - 1} = \frac{1}{255} \approx 0.004$$

(2) 转换误差

DAC 电路各部分的参数不可避免地存在误差, 因而引起转换误差, 它也必然影响转换精度。

转换误差是指实际输出的模拟电压与理想值之间的最大偏差。常用这个最大偏差与 FSR 之比的百分数或若干个 LSB 表示。实际它是三种误差的综合指标。

① 非线性误差 (非线性度)。

图 10-9 画出了输入数字量与输出模拟量之间的转换关系。对于理想的 DAC, 各数字量与其相应模拟量的交点, 应落在图中的理想直线上。但对于实际的 DAC, 这些交点会偏离理想直线, 产生非线性误差, 见图中的实际曲线。在 DAC 的零点和增益已校准的前提下, 实际输出的模拟电压与理论值之间的最大偏差和 FSR 之比的百分数, 是 DAC 的非线性误差指标。该值越大, 数模转换的非线性误差越大。

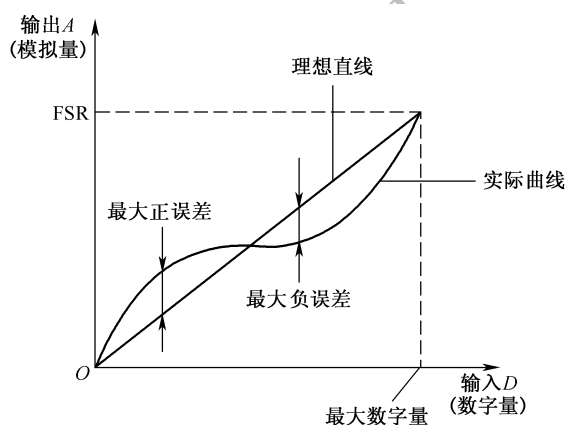


图 10-9 非线性误差

非线性误差也可用若干个 LSB 表示, 例如 AD7524 的非线性误差为 $\pm 0.05\%$, 所以

$$\begin{aligned} \text{最大正、负误差} &= \pm 0.05\% \times \text{FSR} \\ &= \pm 0.05\% \times (2^8 - 1) \times \text{LSB} \\ &= \pm 0.1275 \times \text{LSB} \\ &\approx \pm (1/8) \text{LSB} \end{aligned}$$

因此也可以说 AD7524 的非线性误差为 $\pm (1/8) \text{LSB}$ 。一般要求 DAC 的非线性

误差要小于 $\pm(1/2)\text{LSB}$ 。

DAC 产生非线性误差的原因是：模拟电子开关的导通电阻和导通压降以及 R 、 $2R$ 电阻值的偏差。因此这些偏差是随机的，故以非线性误差的形式反映在输出电压上。

② 漂移误差（平移误差）。

漂移误差是由运算放大器的零点漂移造成的。若因零点漂移在输出端产生误差电压 Δv_{O2} ，则漂移误差 = $-(\Delta v_{O1}/\text{FSR})\%$ ，或用若干个 **LSB** 表示。

误差电压 Δv_{O1} 与数字量的大小无关，它只把图 10-9 中的理想直线向上或向下平移，并不改变其线性，因此也称它为平移误差。

可用零点校准消除漂移误差，但不能在整个温度范围内都获得校准。

③ 增益误差（比例系数误差）。

在零点校准后，求得理论 **FSR** 与其实测值的偏差 Δv_O ，则增益误差 = $(\Delta v_O/\text{FSR})\%$ ，或用若干个 **LSB** 表示。它主要是由基准电压 V_{REF} 和运算放大器增益不稳定造成的。

对于 R - $2R$ 倒 T 形电阻网络 DAC，由于 V_{REF} 不稳定产生的误差电压由式 (10.10) 可知为

$$\Delta v_{O2} = \frac{\Delta V_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$$

由运算放大器增益不稳定引起的误差电压

$$\Delta v_{O3} = \frac{V_{\text{REF}}}{2^8} \left(\Delta \frac{R_F}{R} \right) \sum_{i=0}^{n-1} D_i \times 2^i$$

$\Delta v_O = \Delta v_{O2} + \Delta v_{O3}$ ， Δv_O 与数字量成正比，因此它只改变图 10-9 中理想直线的斜率，并不破坏线性。

由于 Δv_O 是由 V_{REF} 和 $\frac{R_F}{R}$ 不稳定造成的，所以增益校准只能暂时消除增益误差。

目前 DAC 集成片有两类：一类在片内包含运算放大器和基准电压源产生电路；另一类不包含这些电路。在选用后一类集成片时，应注意合理地确定对基准电压源稳定性和运算放大器零点漂移的要求。

2. 转换速度

转换速度一般由建立时间决定。从输入由全 0 突变为全 1 时开始，到输出电压稳定在 $\text{FSR} \pm (1/2)\text{LSB}$ 范围内为止，这段时间称为建立时间，它是 DAC 的最大响应时间，所以用它衡量转换速度的快慢。例如 10 位 DAC 5G7520 的建立时间不大于 500ns。

10.3 模数转换器 (ADC)

10.3.1 模数转换基本原理

由于模拟信号在时间上和量值上是连续的, 而数字信号在时间上和量值上都是离散的, 所以进行模数转换时, 先要按一定的时间间隔对模拟电压值取样, 使它变成时间上离散的信号。然后将取样电压值保持一段时间, 在这段时间内, 对取样值进行量化, 使取样值变成离散的量值, 最后通过编码, 把量化后的离散量值转换成数字量输出。这样, 经量化、编码后的信号就成了时间和量值都离散的数字信号了。显然, 模数转换一般要分取样、保持和量化、编码两步进行。

1. 取样、保持

图 10-10 (b) 所示的 v_i 是输入的模拟信号。图 10-10 (c) 所示的 $S(t)$ 是取样脉冲、 T_s 是取样脉冲周期, t_w 是取样脉冲持续时间。用 $S(t)$ 控制图 10-10 (a) 所示的模拟开关, 在 t_w 时间内, $S(t)$ 使开关接通, 输出 $v_s = v_i$ 在 $T_s - t_w$ 时间, $S(t)$ 使开关断开, $v_s = 0$ 。 v_i 经开关取样后, 其输出 v_s 的波形如图 10-10 (d) 所示。

可见取样就是对模拟信号周期性地抽取样值, 使模拟信号变成时间上离散的脉冲串, 但其取样值仍取决于取样时间内输入模拟信号的大小。

取样脉冲的频率 f_s ($1/T_s$) 越高, 取样越密, 取样值就越多, 其取样信号 v_s 的包络线也就越接近于输入信号的波形。取样定理指出: 当取样频率 f_s 不小于输入模拟信号频谱中最高频率 f_{\max} 的两倍, 即 $f_s \geq 2f_{\max}$ 时, 取样信号 v_s 才可以正确地反映输入信号, 或者说, 在满足上式的条件下, 将 v_s 通过低通滤波器, 就可以使它无失真地还原成输入模拟信号 v_i 。一般取 $f_s = (2.5 \sim 3)f_{\max}$, 例如语音信号的 $f_{\max} = 3.4\text{kHz}$, 一般取 $f_s = 8\text{kHz}$ 。

对于变化较快的模拟信号, 其取样值 v_s 在脉冲持续时间内会有明显变化 (见图 10-10 (d), v_s 顶部不平), 所以不能得到一个固定的取样值进行量化, 为此要利用图 10-11 (a) 所示的取样—保持电路对 v_i 进行取样、保持。在 $S(t) = 1$ 的取样时间 (t_w) 内, 使场效应管导通, 由于对电容 C 的充电时间常数远远小于 t_w , 使 C 上的电压在 t_w 时间内能跟随输入信号 v_i 变化, 而运算放大器 A 接成电压跟随器, 所以有 $v_o = v_{i1}$ 在 $S(t) = 0$ 的保持时间内, 场效应管关断, 由于电压跟随器的输入阻抗很高, 存储在 C 中的电荷很难泄漏, 使 C 上的电压保持不变, 从而使 v_o 保持取样结束时 v_i 的瞬时值, 形成图 10-10 (e) 所示的 v_o 波形。波形中出现的 5 个幅度不等的“平台”、分别等于 $t_1 \sim t_4$ 时刻 v_i 的瞬时值, 这 5 个瞬时值才是要转换成

数字量的取样值。所以，量化、编码电路也要由取样脉冲 $S(t)$ 控制，使它分别在 $t_1 \cdots t_5 \cdots$ 时刻开始对 v_O 转换，也就是在保持时间 $(T_s - t_w)$ 内完成量化、编码。

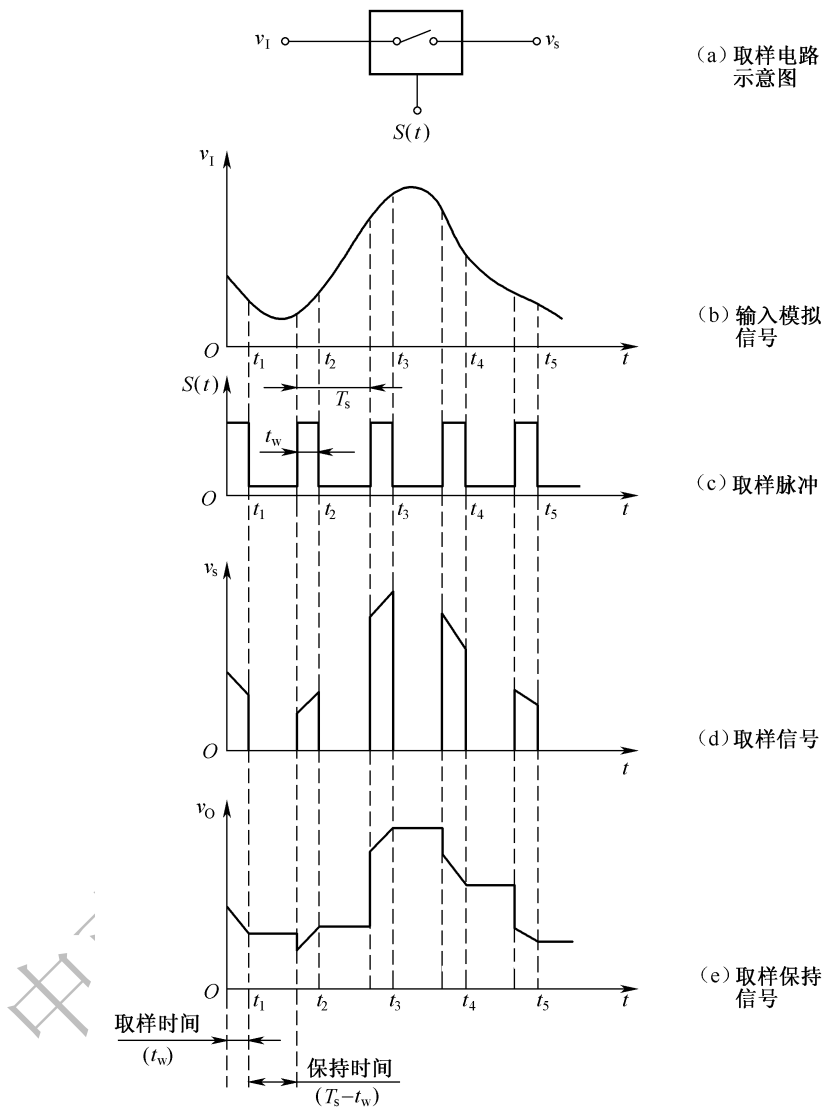


图 10-10 取样、保持

目前取样—保持电路都已集成化，LF198 就是其中之一，见图 10-11 (b)。图中 S 是模拟电子开关， L 是开关的驱动电路， A_1 、 A_2 是运算放大器。为提高运算

放大器 A_2 的输入阻抗, 在其输入级使用了场效应管。

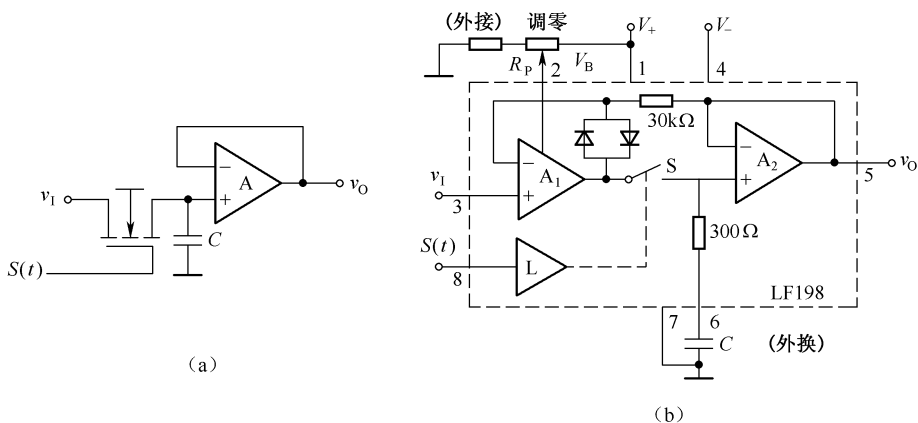


图 10-11 取样—保持电路

当取样脉冲输入端 $S(t)=1$ 时, S 接通, A_1 、 A_2 组成电压跟随器, $v_o = v_i$; $S(t)=0$ 时, S 断开, 由于 A_2 接成电压跟随器, 输入级又有场效应管, 输入阻抗极高, 使 C 上的电压保持不变, 输出电压也不变。

另外, V_B 端是偏置输入端, 调整 R_p 可以校准输出电压的零点, 使 $v_i = 0$ 时, $v_o = 0$ 。

2. 量化、编码

模拟信号经取样、保持而抽取的取样电压值, 就是在 $t_1, t_2 \cdots t_5 \cdots$ 时刻 v_i 的瞬时值, 这些值的大小仍属模拟量范畴。由于任何一个数字量的大小只能是某个最小数量单位 (1LSB) 的整数倍, 因此用数字量表示取样电压值时, 先要把取样电压化为这个最小单位的整数倍。这一转换过程称为量化。所取的最小单位称为量化单位, 用 Δ 表示, $\Delta = 1\text{LSB}$, 然后把量化的结果再转化为对应的代码, 如二进制码、二—十进制码等, 称为编码。

下面具体对 $0 \sim 7.5\text{V}$ 的模拟电压 v_i 进行量化编码, 将其转换成 3 位二进制数。因为 3 位二进制数有 8 个数值, 所以应将 $0 \sim 7.5\text{V}$ 的模拟电压分成 8 个量化级, 每级规定一个量化值, 并对应该值编以二进制码。可规定 $0 \leq v_i < 0.5\text{V}$ 为第 0 级, 量化值为 0V , 编码 000; $0.5\text{V} \leq v_i < 1.5\text{V}$ 为第 1 级, 量化值为 1V , 编码 001; 最后 $6.5\text{V} \leq v_i < 7.5\text{V}$ 为第 7 级, 编码 111, 见图 10-12。

凡落在某一量化级范围内的模拟电压都取整归并到该级量化值上。例如, 4.5V 的输入电压, 应量化到量化值 5V 上, 而 4.49V 则应量化到量化值 4V 上, 即采用四舍五入的方法量化取整。而两个相邻量化值之间的差为量化单位 $\Delta = 1\text{V} = 1\text{LSB}$,

各量化值都为 Δ 的整数倍。然后将这些量化值转换成对应的 3 位二进制数。

v_1 的对应数字量可由下式求出

$$(N)_{10} = (v_1 / \Delta)_{\text{四舍五入}} \quad (10.11)$$

再将 $(N)_{10}$ 换算成二进制数。

由于量化过程中四舍五入的结果，必然造成实际输入电压值与量化值之间的偏差，如输入 4.5V 与其量化值 5V 之间偏差 0.5V；而输入 4.49V 与其量化值 4V 之间差 0.49V。这种偏差称为量化误差。按上述四舍五入的量化方法，其最大量化误差为 $\Delta/2$ 。另一种量化的方法是舍去小数法，用下式计算：

$$(N)_{10} = (v_1 / \Delta)_{\text{舍去小数}} \quad (10.12)$$

这种方法的最大量化误差为 Δ 。显然这种量化方法的量化误差较前一种要大。例如 $v_1 = 0 \sim 8V$ ，按舍去小数法进行量化，如图 10-13 所示，图中量化单位 $\Delta = 1V$ ，最大量化误差 $\Delta = 1V$ 。

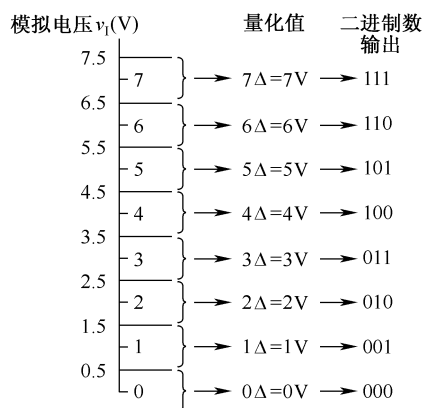


图 10-12 量化方法之一——四舍五入法

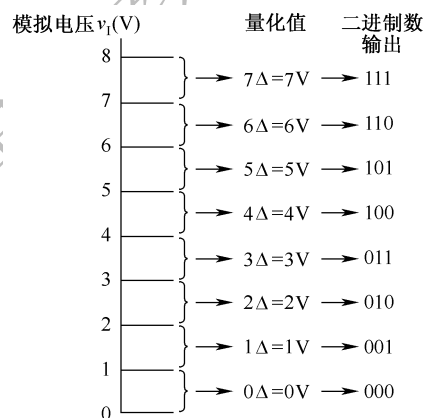


图 10-13 量化方法之二——舍去小数法

完成量化编码工作的电路是 ADC。ADC 种类很多，按工作原理的不同，可分成间接 ADC 和直接 ADC。间接 ADC 是先将输入模拟电压转换成时间或频率，然后再把这些中间量转换为数字量，常用的有中间量是时间的双积分型 ADC；直接 ADC 则直接将输入模拟电压转换成数字量，常用的有并联比较型 ADC 和逐次逼近型 ADC。下面分别加以介绍。

10.3.2 并联比较型 ADC

1. 电路结构

图 10-14 是 3 位并联比较型 ADC 的原理电路图，它由下列 4 部分组成。

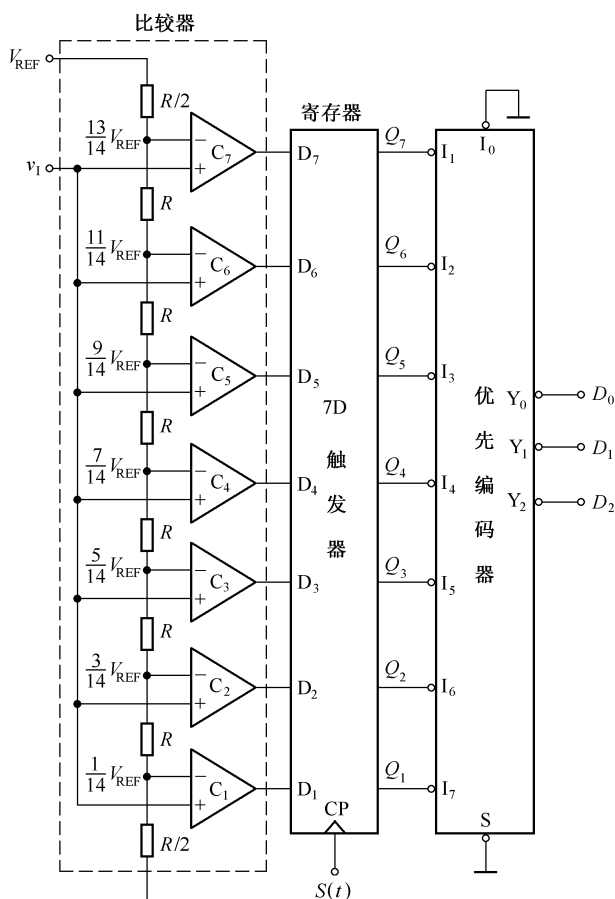


图 10-14 3 位并联比较型 ADC

比较器：由 7 个电压比较器组成，各电压比较器的“+”输入端都接输入电压 v_i ，而它的“-”输入端接一定值的比较电压 V_R ，当 $v_i \geq V_R$ 时，比较器输出 1； $v_i < V_R$ 时，输出 0。

分压电阻链：由 8 个电阻组成，两端的电阻为 $R/2$ 。中间 6 个电阻都为 R 。比较电压 V_R 由基准电压 V_{REF} 经该电阻链分压获得。所分得的 7 个 V_R 分别为 $(1/14)V_{REF}$ 、 $(3/14)V_{REF}$ 、 $(5/14)V_{REF}$ 、 $(7/14)V_{REF}$ 、 $(9/14)V_{REF}$ 、 $(11/14)V_{REF}$ 、 $(13/14)V_{REF}$ 。

寄存器：由 7 个 D 触发器组成，用取样脉冲 $S(t)$ 的上升沿触发。

优先编码器：为 8 线 - 3 线优先编码器，其输入、输出端均为低电平有效。

2. 工作原理

当取样脉冲 $S(t) = 0$ 时，由取样—保持电路提供一个稳定的取样电压值，作为

v_I 送入比较器，使它在保持时间内进行量化。然后将量化的值，在 $S(t)$ 上升沿来到时送入 D 触发器寄存，并由优先编码器产生相应的二进制数码输出。具体量化、编码过程如下：

由于 v_I 直接送到各比较器的“+”端，所以若在 $0 \leq v_I < (1/14)V_{REF}$ 范围内，则所有比较器都输出 0，即量化值为 0，在 $S(t)$ 触发后，各触发器的输出 $Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0 = 00000000$ ；若在 $(1/14)V_{REF} \leq v_I < (3/14)V_{REF}$ 范围内，则只有比较器 C_1 输出 1，即量化值为 $1 \times (1/7)V_{REF}$ ，待 $S(t)$ 触发后，使 $Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0 = 00000001$ 。依此类推，可以获得 v_I 在 $0 \sim (15/14)V_{REF}$ 范围内变化时各触发器的状态，如表 10-2 所示。各寄存器的输出直接送入优先编码器的 7 个输入端 $I_1 \sim I_7$ （ I_0 接地）。根据优先编码器的逻辑功能，可得到编码器的对应编码输出 $D_2D_1D_0$ （表 10-2）。

表 10-2 3 位并联比较型 ADC 的量化编码表

v_I	Q_7 I_1	Q_6 I_2	Q_5 I_3	Q_4 I_4	Q_3 I_5	Q_2 I_6	Q_1 I_7	D_2	D_1	D_0	量化值
$0 \leq v_I < (1/14)V_{REF}$	0	0	0	0	0	0	0	0	0	0	0
$(1/14)V_{REF} \leq v_I < (3/14)V_{REF}$	0	0	0	0	0	0	1	0	0	1	$(1/7)V_{REF}$
$(3/14)V_{REF} \leq v_I < (5/14)V_{REF}$	0	0	0	0	0	1	1	0	1	0	$(2/7)V_{REF}$
$(5/14)V_{REF} \leq v_I < (7/14)V_{REF}$	0	0	0	0	1	1	1	0	1	1	$(3/7)V_{REF}$
$(7/14)V_{REF} \leq v_I < (9/14)V_{REF}$	0	0	0	1	1	1	1	1	0	0	$(4/7)V_{REF}$
$(9/14)V_{REF} \leq v_I < (11/14)V_{REF}$	0	0	1	1	1	1	1	1	0		$(5/7)V_{REF}$
$(11/14)V_{REF} \leq v_I < (13/14)V_{REF}$	0	1	1	1	1	1	1	1	1	0	$(6/7)V_{REF}$
$(13/14)V_{REF} \leq v_I < (15/14)V_{REF}$	1	1	1	1	1	1	1	1	1	1	$(7/7)V_{REF}$

由表看出，比较器将 v_I 划分成 8 个量化级，并以四舍五入法进行量比，其量化单位 $\Delta = \left(\frac{1}{7}\right)V_{REF} = \frac{1}{2^3 - 1}V_{REF}$ ，量化误差 $\frac{\Delta}{2} = \left(\frac{1}{14}\right)V_{REF}$ 。

若令 $V_{REF} = 7V$ ，则量化的具体值与图 10-12 所示完全一样。

注意：如果输入电压范围超出正常范围。即 $v_I > V_m = \frac{15}{14}V_{REF}$ ，7 个比较器仍然都输出 1，ADC 输出 111 不变，而进入“饱和”状态，不能正常转换。

该并联比较型 ADC 对应于 v_I 的数字量可由式（10.11）求出，式中

$$\Delta = \frac{1}{2^3 - 1}V_{REF}$$

若输出 n 位数字量, 则

$$\Delta = \frac{1}{2^n - 1} V_{\text{REF}} \quad (10.13)$$

由于并联比较型 ADC 采用各量级同时并行比较, 各位输出码也是同时并行产生, 所以转换速度快是它的突出优点, 同时转换速度与输出码位的多少无关。集成芯片 TDC1007J 型 8 位并联比较型 ADC 的转换速率可达 30MHz, 而 SDA5010 型 6 位超高速并联比较型 ADC 的转换速率高达 100MHz。

并联比较型 ADC 的缺点是成本高、功耗大。因为 n 位输出的 ADC, 需要 2^n 个电阻、 $(2^n - 1)$ 个比较器和 D 触发器以及复杂的编码网络, 其元件数量随位数的增加, 以几何级数上升, 所以这种 ADC 适用于要求高速、低分辨率的场合。

10.3.3 逐次逼近型 ADC

逐次逼近型 ADC 是另一种直接 ADC, 它也产生一系列比较电压 v_R , 但与并联比较型 ADC 不同, 它是逐个产生比较电压, 逐次与输入电压分别比较, 以逐渐逼近的方式进行模数转换的。

1. 电路组成及各部分的作用

图 10-15 是 3 位逐次逼近型 ADC 的原理方框图。它由 5 部分组成。

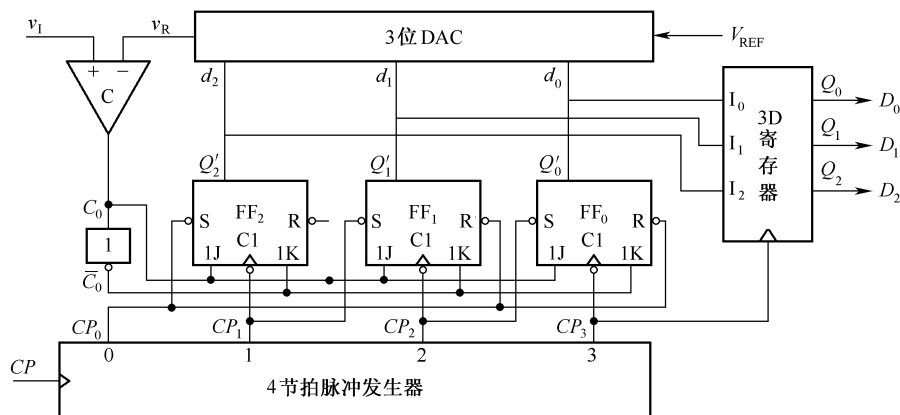


图 10-15 3 位逐次逼近型 ADC

DAC 的作用是按不同的输入数码产生一组相应的比较电压 v_R , 它是一个 3 位 R-2R T 形网络, 由该网络输出端直接输出比较电压。

$$v_R = \frac{V_{\text{REF}}}{2^3} (d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0)$$

电压比较器 C_1 它是将输入信号 v_I 与比较电压 v_R 进行比较, 当 $v_I \geq v_R$ 时, 比较器的输出 $C_O = 1$ ($\bar{C}_O = 0$); $v_I < v_R$ 时, $C_O = 0$ ($\bar{C}_O = 1$)。注意, v_I 是由取样—保持电路提供的取样电压值。 C_O 、 \bar{C}_O 端分别连接各 JK 触发器的 J 、 K 端。

4 节拍脉冲发生器: 用它产生 4 个节拍的负向节拍脉冲 $CP_0 \sim CP_3$, 见图 10-16。由这 4 个节拍脉冲控制其他电路完成逐次比较。该发生器通常由 4 位环形移位计数器构成。

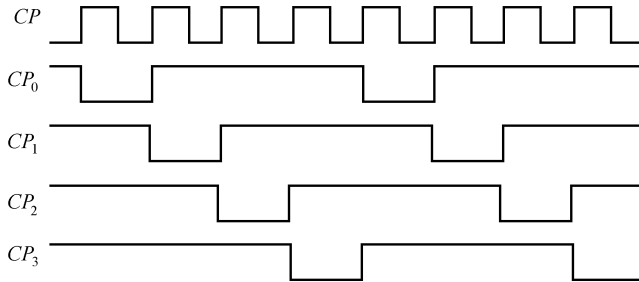


图 10-16 4 节拍脉冲发生器输出波形

JK 触发器: 其作用是在节拍脉冲 $CP_0 \sim CP_3$ 的推动下, 记忆每次比较的结果, 并向 DAC 提供输入数码。

3D 寄存器: 由 3 个上升沿触发的 D 触发器组成, 在节拍脉冲的触发下, 记忆最后的比较结果, 并行输出二进制代码。

2. 工作原理

因为图中 DAC 输出的比较电压为

$$v_R = \frac{V_{REF}}{2^3} (d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0)$$

若 DAC 有 n 位, 则

$$v_R = \frac{V_{REF}}{2^n} \sum_{i=0}^{n-1} d_i \times 2^i \quad (10.14)$$

若设 $V_{REF} = 8V$, 并把数字量 $d_2 d_1 d_0$ 由 000~111 分别代入上式。求得比较电压 v_R 为 1V、2V、…、7V, 与图 10-13 所示完全一样, 其量化方法是舍去小数法。现以取样电压值 $v_I = 5.9V$ 为例, 具体说明将它转换成数字量的过程。

首先是节拍脉冲 CP_0 使 JK 触发器中的 FF_2 直接置 1, FF_1 、 FF_0 直接置 0, 即 $Q_2' Q_1' Q_0' = d_2 d_1 d_0 = 100$, 则 DAC 输出的比较电压为 $v_R = 4V$, 由于 $v_I > v_R$, 比较器输出 $C_O = 1$, $\bar{C}_O = 0$, 使各 JK 触发器的 $J = 1$, $K = 0$ 。然后在节拍脉冲 CP_1 下

降沿的触发下, 使 JK 触发器 FF₂ 的输出 Q_3' 仍然为 1, FF₁ 被直接置 1, 这样, 在 CP_1 作用后, $Q_2'Q_1'Q_0' = d_2d_1d_0 = 110$, 所以 DAC 输出的比较电压 $v_R = 6V$, 因 $v_1 < v_R$, 比较器输出 $C_0 = 0$, $\bar{C}_0 = 1$, 使各触发器的 $J = 0$, $K = 1$ 。然后在节拍脉冲 CP_2 下降沿的触发下, 使 FF₁ 的输出 Q_1' 翻成的 0, FF₀ 被直接置 1, 这样在 CP_2 的作用后, $Q_2'Q_1'Q_0' = d_2d_1d_0 = 101$, DAC 输出的 $v_R = 5V$, 因为 $v_1 > v_R$, 比较器输出 $C_0 = 1$, $\bar{C}_0 = 0$, 使各触发器的 $J = 1$, $K = 0$ 。然后, 节拍脉冲 CP_3 的下降沿触发 FF₀ 使它仍输出 $Q_0' = 1$, 这时 JK 触发器的输出 $Q_2'Q_1'Q_0' = 101$, 这就是转换的结果, 最后在 CP_3 上升沿的触发下, 将数字量 101 存入 3D 寄存器, 由 D_2 、 D_1 、 D_0 输出。

由以上分析可知, 这种舍去小数的量化方法, 其量化单位和最大量化误差都为 $\Delta = 1V$, 本例转换的结果是 $D_2D_1D_0 = 101$, 其量化值为 $5\Delta = 5V$, 与实际值 $v_1 = 5.9V$ 相比, 偏差 $0.9V$, 小于最大量化误差 $1V$ 。

为了减小量化误差, 在 ADC 集成片中, 大多采用四舍五入的量化方法, 例如 8 位 ADC 的集成片 ADC0801, 它的内部电路也以图 10-14 所示电路为基础, 但稍有改动, 就是在 DAC 的输出端串接一个数值为 $-\Delta/2$ 的偏移电压, 使比较电压都向下偏移 $\Delta/2$ 。这时, 式 (10.14) 应改为

$$v_R = \left(\frac{V_{REF}}{2^n} \right) \sum_{i=0}^{n-1} d_i \times 2^i - \frac{\Delta}{2} \quad (10.15)$$

$$\Delta = \frac{V_{REF}}{2^n} \quad (n \text{ 为数字量位数})$$

这时若设 $V_{REF} = 8V$, 并把数字量 $d_2d_1d_0$ 由 000~111 分别代入式 (10.15), 求得比较电压为 $0.5V$ 、 $1.5V$ 、 \dots 、 $6.5V$, 与图 10-12 所示完全一样。

逐次逼近型 ADC 每次转换都要逐位比较, 需要 $n+1$ 个节拍脉冲才能完成, 所以它比并联比较型 ADC 的转换速度慢, 但比下面要讲述的双积分型 ADC 要快得多, 属于中速 ADC 器件。另外位数多时, 它需用的元、器件比并联比较型少得多, 所以它是集成 ADC 中应用较广的一种。例如, ADC0801、ADC0809 等都是 8 位通用型 ADC, AD571 (10 位)、AD574 (12 位) 都是高速双极型 ADC, MN5280 是 16 位精度 ADC。

10.3.4 双积分型 ADC

双积分型 ADC 属于间接型 ADC, 它先对输入取样电压和基准电压进行两次积分, 以获得与取样电压平均值成正比的时间间隔, 同时在这个时间间隔内, 用计数器对标准时钟脉冲 (CP) 计数, 计数器输出的计数结果就是对应的数字量。

1. 电路结构

图 10-17 所示为双积分型 ADC 的简化电路。

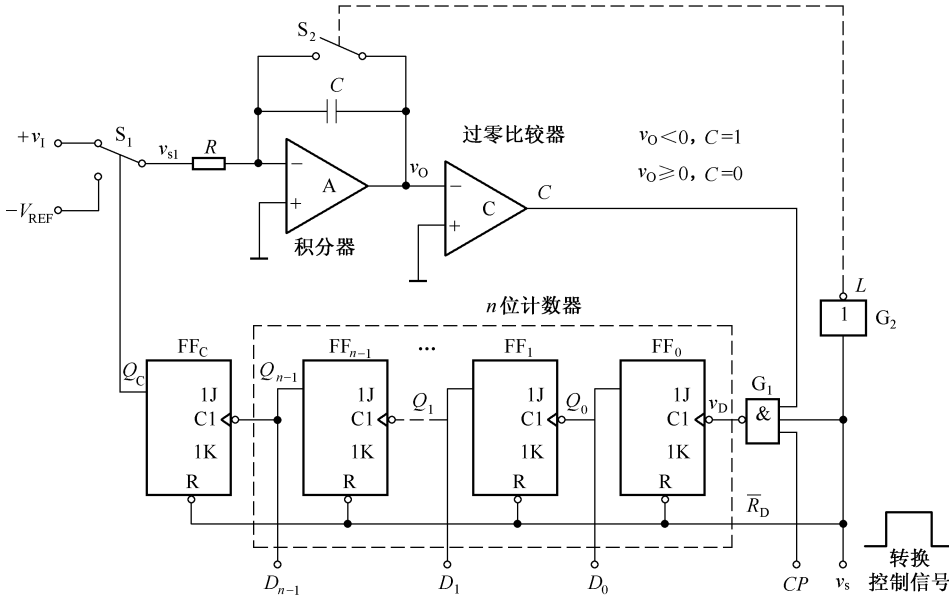


图 10-17 双积分型 ADC 简化电路

它包括：

积分器：由 R 、 C 和运算放大器 A 组成，它是电路的核心。

过零比较器：“-”端接积分器的输出 v_o ，“+”端接地。当 $v_o < 0$ 时，输出 $C = 1$ ， $v_o \geq 0$ 时， $C = 0$ 。

n 位计数器和辅助触发器：由 n 个 JK 触发器接成 n 位二进制异步加法计数器。并用 Q_{n-1} 的下降沿触发辅助触发器 FF_C 。

开关 S_1 和 S_2 ： S_1 由 FF_C 的输出 Q_C 驱动， $Q_C = 0$ 时， S_1 掷向输入电压 v_i ； $Q_C = 1$ 时， S_1 掷向 $-V_{REF}$ 。 S_2 由 G_2 的输出驱动， G_2 的输出 $L = 1$ 时， S_2 闭合，使电容 C 短路放电； $L = 0$ 时， S_2 断开。

2. 工作原理

首先设定输入电压 v_i 为正电压，基准电压 $-V_{REF}$ 为负电压。

该电路对 v_i 的转换分 3 个阶段进行。

①初始准备（休止阶段）：这时转换控制信号 $v_s = 0$ ，将计数器和 FF_C 清 0；并通过 G_2 ，使 $L = 1$ ，开关 S_2 闭合，电容 C 充分放电；又因 $Q_C = 0$ ，使开关 S_1 掷向 v_i 。

②第一次积分（取样阶段）：在 $t = 0$ 时， v_s 上升为高电平，断开开关 S_2 ，积分器开始对 v_1 积分，积分器的输出电压

$$v_O(t) = -\frac{1}{RC} \int_0^t v_1 dt$$

见图 10-18 中 v_O 的①线，因给定 $v_1 > 0$ ，所以 $v_O(t) < 0$ ，使过零比较器输出 $C = 1$ ，将 G_1 门打开，因此积分一开始，计数器就从 0 开始计数，当计满 2^n ，计数器返回 0 时，使 FF_C 置 1，驱动 S_1 掷向 $-V_{REF}$ 。到此时，对 v_1 的第一次积分结束。积分时间为 $T_1 = 2^n T_C$ ， T_C 为时钟脉冲 CP 的周期， n 为计数器的位数，故 T_1 为定值， T_1 时刻的积分器输出为

$$V_{O1} = -\frac{1}{RC} \int_0^{T_1} v_1 dt = -\frac{T_1}{RC} V_1 = -\frac{2^n T_C}{RC} V_1 \quad (10.16)$$

式中 V_1 为取样时间（ T_1 ）内输入电压的平均值。

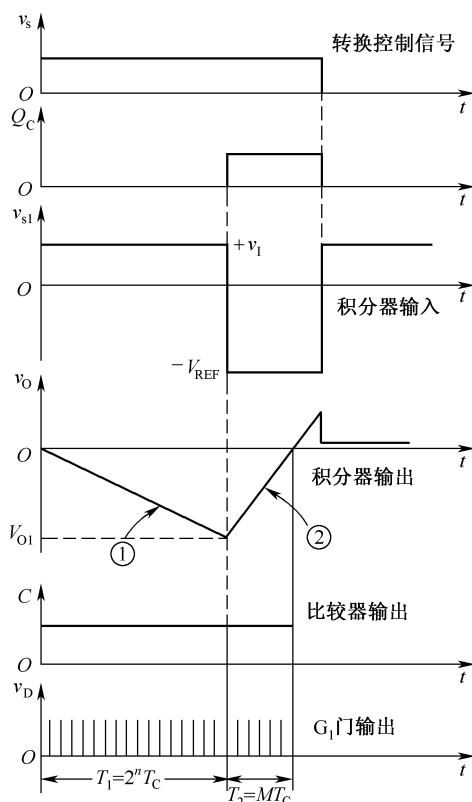


图 10-18 双积分型 ADC 的工作波形

上式说明积分器输出的电压 V_{O1} 与输入模拟电压的取样平均值 V_1 成正比。

③第二次积分（比较阶段）：将 V_{O1} 转换成与之成正比的时间间隔 T_2 ，并用计数器以时钟周期 T_C 进行量度。

S_1 接向 $-V_{REF}$ 后，积分器又从 T_1 时刻开始反向积分，这时积分器的输出

$$\begin{aligned} v_O(t) &= V_{O1} - \frac{1}{RC} \int_{T_1}^t (-V_{REF}) dt \\ &= \frac{-2^n T_C}{RC} V_1 - \frac{1}{RC} \int_{T_1}^t (-V_{REF}) dt \end{aligned} \quad (10.17)$$

见图 10-18 中 v_O 的②线。与此同时，计数器又从 0 开始计数。经 T_2 时间，积分器的输出电压回升到 0，过零比较器输出 $C = 0$ ，将 G_1 封锁，使计数器停止计数。假设计数器所计的时钟脉冲个数为 M ，则这段积分时间为 $T_2 = MT_C$ 。此时计数器的 $Q_{n-1}Q_{n-2} \cdots Q_0$ 输出的状态即为 M 相应的二进制代码。

在 $t = T_1 + T_2$ 时刻，积分器的输出为

$$\begin{aligned} v_O(t) = 0 &= -\frac{T_1}{RC} V_1 - \frac{1}{RC} \int_{T_1}^{T_1+T_2} (-V_{REF}) dt \\ &= -\frac{T_1}{RC} V_1 + \frac{T_2}{RC} V_{REF} \end{aligned} \quad (10.18)$$

由式 (10.18) 得到

$$V_1 = \frac{V_{REF}}{T_1} T_2 = \frac{V_{REF}}{2^n T_C} MT_C = \frac{V_{REF}}{2^n} M \quad (10.19)$$

由式 (10.19) 看出， V_1 与第二次积分时间 T_2 成正比，用时钟周期量度 T_2 所得到的计数脉冲 M ，也必然与 V_1 成正比。所以与计数脉冲个数相对应的计数器输出状态 $Q_{n-1}Q_{n-2} \cdots Q_0$ 即为转换的二进制数 $D_{n-1}D_{n-2} \cdots D_0$ ，这就是转换的结果。

将式 (10.19) 变换一下，得

$$M = \left(\frac{V_1}{\frac{V_{REF}}{2^n}} \right)_{\text{舍去小数}} \quad (V_{REF} \text{ 为正值}) \quad (10.20)$$

由 CP 对计数器触发计数的机理可以推知，该 ADC 采用“舍去小数”的量化方法，故最大量化误差等于量化单位 $\Delta = V_{REF} / 2^n$ 。输入电压变化范围是 $0 \sim V_{REF}$ ，若 $V_1 > V_{REF}$ ，对应的数字量将超出计数器所能计数的范围。

3. 双积分型 ADC 的优缺点

优点之一是抗干扰能力强：因电路的输入端使用了积分器进行取样，使取样电压值 V_1 是取样时间 (T_1) 内 v_1 的平均值，所以理论上，它可以平均掉输入信号

所带有的所有周期 T_1/n ($n=1,2,3,L$) 的对称干扰。若选取样时间 T_1 为 20ms 的整数倍, 则可有效地滤除工频干扰。

优点之二是稳定性好, 可实现高精度 A/D 转换: 因它通过两次积分把 V_1 与 V_{REF} 之比变成了两次计数值之比, 由式 (10.18) 可推得

$$\frac{V_1}{V_{REF}} = \frac{\left(\frac{MT_C}{RC}\right)_{\text{第二次积分}}}{\left(\frac{2^n T_C}{RC}\right)_{\text{第一次积分}}}$$

只要两次积分时的 RC 和 T_C 不变, 就可从上式把它们消去, 而不要求 R 、 C 和时钟脉冲周期 T_C 的长期稳定性。

另外, 由于转换结果与积分时间常数 RC 无关, 因而消除了由于积分非线性带来的误差。

主要缺点是转换速度低: 转换一次最少也需要 $2T_1 = 2^{n+1}T_C$ 时间。考虑到对运算放大器和比较器的自动调零时间, 实际转换时间比 $2T_1$ 还要长得多。

因此这种转换器大多应用于要求精度较高而转换器要求不高的仪器仪表中, 例如用于多位高精度数字直流电压表中。

10.3.5 ADC 的转换精度和转换速度

1. 转换精度

ADC 用分辨率和转换误差来描述转换精度。

(1) 分辨率

通常以输出二进制或十进制数字的位数表示分辨率的高低, 因为位数越多, 量化单位越小, 对输入信号的分辨能力就越高。

(2) 转换误差

它是指: 在零点和精度都校准以后, 在整个转换范围内, 分别测量各个数字量所对应的模拟输入电压实测范围与理论范围之间的偏差, 取其中的最大偏差作为转换误差的指标, 通常以相对误差的形式出现, 并以 LSB 为单位表示。例如 ADC0801 的相对误差为 $\pm(1/4)\text{LSB}$ 。

2. 转换速度

常用转换时间或转换速率来描述转换速度, 完成一次 A/D 转换所需要的时间称为转换时间。大多数情况下, 转换速率是转换时间的倒数。例如 TDC1007J 的转换速率为 30MHz, 转换时间相应为 33.3ns。

ADC 的转换速度主要取决于转换电路的类型, 并联比较型 ADC 的转换速度

最高（转换时间可小于 50ns），逐次逼近型 ADC 次之（转换时间在 10~100 μ s 之间），双积分型 ADC 转换速度最低（转换时间在几十毫秒至数百毫秒之间）。



本章小结

由于微处理器和微型计算机在各种检测、控制和信号处理系统中的广泛应用，也促进了 A/D、D/A 转换技术的迅速发展。而且，随着计算机计算精度和计算速度不断提高，对 A/D、D/A 转换器的转换精度和转换速度也提出了更高的要求。正是这种要求有力地推动了 A/D、D/A 转换技术的不断进步。事实上，在许多使用计算机的检测、控制或信号处理系统中，系统所能达到的精度和速度最终是由 A/D、D/A 转换器的转换精度和转换速度所决定的。因此，转换精度和转换速度是 A/D、D/A 转换器最重要的两个指标，也是我们讨论的重点。

A/D、D/A 转换器的种类十分繁杂，不可能逐一列举。因此，首先应着重理解和掌握 A/D、D/A 转换的基本思想、共同性的问题以及对它们进行归纳和分类的原则。

在 D/A 转换器中分别介绍了权电阻网络型、权电流型、倒 T 形电阻网络型。这几种电路在集成 D/A 转换器产品中都有应用。目前在双极型的 D/A 转换器产品中权电流型电路用得比较多；在 CMOS 集成 D/A 转换器中则以倒 T 形电阻网络较为常见。

本章中把 A/D 转换器归纳为直接 A/D 转换器和间接 A/D 转换器两大类。在直接 A/D 转换器中介绍并联比较型和逐次逼近型两种电路。并联比较型 A/D 转换器是目前所有 A/D 转换器中转换速度最快的一种，故又有快闪（Flash）A/D 转换器之称。由于所用的电路规模庞大，所以并联比较型电路只用在超高速的 A/D 转换器当中。而逐次逼近型 A/D 转换器虽然速度不及并联比较型快，但较之其他类型电路的转换速度又快得多，同时电路规模比并联比较型电路小得多，因此逐次逼近型电路在集成 A/D 转换器产品中用得最多。

在间接 A/D 转换器中，重点介绍了双积分型（属 V-T 变换型）。虽然双积分型 A/D 转换器的转换速度很低，但由于它的电路结构简单，性能稳定可靠，抗干扰能力较强，所以在各种低速系统中得到了广泛的应用。

为了得到较高转换精度，除了选用分辨率较高的 A/D、D/A 转换器以外，还必须保证参考电源和供电电源有足够的稳定度，并减小环境温度的变化。否则，即使选用了高分辨率的芯片，也难于得到应有的转换精度。

习题十

10-1 数字量和模拟量有什么区别？

10-2 在图 10-5 所示的权电阻网络 DAC 中，设 $R = 10\text{ k}\Omega$ ， $R_F = 5\text{ k}\Omega$ 。试求其他权电阻的阻值。若 $V_{\text{REF}} = 5\text{V}$ ，输入的二进制数码 $D_3D_2D_1D_0 = 1101$ ，求输出电压 v_O 。

10-3 在图 10-7 所示的倒 T 形电阻网络 DAC 中，设 $V_{\text{REF}} = 5\text{V}$ ， $R_F = R = 10\text{ k}\Omega$ ，求对应于输入 4 位二进制数码为 0101、0110、1101 时的输出电压 v_O 。

10-4 将倒 T 形电阻网络的电流输出端 OUT_1 改接基准电压 V_{REF} ， OUT_2 接地，而原基准电压端改作电压输出端，则改成了图 10-29 所示的 T 形电阻网络，试推导 v_O 的表达式。

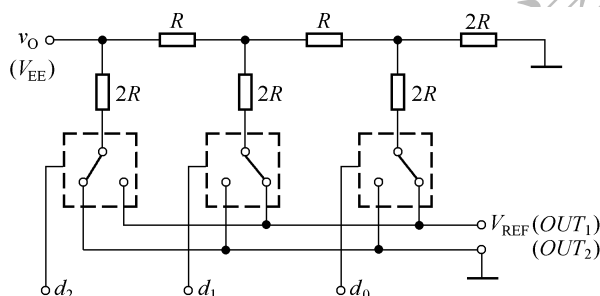


图 10-29

10-5 DAC 如图 10-20 所示，现用它作轻载数控电压源用。要求输出电压变化范围不小于 $0 \sim +5\text{V}$ ，且每隔 20mV 输出一个电压值，设 $V_{\text{DD}} = 6\text{V}$ 。试求， V_{REF} 输出电压 v_O 的变化范围，输入数码 01100100 时的 v_O 。若 $v_O = 2.56\text{V}$ ，则应输入什么数码？

10-6 何谓量化、量化值、量化单位及量化误差？

10-7 在图 10-14 所示的电阻链中，把最上端和最下端的电阻分别改成 $(3/2)R$ 和 $(1/2)R$ ，试求其量化单位、量化级、量化值，最大量化误差和输入电压变化范围，并写出 A/D 转换公式。

10-8 根据图 10-28，试求输入电压 $v_1 = 3.645\text{V}$ 时输出的数字量及输出数字量为 10000001 时输入电压 v_1 的理论范围。

10-9 将图 10-17 所示电路中的 n 位计数器改成 3 位 8421BCD 码的十进制计数器。试计算第一次积分时间 T_1 ；输入电压 v_1 的变化范围为 $0 \sim 5\text{V}$ 时，积分器的最大输出电压 $|V_{\text{Omax}}|$ ；计数器输出的数据为 100100000111 时，取样电压平均值应为多大（设 $R = 100\text{ k}\Omega$ ， $C = 1\mu\text{F}$ ， $f_{\text{CP}} = 25\text{ kHz}$ ， $-V_{\text{REF}} = -10\text{V}$ ）？

10-10 在图 10-17 所示的双积分型 ADC 中，若输入信号 $|v_1| > |V_{\text{REF}}|$ ，则会出现什么现象？

10-11 若 A/D 转换器（包括取样—保持电路）输入模拟电压信号的最高变化频率为

10kHz，试说明取样频率的下限是多少？完成一次 A/D 转换所用时间的上限是多少？

10-12 比较并联比较型 A/D 转换器、逐次渐近型 A/D 转换器和双积分型 A/D 转换器的优缺点，指出它们各适于在哪些情况下采用？

10-13 影响 D/A 转换器转换精度的主要因素有哪些？

10-14 说明影响 A/D 转换器转换精度的主要因素有哪些？

10-15 图 10-30 所示电路是 CB7520 和同步十六进制计数器 74LS161 组成的波形发生器电路。已知 CB7520 的 $V_{REF} = -10V$ ，试画出输出电压 v_O 的波形，并标出波形图上各点电压的幅度。CB7520 是 10 位倒 T 形电阻网络的 DAC。

10-16 试分析图 10-31 电路的工作原理，画出输出电压 v_O 的波形图。CB7520 是 10 位倒 T 型电阻网络 DAC。表 10-3 给出了 RAM 的 16 个地址单元中所存的数据。高 6 位地址 $A_9 \sim A_4$ 始终为 0，在表中没有列出。RAM 的输出数据只用了低 4 位，作为 CB7520 的输入。因为 RAM 的高 4 位数据没有使用，故表中也未列出。

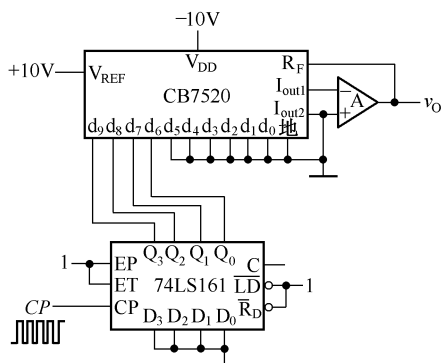


图 10-30

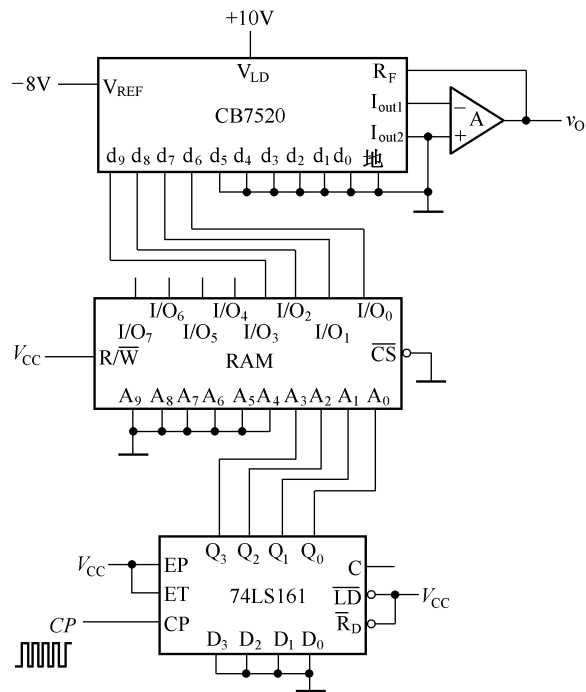


图 10-31

表 10-3 RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	1

1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1

10-17 图 10-32 所示电路是用 D/A 转换器 CB7520 和运算放大器构成的增益可编程放大器，它的电压放大倍数 $A_v = \frac{v_o}{v_i}$ 由输入的数字量 D ($d_9 \sim d_0$) 来设定。试写出 A_v 的计算公式，并说明 A_v 的取值范围。

10-18 图 10-33 电路是由 D/A 转换器 CB7520 和运算放大器组成的增益可编程放大器，它的电压放大倍数 $A_v = \frac{v_o}{v_i}$ 由输入的数字量 D ($d_9 \sim d_0$) 来设定。试写出 A_v 的计算公式，并说明 A_v 的取值范围。

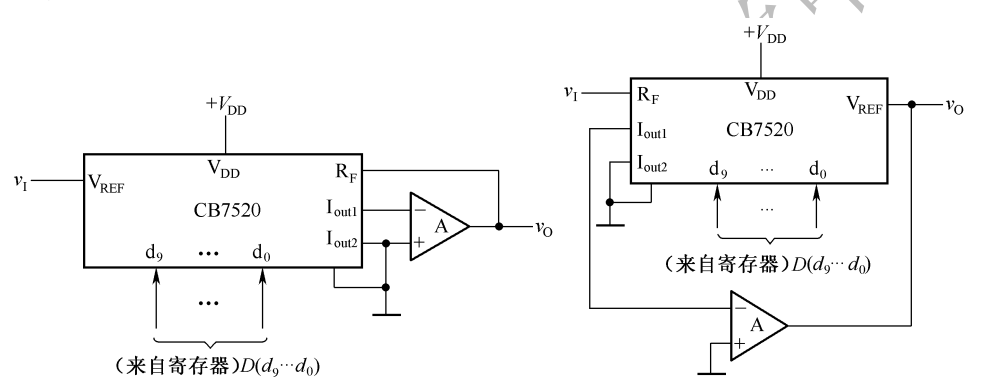


图 10-32

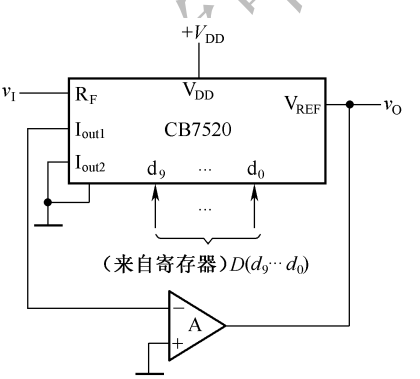
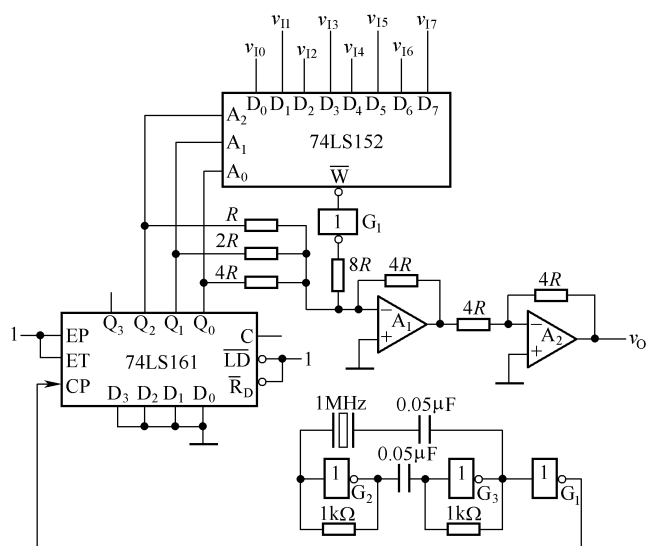
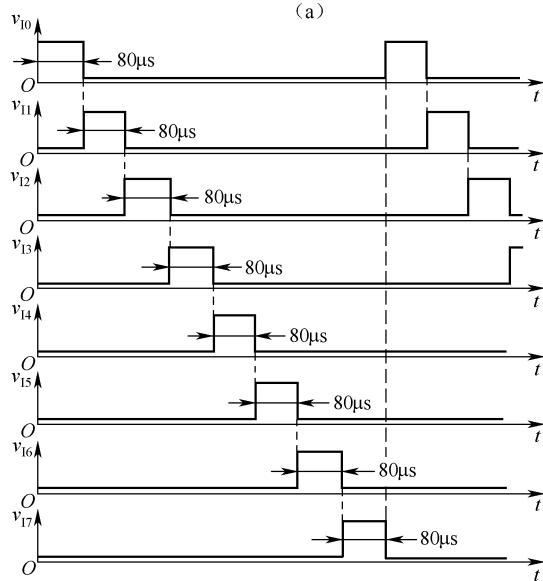


图 10-33

10-19 试分析图 10-34 (a) 电路的工作原理，画出输出电压 v_o 的波形图。其中 74LS152 是 8 选 1 数据选择器，74LS161 为同步十六进制加法计数器，假定 74LS161 和反相器 G_1 的输出电阻阻值远远小于 R 的阻值。74LS152 各输入端的电压波形如图 10-34 (b) 所示。



(a)



(b)

图 10-34