



第5章 时序逻辑电路

5.1 概述

5.2 时序逻辑电路的分析方法

5.3 时序逻辑电路的设计方法

5.4 若干常用的时序逻辑电路

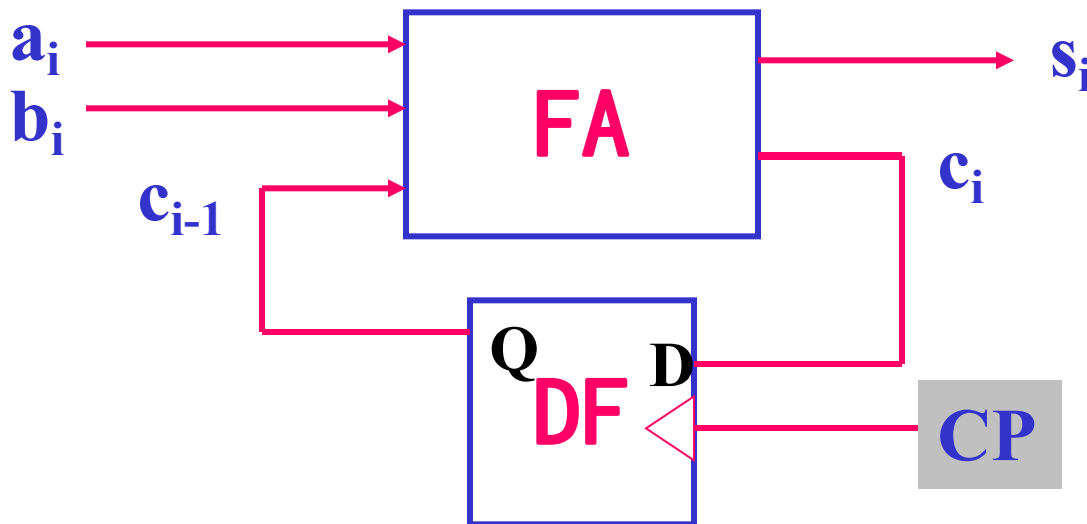


5.1 概述

一、时序逻辑电路的定义

电路任意时刻的输出信号不仅取决于该时刻的输入信号，还与电路的原来状态有关。

引例：

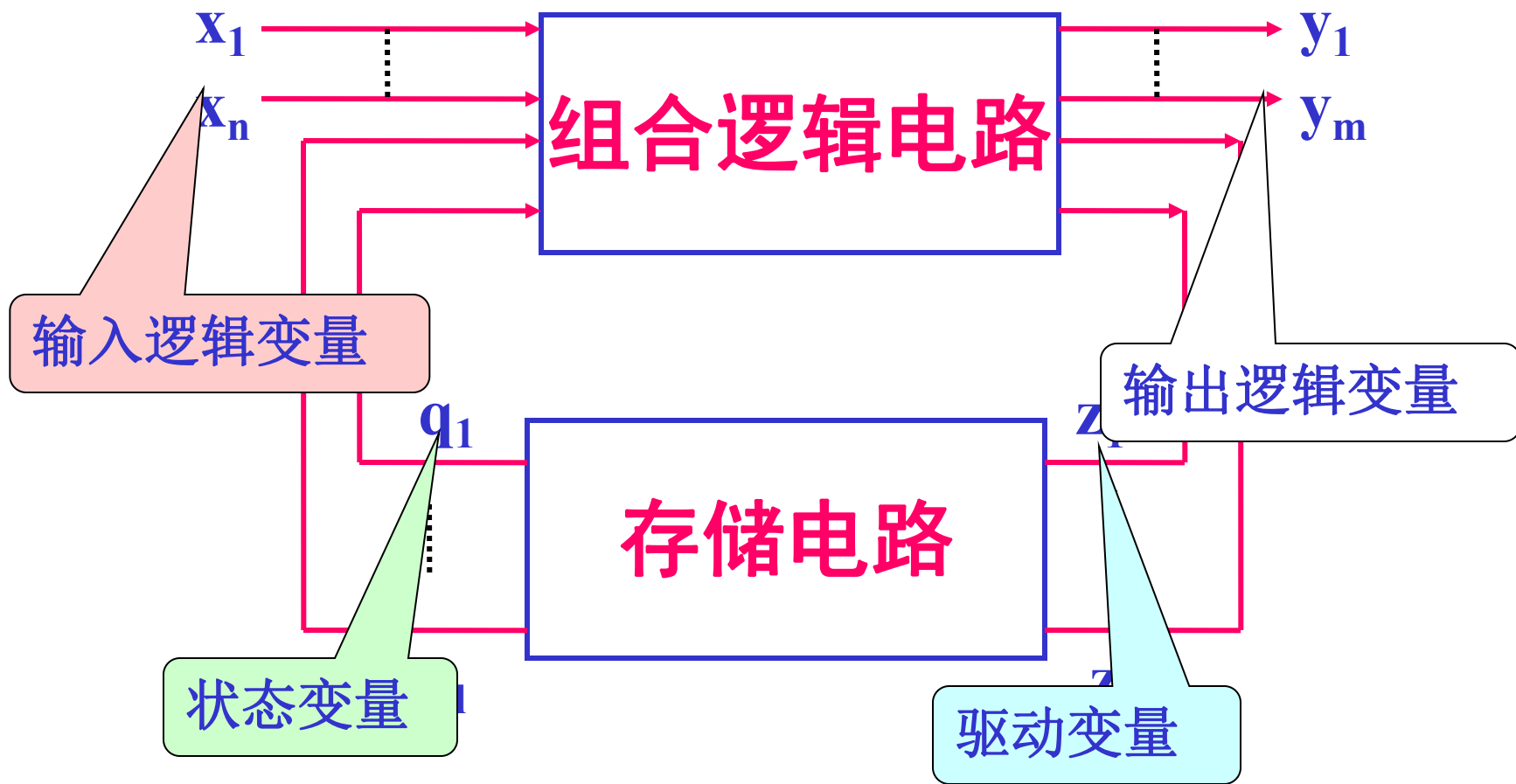


——受到时钟脉冲控制的多位加法电路，蜕变成了**时序逻辑电路**。

合作 進取 求實 創新



二、时序逻辑电路方框图





三、逻辑方程

1. 输出方程

$$y_1 = f_1(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

$$y_2 = f_2(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

.....

$$y_m = f_m(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

$$Y = F(X, Q)$$



2. 驱动方程

$$z_1 = g_1(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

$$z_2 = g_2(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

.....

$$z_k = g_k(x_1, x_2, \dots, x_n, q_1, q_2, \dots, q_l)$$

$$Z = G(X, Q)$$



3. 状态方程

$$q_1^{n+1} = h_1(z_1, z_2, \dots, z_n, q_1^n, q_2^n, \dots, q_l^n)$$

$$q_2^{n+1} = h_2(z_1, z_2, \dots, z_n, q_1^n, q_2^n, \dots, q_l^n)$$

.....

$$q_l^{n+1} = h_l(z_1, z_2, \dots, z_n, q_1^n, q_2^n, \dots, q_l^n)$$

$$Q^{n+1} = H(Z, Q^n)$$



四、时序逻辑电路的分类

1. 根据存储电路中触发器的动作特点:

同步时序逻辑电路: 所有触发器的状态在同一时刻发生变化

异步时序逻辑电路: 触发器的状态不是在同一时刻发生变化

2. 根据输出变量的特点:

米利型(Mealy): $Y=F(X,Q)$

穆尔型(Moore): $Y=F(Q)$



5.2 同步 时序逻辑电路的分析方法

一、分析的任务：

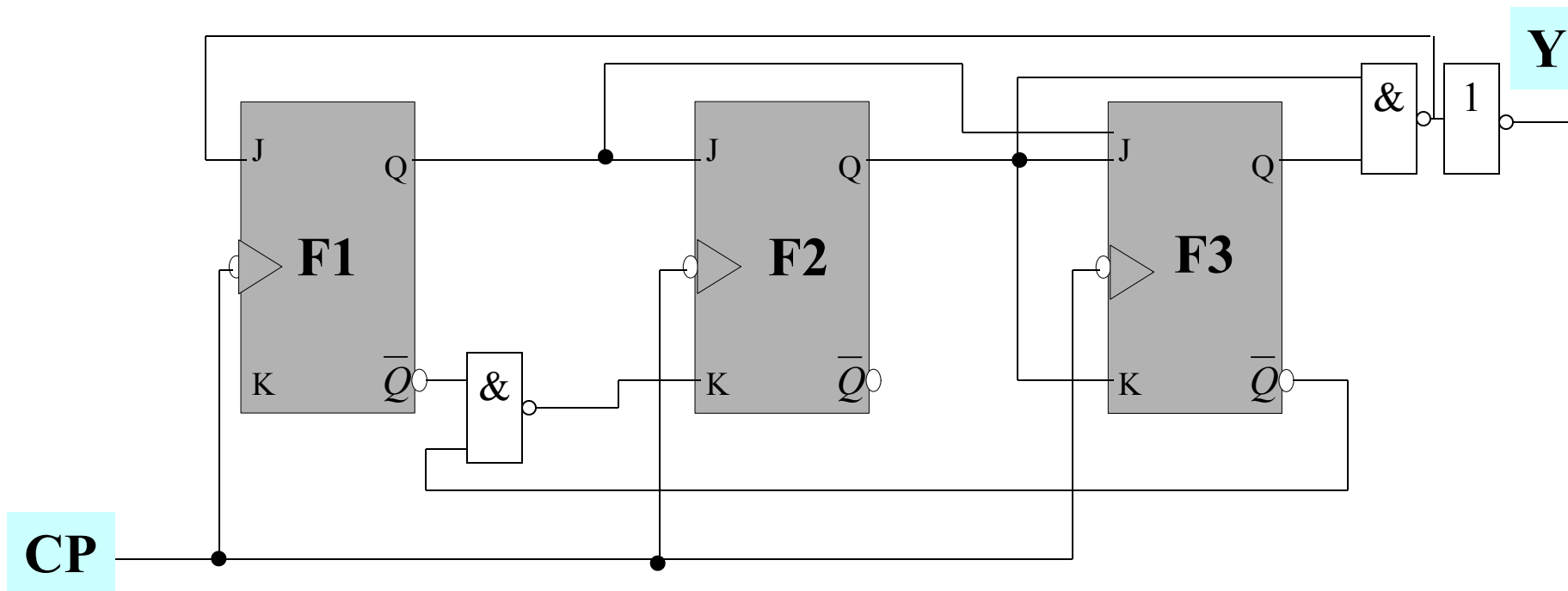
根据给定的时序逻辑电路，找出其变化规律

二、分析的步骤：

1. 写出驱动方程
2. 写出输出方程
3. 求状态方程
4. 计算状态转换表
5. 画状态转换图
6. 画时序图
7. 说明其逻辑功能



例:试分析如图所示时序逻辑电路的功能。



1. 写驱动方程

$$J_1 = \overline{Q_2} \cdot Q_3$$

$$J_2 = Q_1$$

$$J_3 = Q_1 Q_2 \text{ (同时输入)}$$

$$K_1 = 1 \text{ (} K_1 \text{悬空)}$$

$$K_2 = \overline{\overline{Q_1} \cdot \overline{Q_3}}$$

$$K_3 = Q_2$$

2. 写输出方程

$$Y = Q_2 Q_3$$



3. 求状态方程

——把驱动方程分别代入触发器的特性方程求得

$$Q_i^{n+1} = J_i \overline{Q_i^n} + \overline{K_i} Q_i^n$$

$$Q_1^{n+1} = \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_1}$$

$$Q_2^{n+1} = Q_1 \cdot \overline{Q_2} + \overline{Q_1} \cdot \overline{Q_3} \cdot Q_2$$

$$Q_3^{n+1} = Q_1 \cdot Q_2 \cdot \overline{Q_3} + \overline{Q_2} Q_3$$



4. 计算状态转换表

——通常设初态都是0

| Q_3^n | Q_2^n | Q_1^n | Q_3^{n+1} | Q_2^{n+1} | Q_1^{n+1} | Y |
|---------|---------|---------|-------------|-------------|-------------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

$$Q_1^{n+1} = \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_1}$$

$$Y = Q_2 Q_3$$

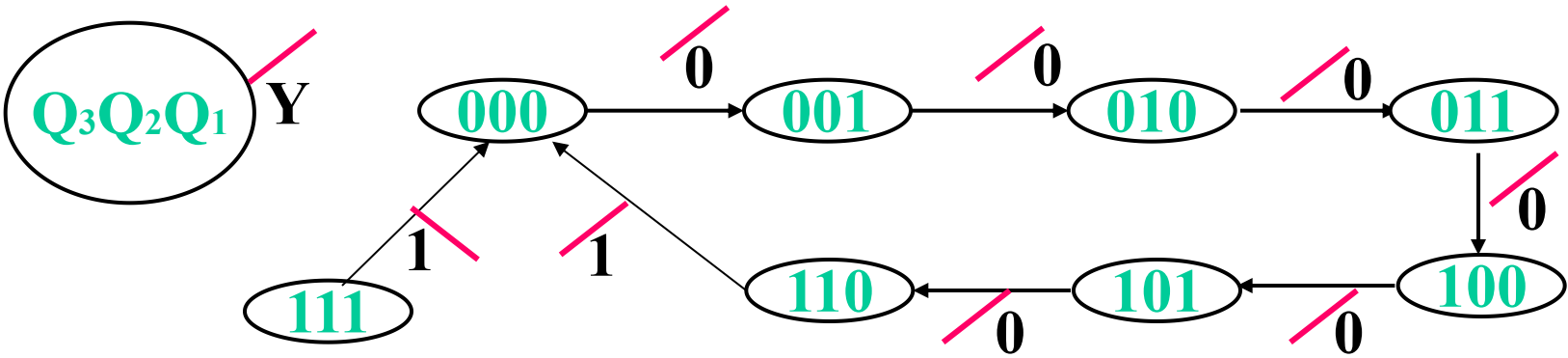
$$Q_2^{n+1} = Q_1 \cdot \overline{Q_2} + \overline{Q_1} \cdot \overline{Q_3} \cdot Q_2$$

$$Q_3^{n+1} = Q_1 \cdot Q_2 \cdot \overline{Q_3} + \overline{Q_2} Q_3$$



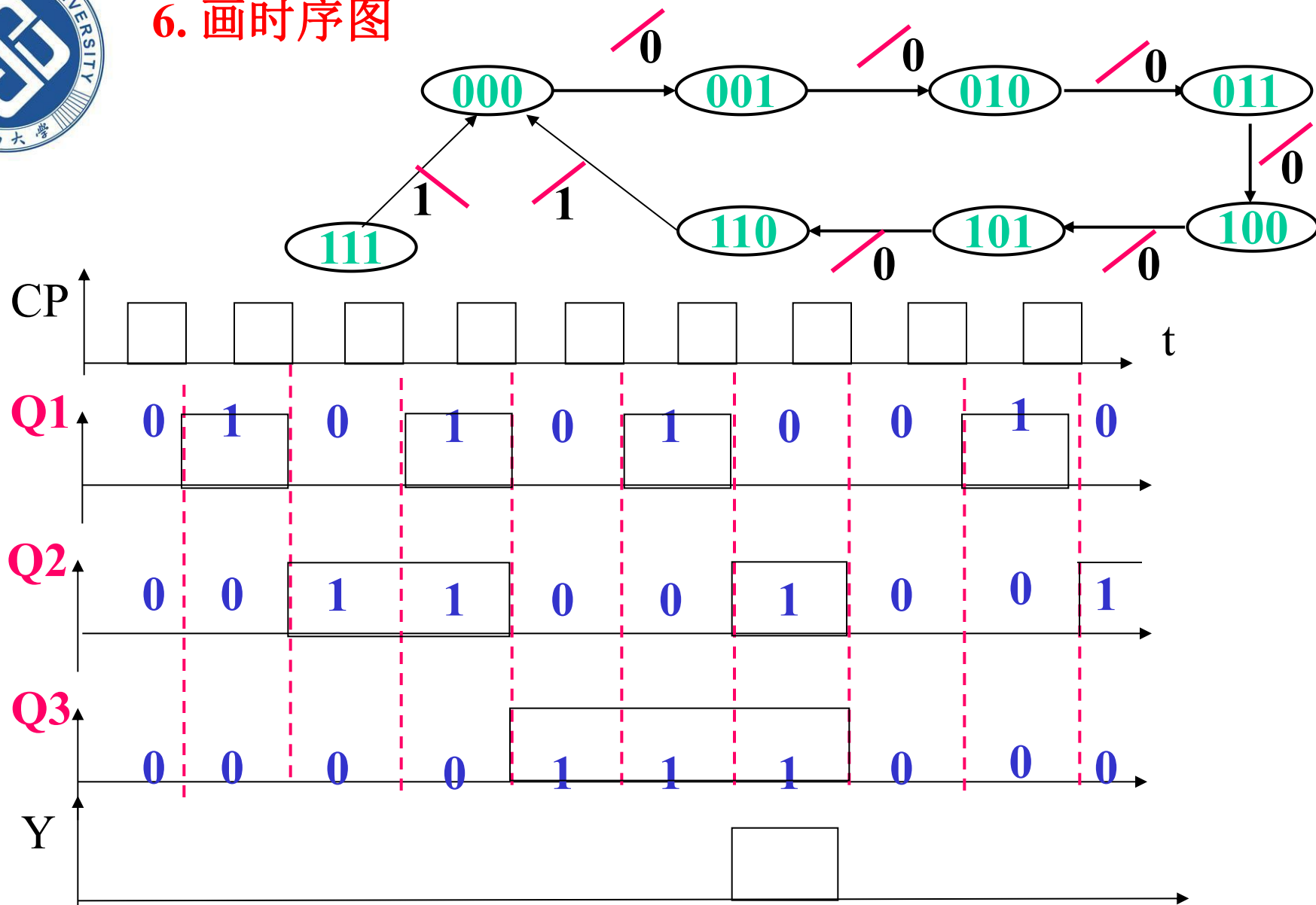
5. 画状态转换图

| Q_3^n | Q_2^n | Q_1^n | Q_3^{n+1} | Q_2^{n+1} | Q_1^{n+1} | Y | CP | Q_3 | Q_2 | Q_1 | Y |
|---------|---------|---------|-------------|-------------|-------------|---|----|-------|-------|-------|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 2 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 3 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 4 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 5 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 6 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 7 | 0 | 0 | 0 | 0 |





6. 画时序图



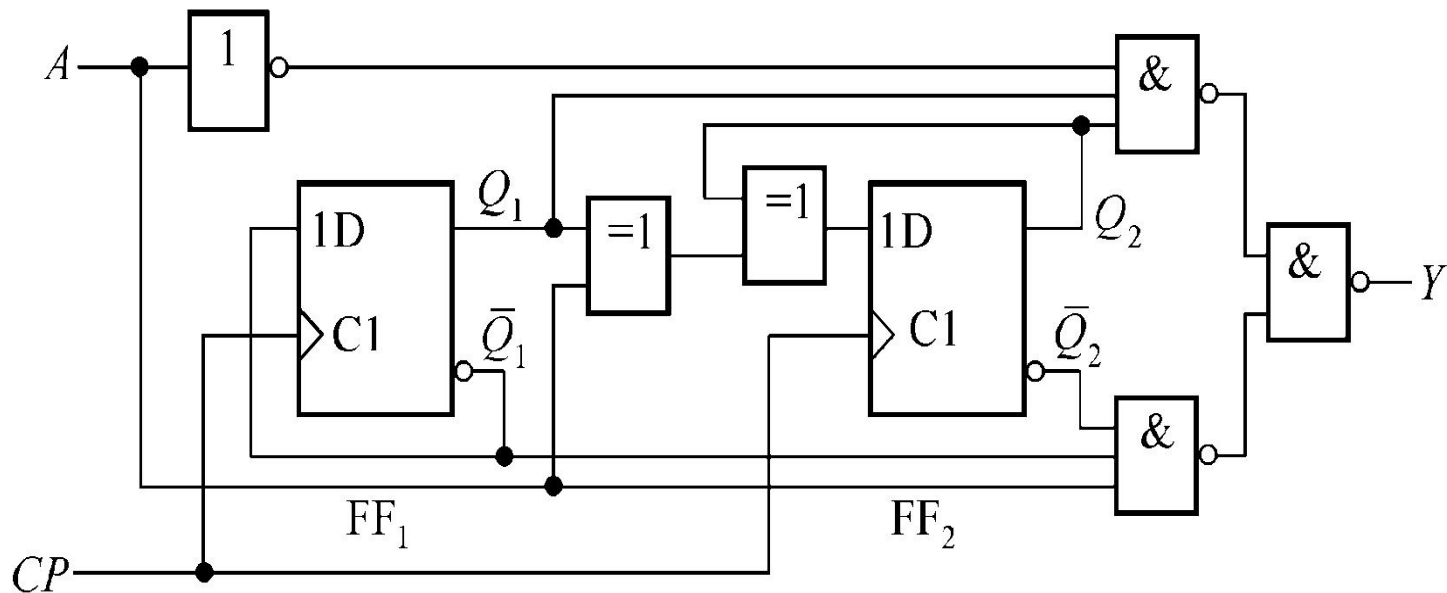
7. 逻辑功能说明:

七进制计数器, Y是进位端, 可自启动。

合作 進取 求實 創新



例2： 试分析图示的同步时序电路的逻辑功能。



解： 1. 写出电路的三大方程

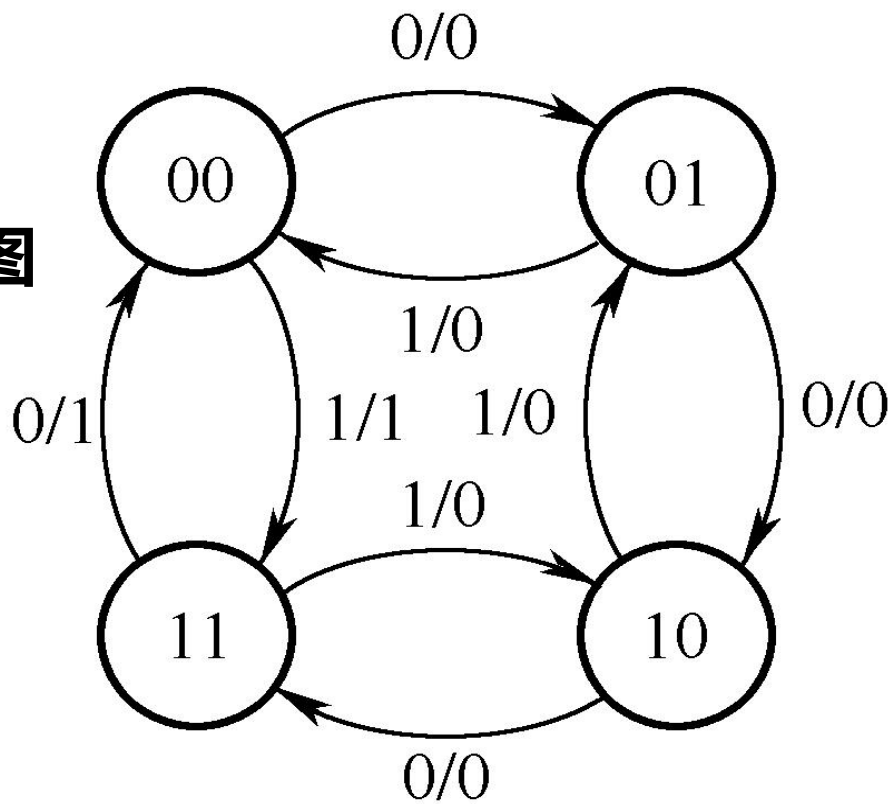
$$\begin{cases} D_1 = \bar{Q}_1 \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases} \quad \begin{cases} Q_1^{n+1} = D_1 = \bar{Q}_1 \\ Q_2^{n+1} = D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$

$$Y = \overline{\overline{A}Q_1Q_2} \cdot \overline{\overline{A}\bar{Q}_1\bar{Q}_2} = \bar{A}Q_1Q_2 + A\bar{Q}_1\bar{Q}_2$$



2. 求出电路的状态取值转换关系

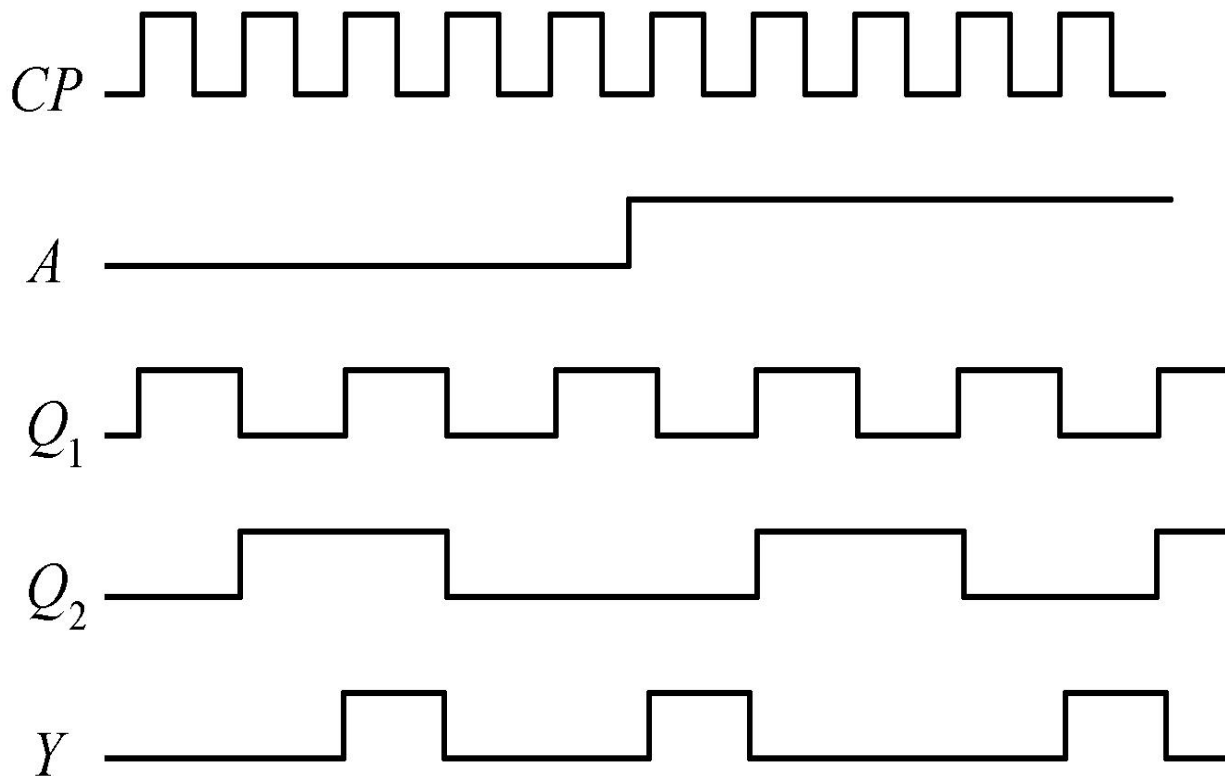
① 状态转换图



A/Y
 $Q_2 Q_1$



② 时序波形图



3. 功能分析：

四进制可逆计数器。 $A=0$ ，电路是两位二进制加法计数器； $A=1$ ，电路是两位二进制减法计数器。



5.3 时序逻辑电路的设计方法

一、时序逻辑电路的设计的任务

要求设计者根据给出的具体逻辑问题，求出实现这一逻辑功能的逻辑电路。

二、时序逻辑电路的设计的原则

所得到的设计电路结果应力求简单。

SSI设计：电路最简的标准是所用的触发器和门电路的数目最少，而且触发器和门电路的输入端数目也最少。

MSI设计：电路最简的标准则是使用的集成电路数目最少，种类最少。而且互相间的连线也最少。



三、同步时序逻辑电路的设计步骤

1) 逻辑抽象

- a. 分析给定的逻辑问题, 确定输入变量、输出变量以及电路的状态数。
- b. 定义输入、输出变量和状态的含义, 并将电路状态顺序编号
- c. 按照题意列出电路的状态转换表或画出电路的状态转换图。

2) 状态化简

若两个电路状态在相同的输入下有相同的输出, 并且转换到同样一个次态。则称这两个状态为等价状态。显然等价状态是重复的, 可以合并为一个。



3) 状态分配

用状态变量表示电路的状态的过程

首先，需要确定状态变量的数目 n 。因为 n 个状态变量共有 2^n 种状态组合，所以为获得时序电路所需的 M 个状态，必须取

$$2^{n-1} < M < 2^n$$

- 4) 选定触发器的类型，求出电路的状态方程、驱动方程和输出方程
- 5) 根据驱动方程和输出方程画出电路图
- 6) 检查设计的电路能否自启动



例：设计一个同步五进制加法计数器。

- 1) 逻辑抽象：电路的状态数共有5个；
- 2) 状态化简：电路的最简状态数有5个；
- 3) 状态分配：确定状态变量的数目 $N=3$ ；
- 4) 选定触发器的类型，求出电路的状态方程、驱动方程和输出方程
- 5) 根据驱动方程和输出方程画出电路图。

——慕课学习



导入

时序逻辑电路在实际数字系统（或计算机系统）中的应用十分广泛，为了提高电路工作的效率和保证性能的可靠性，把这些常用的电路制成了中规模集成电路。



5.4 若干常用时序逻辑电路

5.4.1 寄存器

是由触发器组成的用来**暂存**一组二进制数码的逻辑部件，它是构成计算机CPU中最基本的逻辑部件

1. 寄存器的功能：

- 清除数码
- 接收数码
- 暂存数码
- 输出数码
- 移位功能



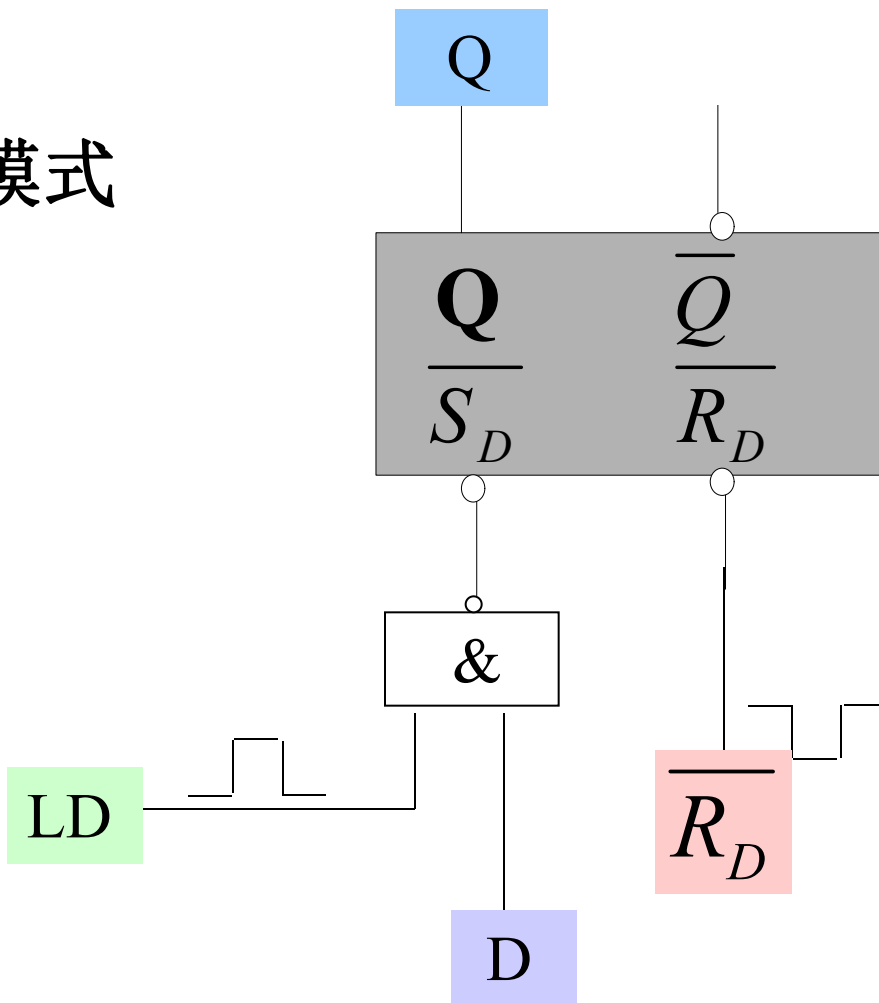
2. 寄存器的工作模式

1) 两拍接收工作模式

(1) 发清零脉冲

- 准备数据

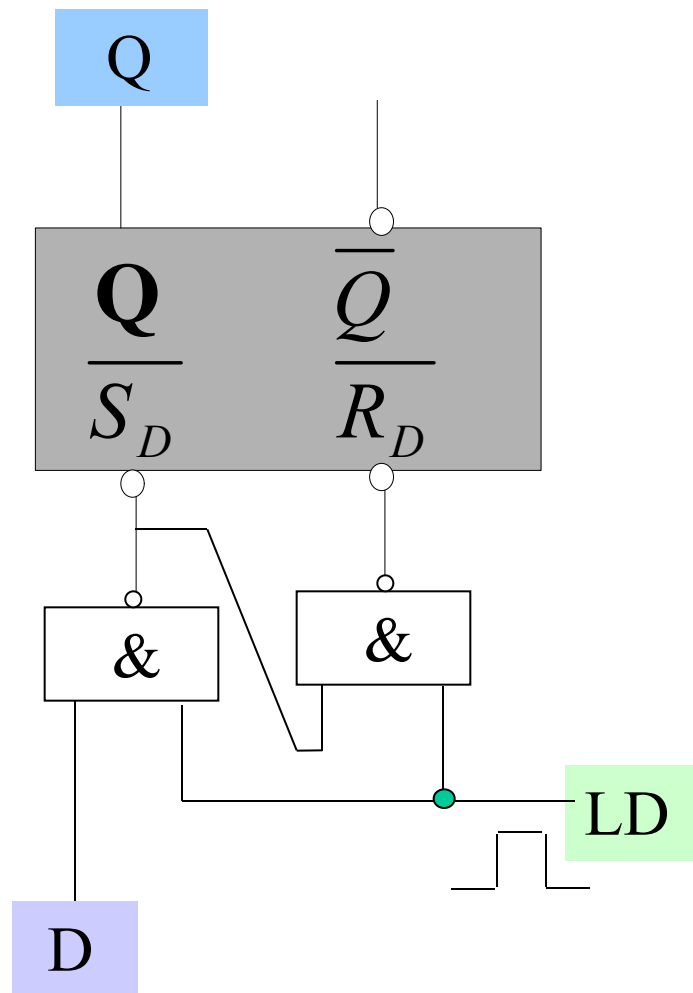
(2) 发接收脉冲





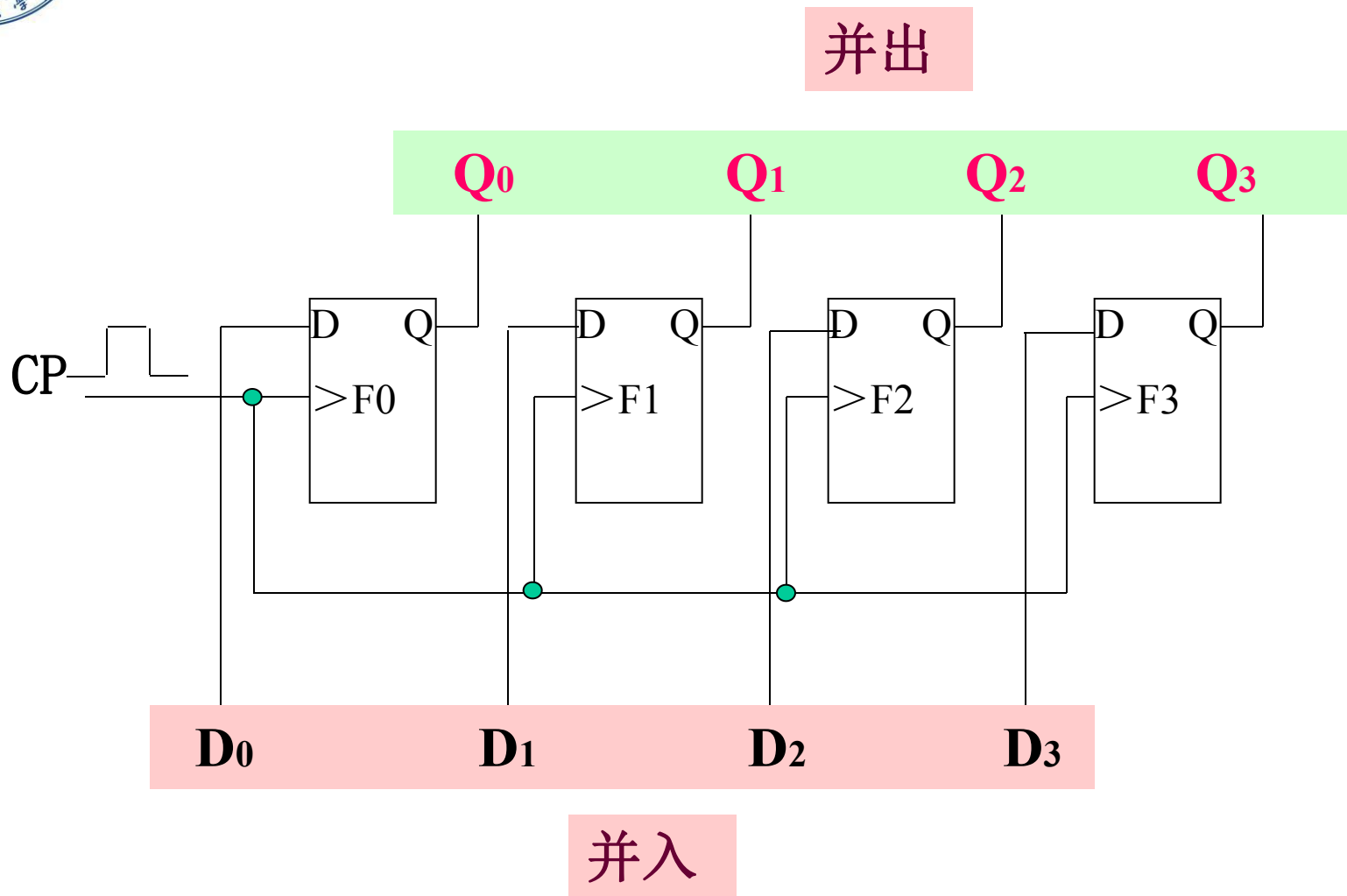
2) 单拍接收工作模式

- 准备数据
- 发接收脉冲



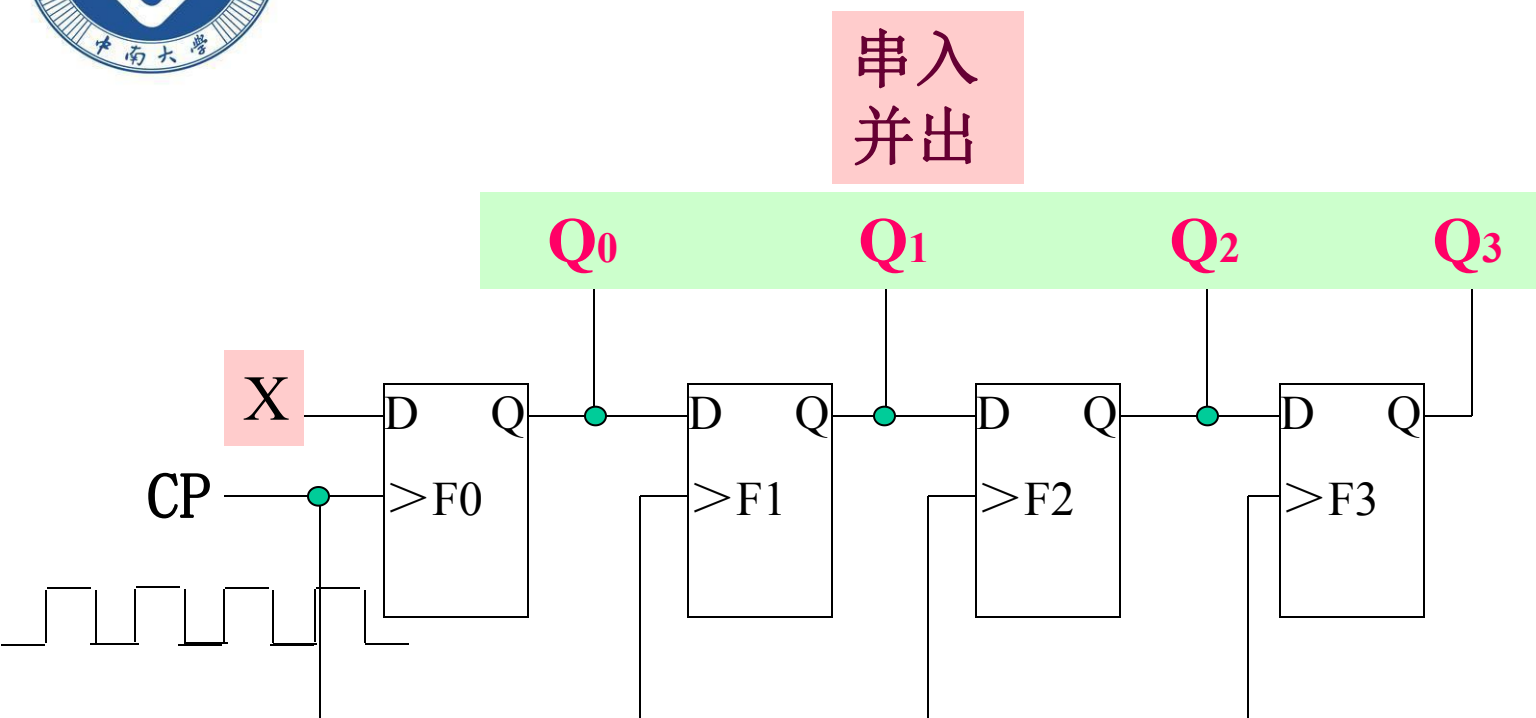


3) 多位数码接收工作模式





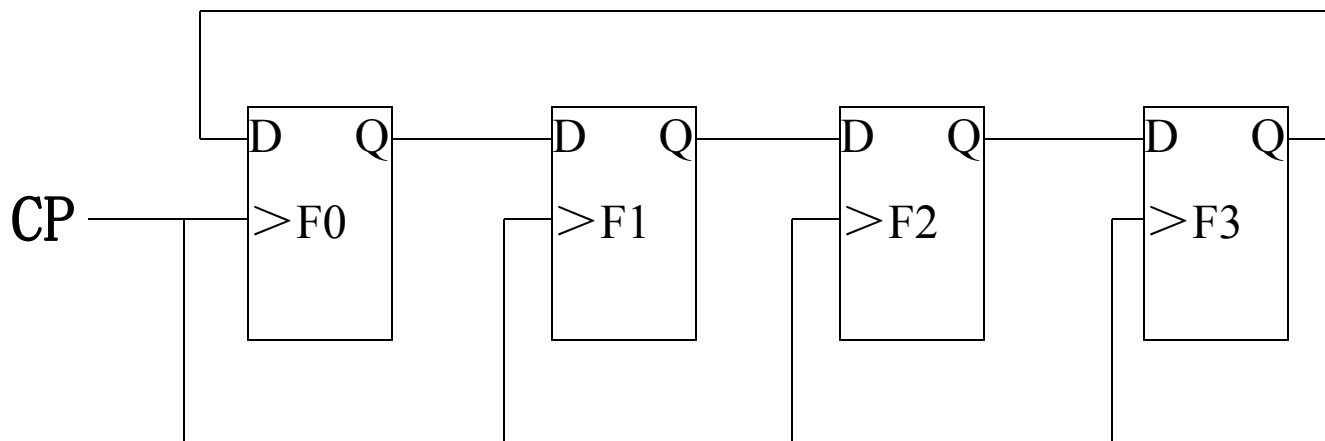
4) 串行移位接收工作模式



$$CP_i = CP, D_i = Q_{i-1}, D_0 = X$$



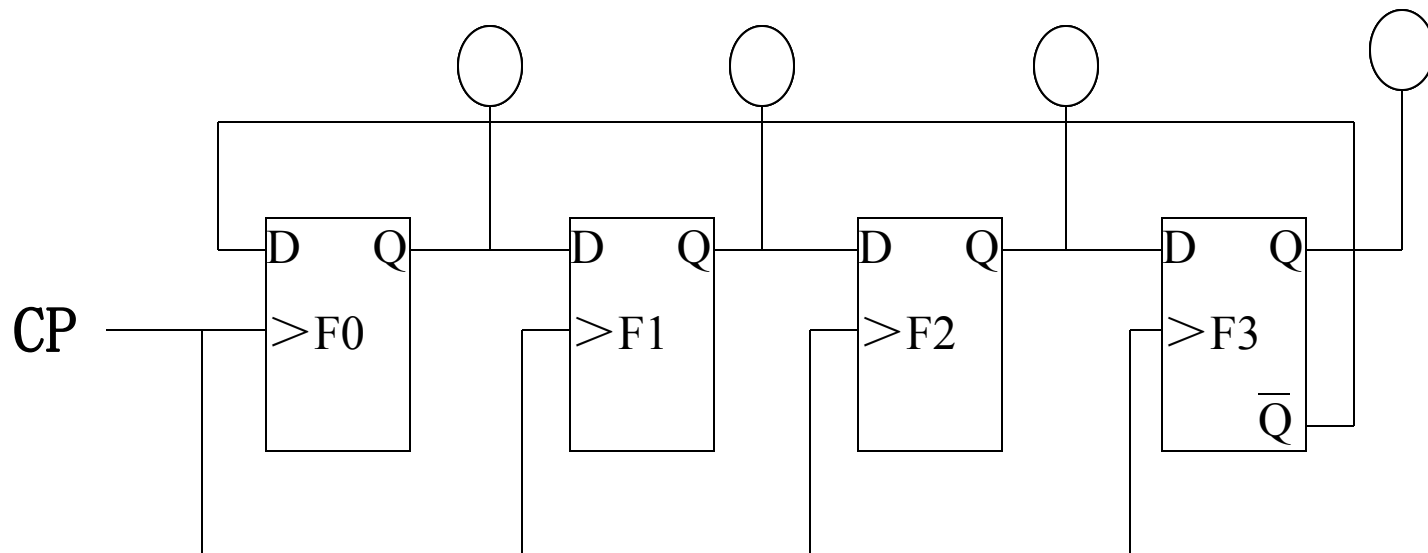
5) 环形移位工作模式



连接方式: $CP_i = CP$, $D_i = Q_{i-1}$, $D_0 = Q_{n-1}$



6) 扭环形移位工作模式

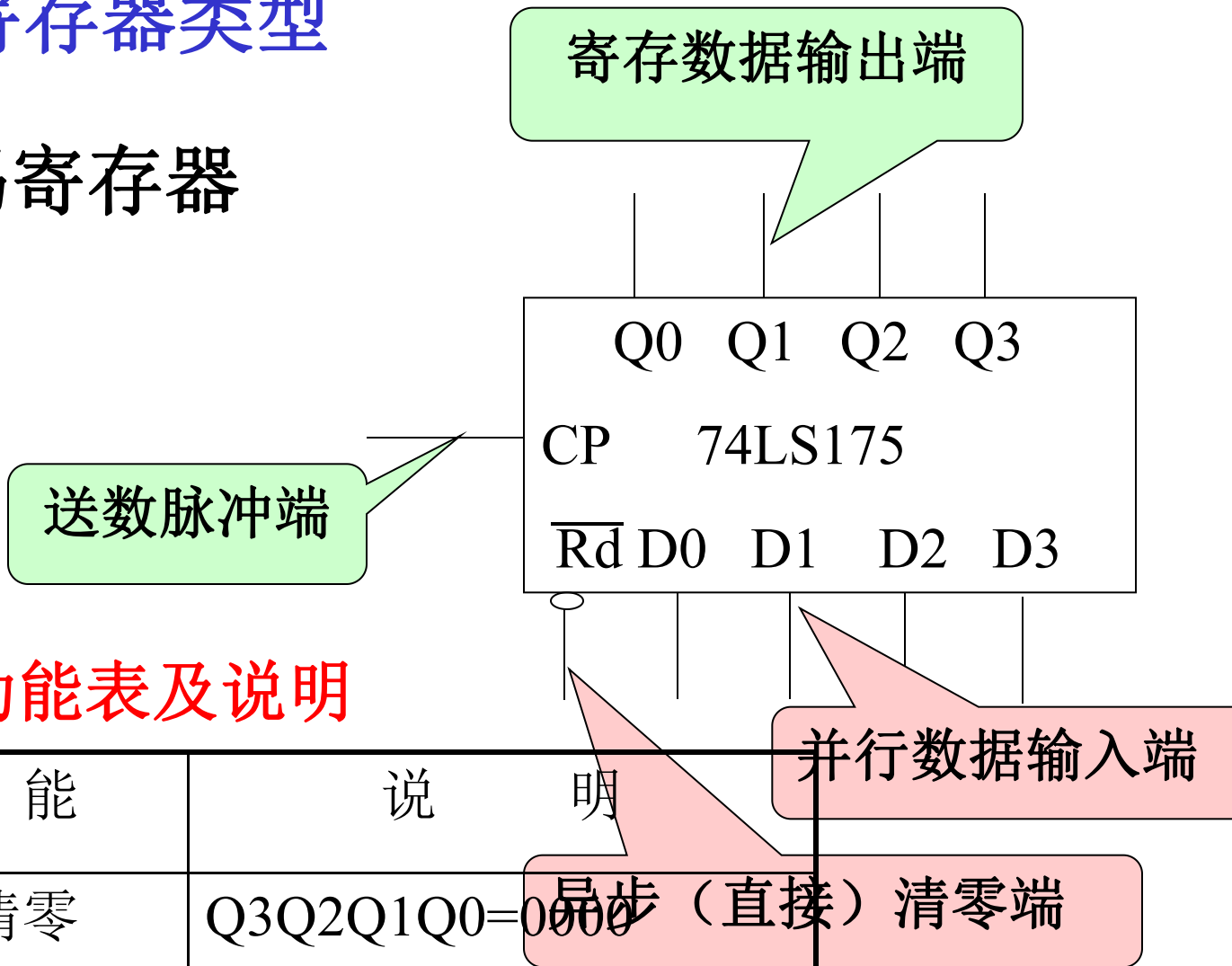


$$CP_i = CP, \quad D_i = Q_{i-1}, \quad D_0 = \bar{Q}_{n-1}$$



3. 寄存器类型

1) 数码寄存器



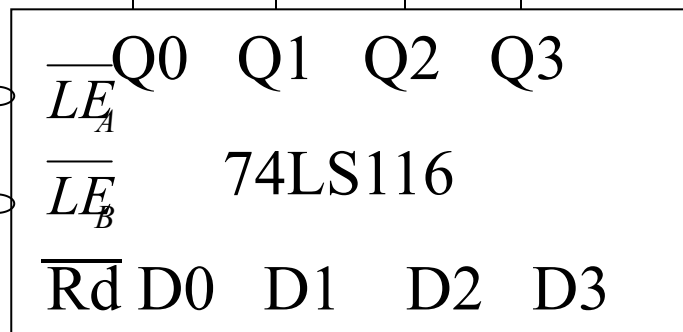
74LS175功能表及说明

| \overline{Rd} | CP | 功 能 | 说 明 |
|-----------------|----|------|-----------------------|
| 0 | × | 直接清零 | $Q_3Q_2Q_1Q_0 = 0000$ |
| 1 | ↑ | 并行送数 | $Q_i^{n+1} = D_i$ |



2) 锁存器

寄存数据输出端



74LS116功能表及说明

| \overline{Rd} | $\overline{LE}_A + \overline{LE}_B$ | 功 能 | 说 明 |
|-----------------|-------------------------------------|------|---------------------|
| 0 | × | 直接清零 | $Q_i = 0$ |
| 1 | 0 | 并行送数 | $Q_i^{n+1} = D_i$ |
| 1 | 1 | 保 持 | $Q_i^{n+1} = Q_i^n$ |

送数端

并行数据输入端

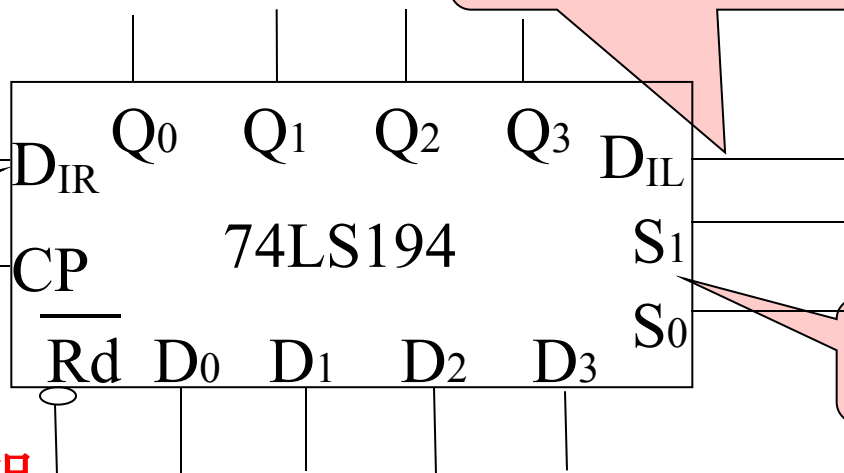
异步（直接）清零端



3) 双向移位寄存器

左移串行数码输入端

右移串行数码输入端



控制端

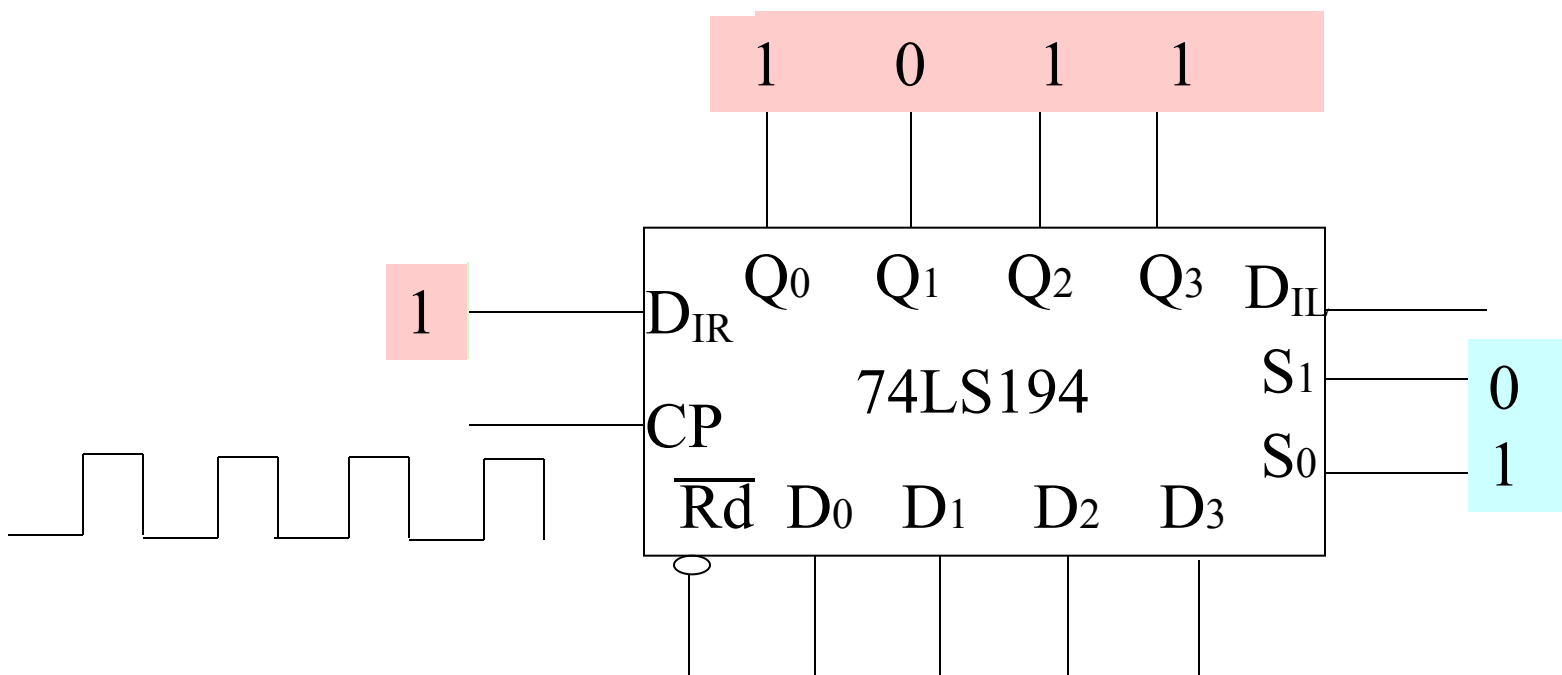
74LS194功能表及说明

| \overline{Rd} | CP | S ₁ | S ₀ | 功 能 | 说 明 |
|-----------------|----|----------------|----------------|------|---|
| 0 | × | × | × | 直接清零 | $Q_i = 0$ |
| 1 | ↑ | 1 | 1 | 并行送数 | $Q_i^{n+1} = D_i$ |
| 1 | ↑ | 0 | 1 | 右 移 | $Q_i^{n+1} = Q_{i-1}^n, Q_0^{n+1} = D_{IR}$ |
| 1 | ↑ | 1 | 0 | 左 移 | $Q_i^{n+1} = Q_{i+1}^n, Q_3^{n+1} = D_{IL}$ |
| 1 | × | 0 | 0 | 保 持 | $Q_i^{n+1} = Q_i^n$ |
| 1 | 0 | × | × | 保 持 | $Q_i^{n+1} = Q_i^n$ |



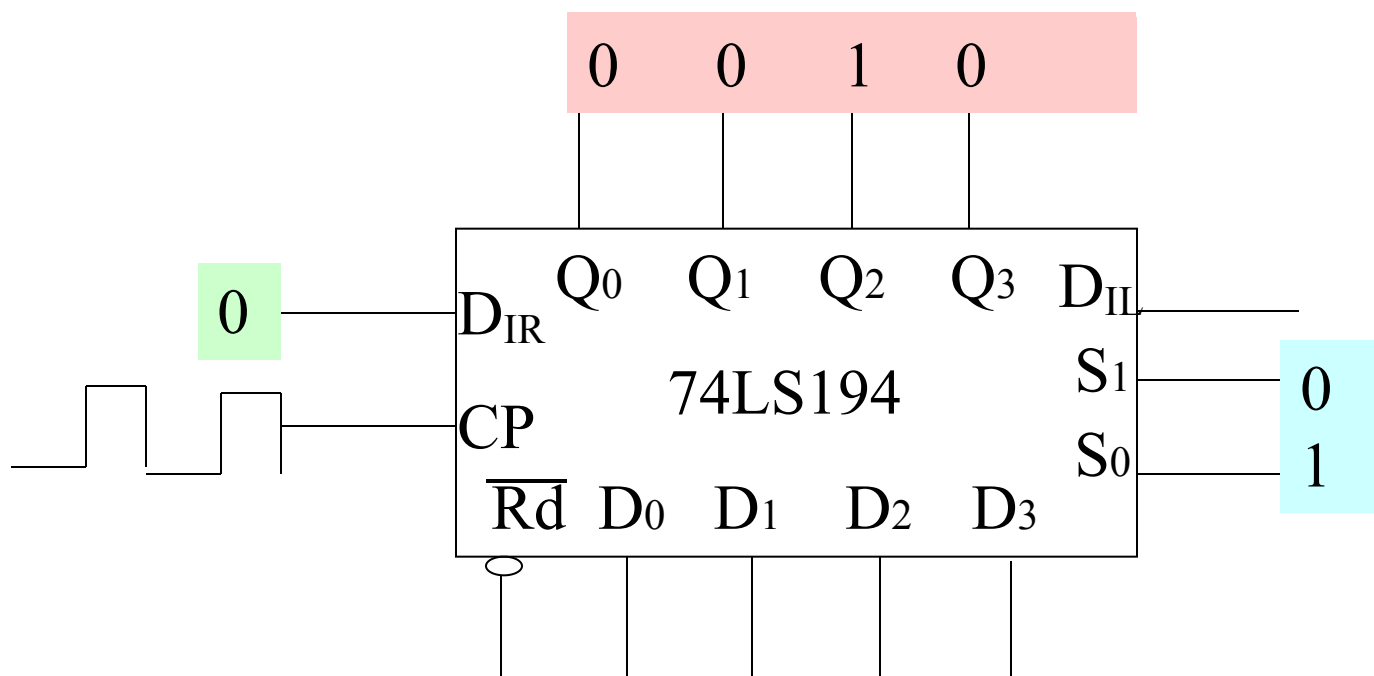
4. 寄存器的应用

1) 串行输入数据



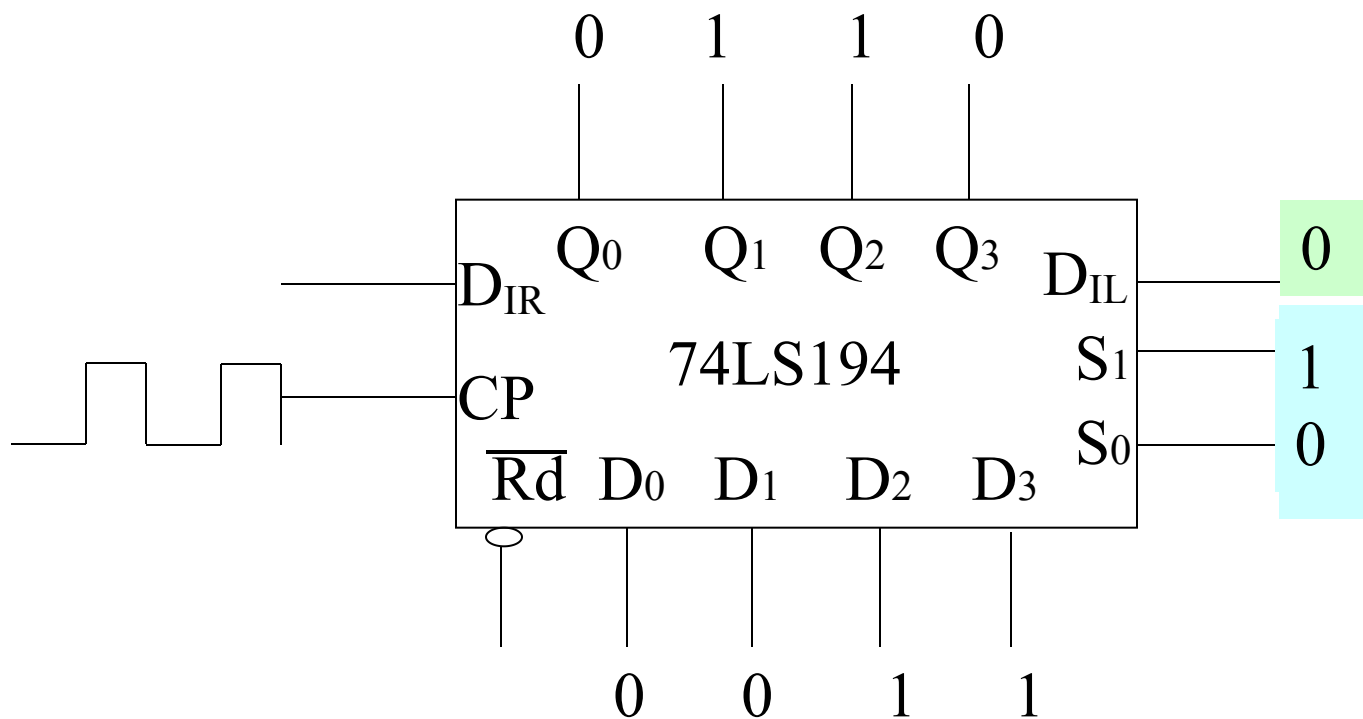


2) 乘2运算





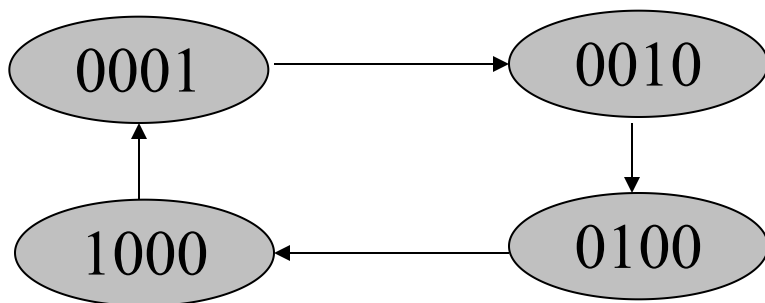
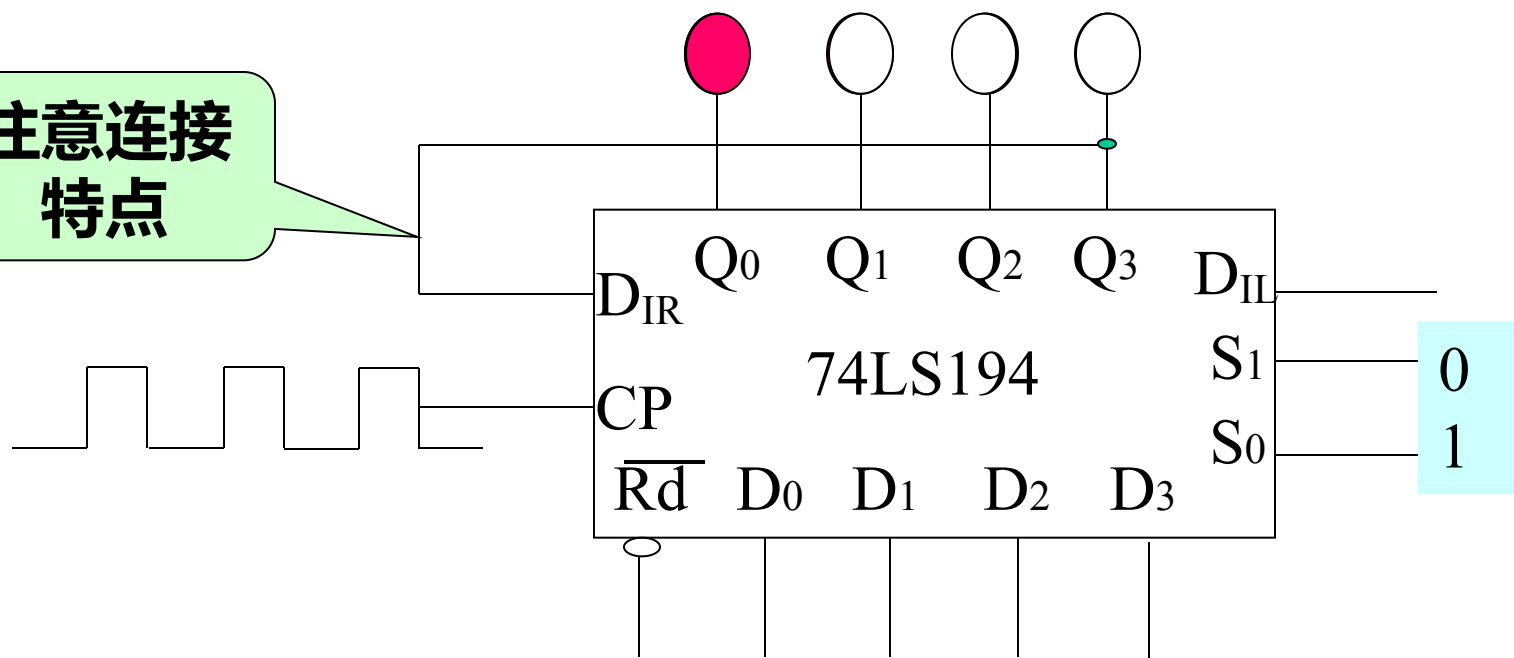
3) 除2运算





4) 构成环形移位寄存器

注意连接特点





5) 构成扭环形移位寄存器

连接端子的变化

