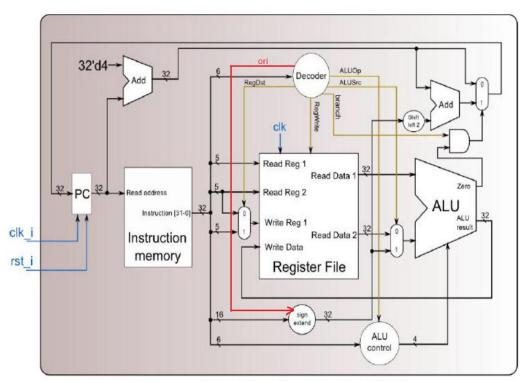
Computer Organization

0616032 張哲銓 0616018 林哲宇

Architecture diagram:



Top module: Simple_Single_CPU

Detailed description of the implementation:

先利用 Decoder. v 設定每個指令的各種 control signals 和 ALU_Op, 再利用 ALU_Ctrl. v 設定每個 ALU_Op 對應到的 ALU_Ctrl ,之後用 ALU. v 去設定每個指令應該要做的事,然後就照 著每個. v 檔要我們做的事去做

其中比較特別的地方是在 Sign_Extend. v 的部分,總共有三個

指令必須做 zero-extension 而不是 sign-extension ,分別是 ori、 sra 和 sltiu 。

	ALU_Op	ALU_Ctrl
ADDU	010	0010
ADDI	000	0010
SUBU	010	0110
AND	010	0000
OR	010	0001
SLT	010	1000
SLTIU	111	0111
BEQ	001	0110
SRA	010	1001
SRAV	010	1010
LUI	101	1011
ORI	110	0001
BNE	011	0101

Problems encountered and solutions:

剛開始對如何設定 ALU_op 和 ALU_ctrl 有點不太清楚,但漸漸就看懂了,這次作業算是第一次的延伸,讓我們更了解每個指令該怎麼做使用,這次的 debug 相較上次也久了許多,但也學到更多。

Lesson learnt (if any):