

# 信息与电子工程导论

Introduction to Information Science and Electronic Engineering

## 4.2 时序逻辑和有限状态机

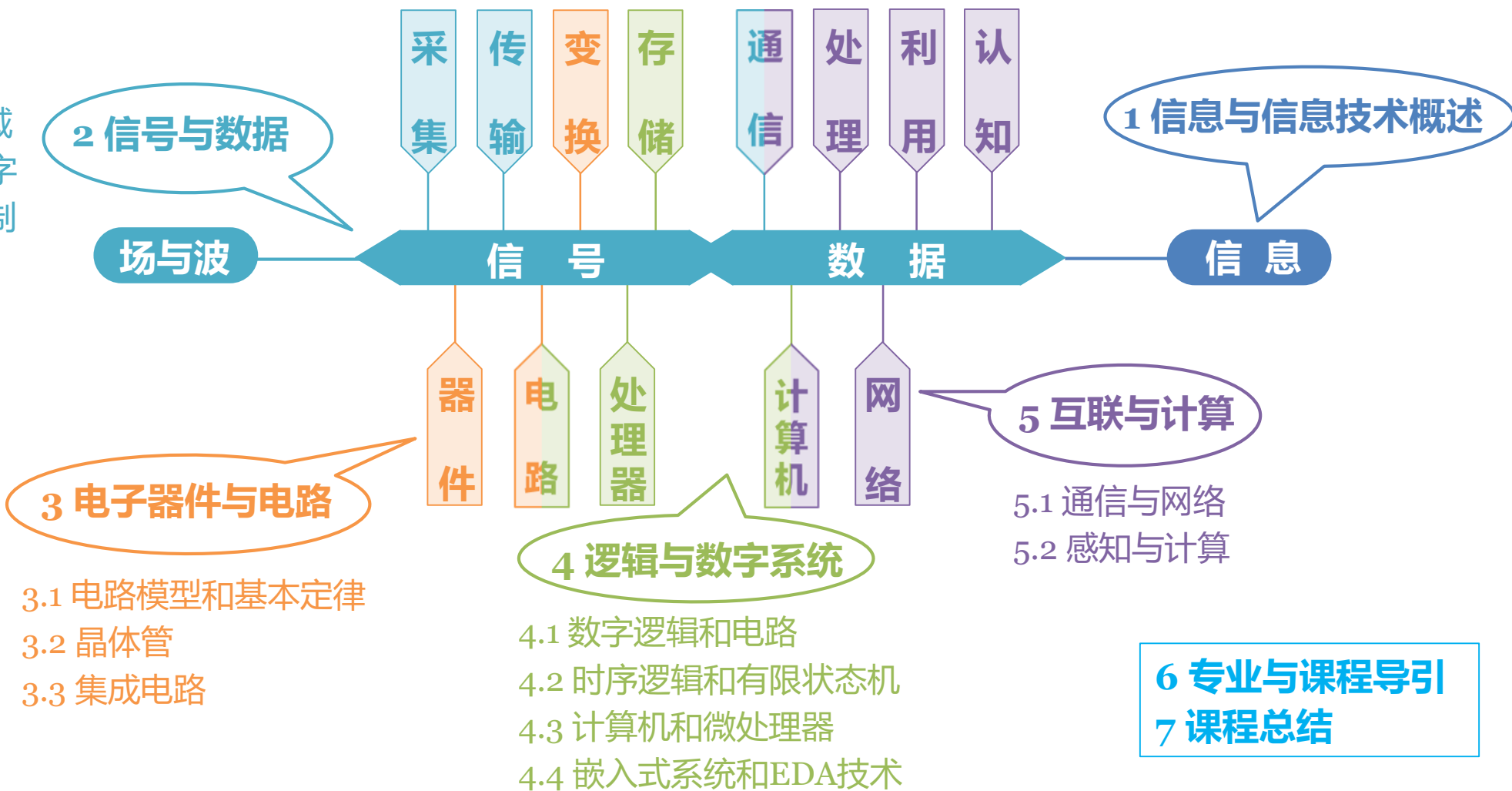
主讲：周成伟

《信息与电子工程导论》课程组

2022年3月25日星期五

# 知识图谱

- 2.1 时域和频域
- 2.2 模拟和数字
- 2.3 编码和调制
- 2.4 场与波



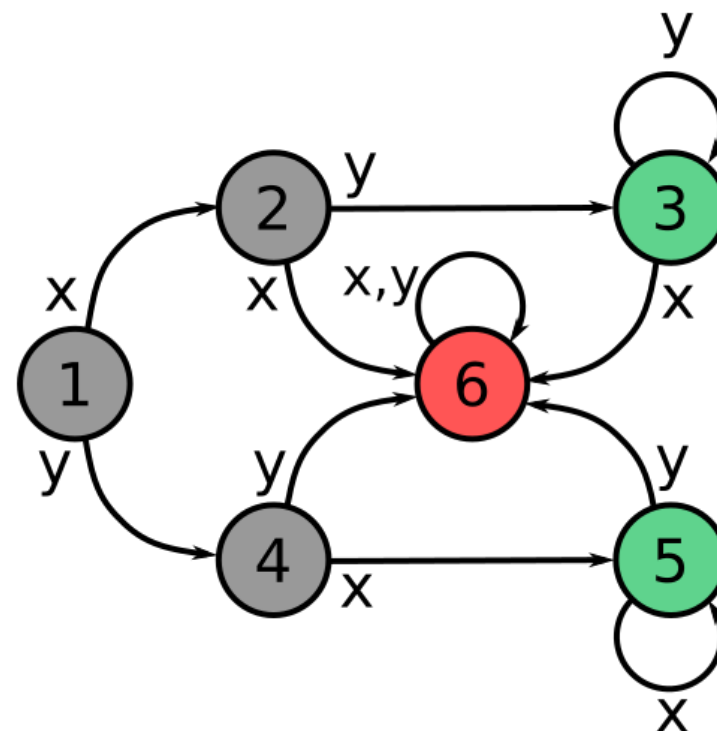
## 内容提要

### ❖ 时序逻辑电路

- SR锁存器
- D锁存器      时序
- D触发器      时钟
- 寄存器

### ❖ 有限状态机

- 状态图
- 有限状态机分析
- 有限状态机综合



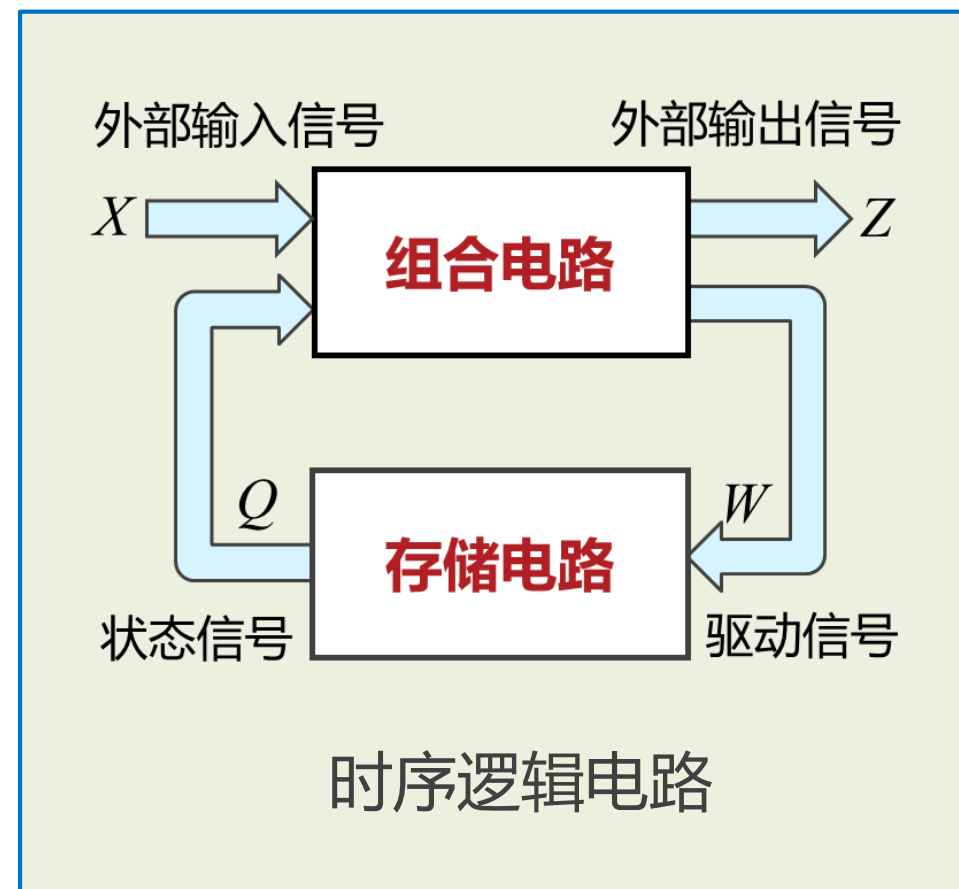
## 数字逻辑电路

❖ 所有数字逻辑电路都可以被分成两类：

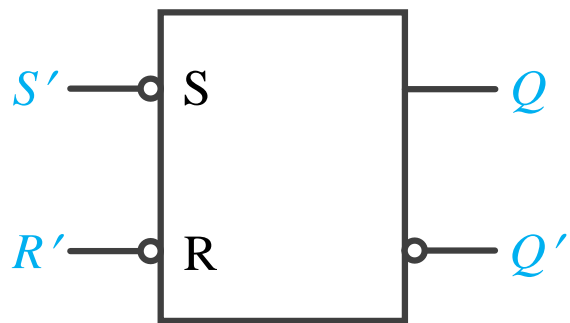
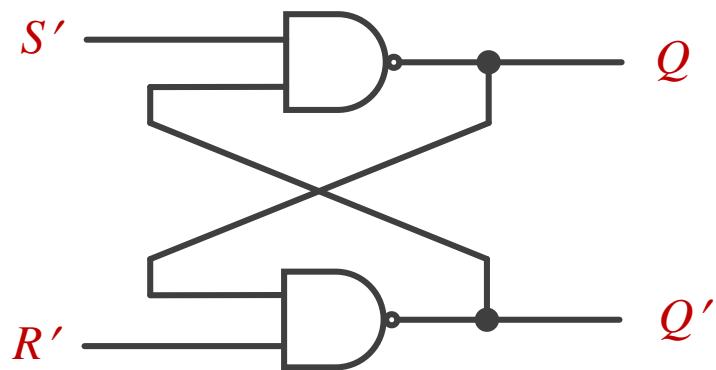
- **组合逻辑电路**：输出只和当前的输入有关，即没有记忆功能。
- **时序逻辑电路**：输出不仅和当前的输入有关，还和以前的输入有关，即具有记忆功能。

❖ 无论是组合逻辑电路，还是时序逻辑电路，都可以由最基本的与门，或门和非门组成。

❖ 所不同的是连接方式不一样，时序逻辑电路的基本门电路连接中，带有**反馈回路**。



## SR锁存器



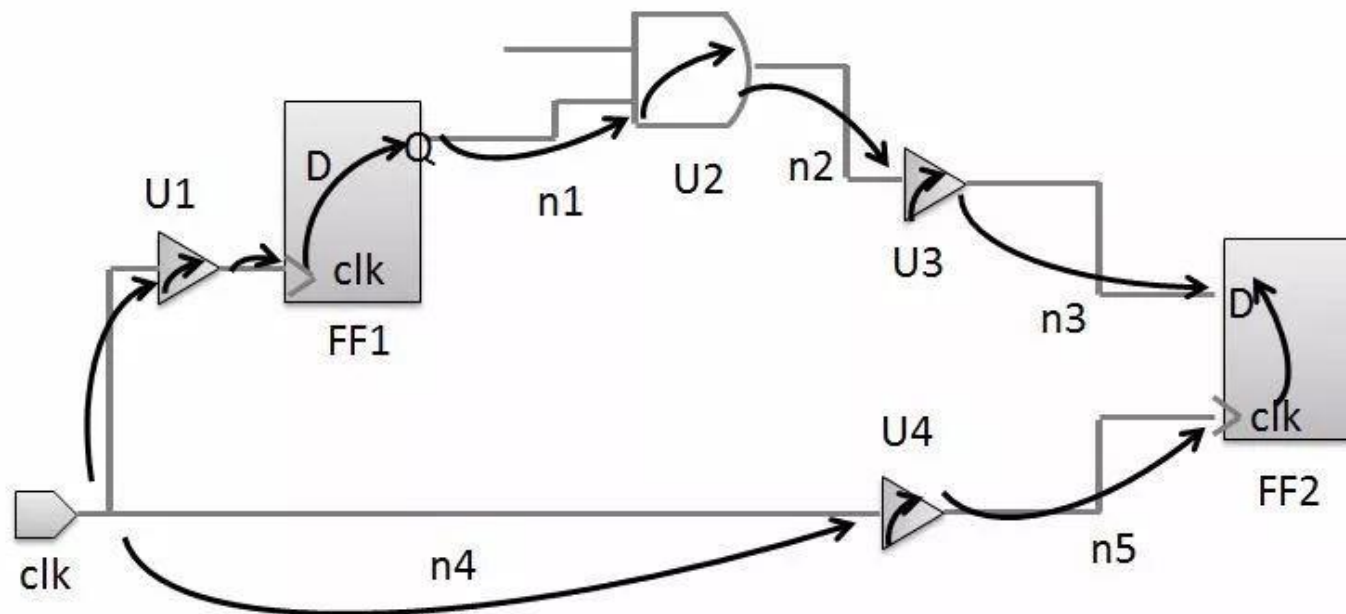
$S'$	$R'$	$Q$	$Q_{\text{next}}$	功能
0	0	0	×	不定
0	0	1	×	
0	1	0	1	$Q_{\text{next}} = 1$ 置1
0	1	1	1	
1	0	0	0	$Q_{\text{next}} = 0$ 置0
1	0	1	0	
1	1	0	0	$Q_{\text{next}} = Q$ 保持
1	1	1	1	

❖ 现态  $Q$  锁存器接收输入信号之前的状态。

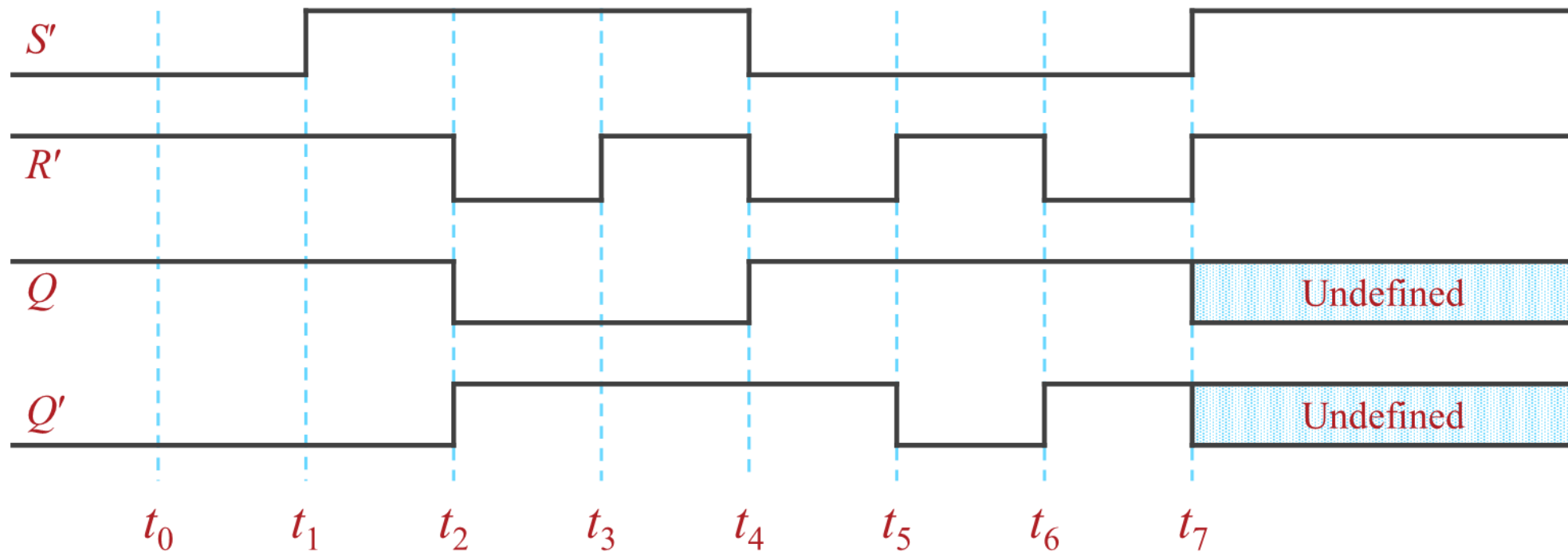
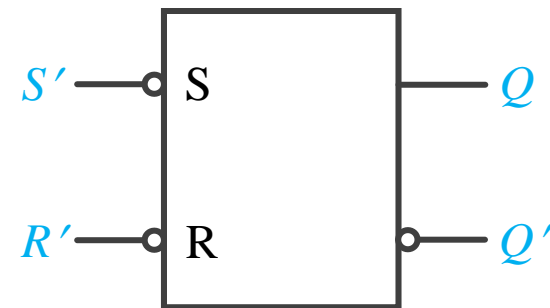
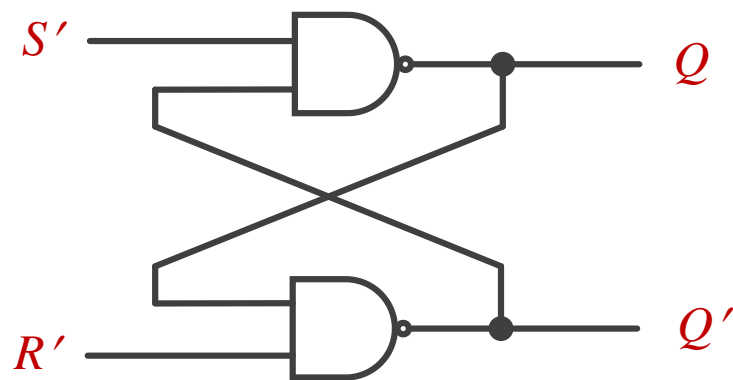
❖ 次态  $Q_{\text{next}}$  锁存器接收输入信号之后的状态。

## 时序

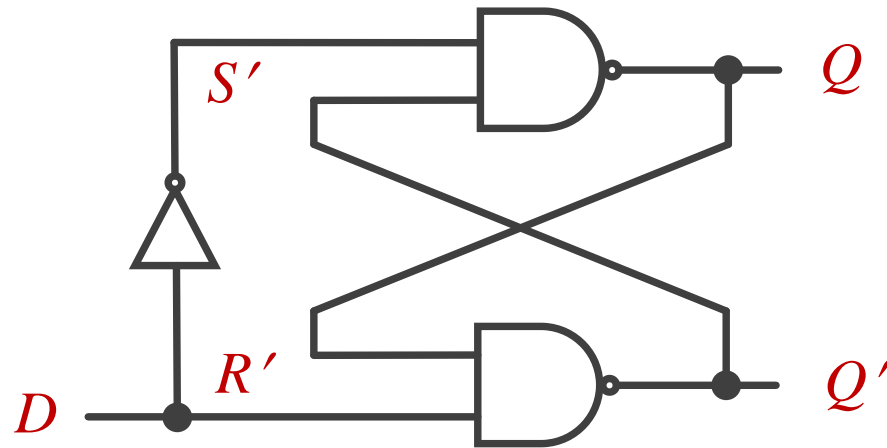
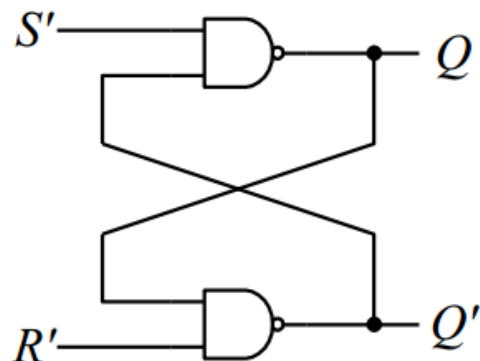
- ❖ **时序，简单说就是时间顺序。**
- ❖ **数字系统中每种数字设备具有特定的逻辑功能，要求各个部分按照预先规定的逻辑程序进行工作，因此，数字系统中的信号是有序的信息流，各信号之间有严格的时序关系。**



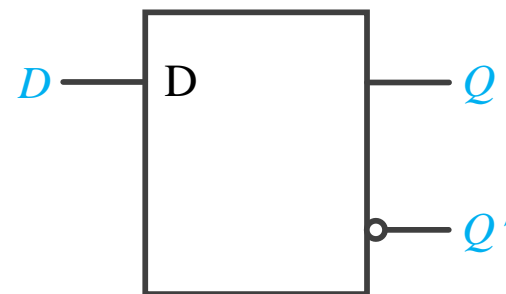
## SR锁存器时序图



## D 锁存器



D锁存器电路图



电路符号

D锁存器真值表

$D$	$Q$	$Q_{\text{next}}$	$Q'_{\text{next}}$
0	$\times$	0	1
1	$\times$	1	0

### ❖ SR锁存器存在的问题:

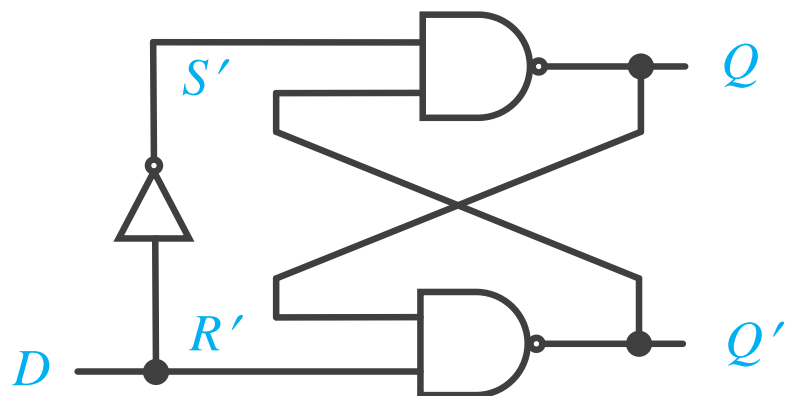
- 输入均为0, 则系统状态可能会进入不稳定或不确定, 应予以避免。

### ❖ 如何避免?

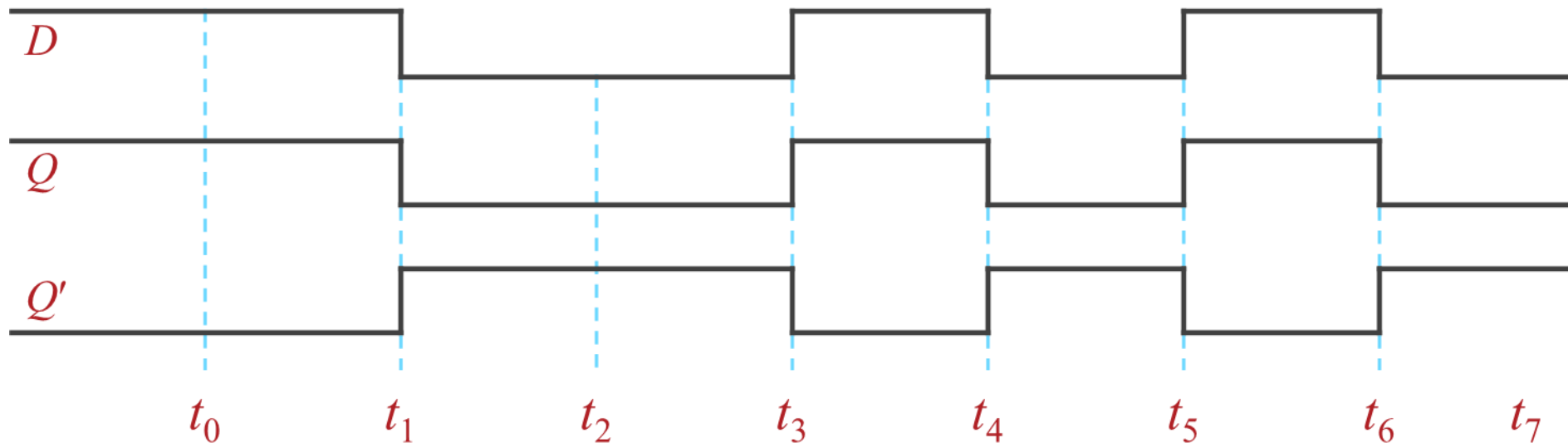
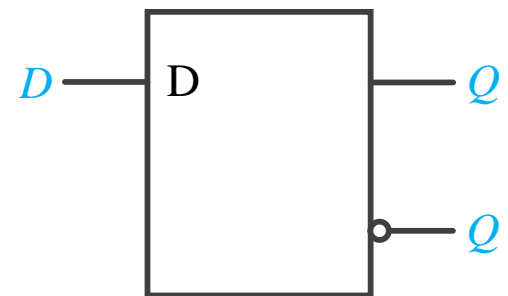
- 仅使用一个输入, 分别将该信号和它的取反信号接入到SR的输入端
- 虽然避免了同时取0的情况, 但也无法同时取1了, 即失去了保持状态的功能。



## D 锁存器的时序图

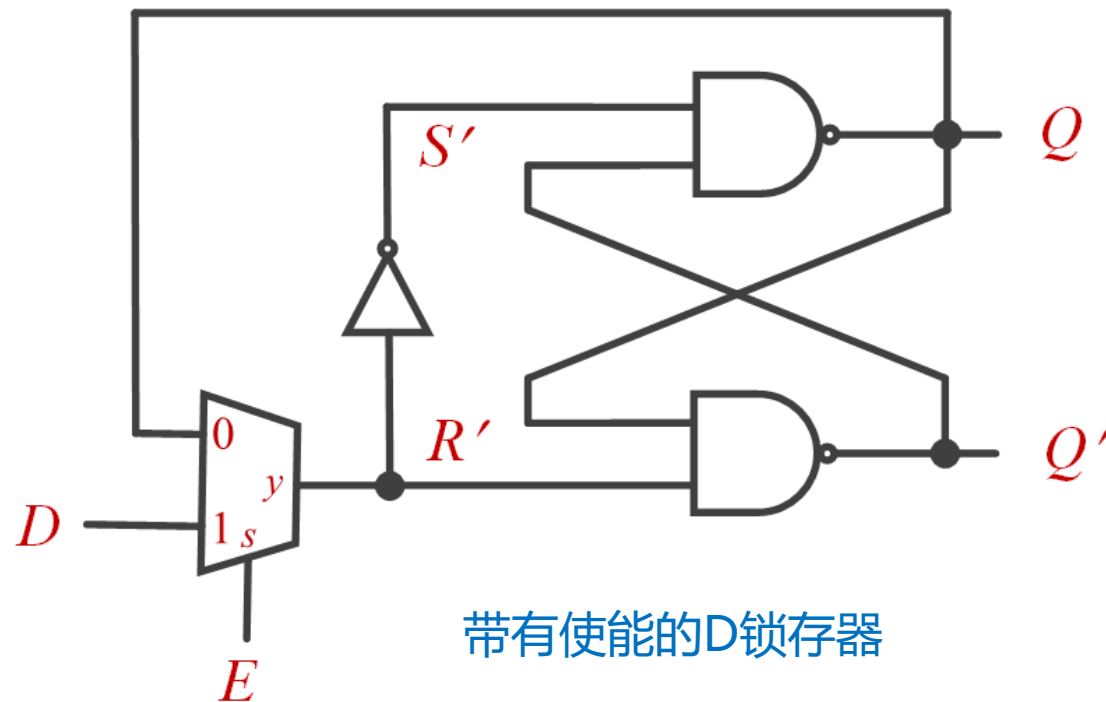
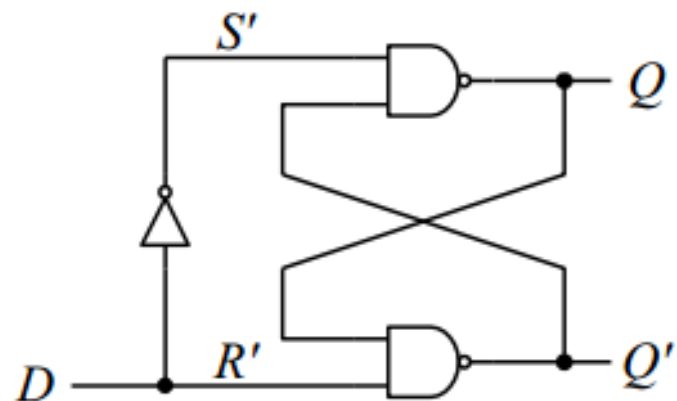


$D$	$Q$	$Q_{\text{next}}$	$Q'_{\text{next}}$
0	$\times$	0	1
1	$\times$	1	0



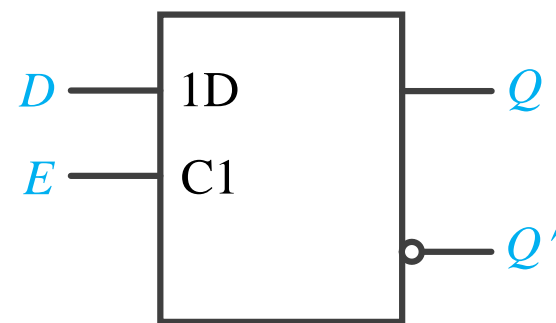
## 带有使能的 D 锁存器

❖ 加入输入使能信号，即带有使能的D锁存器。

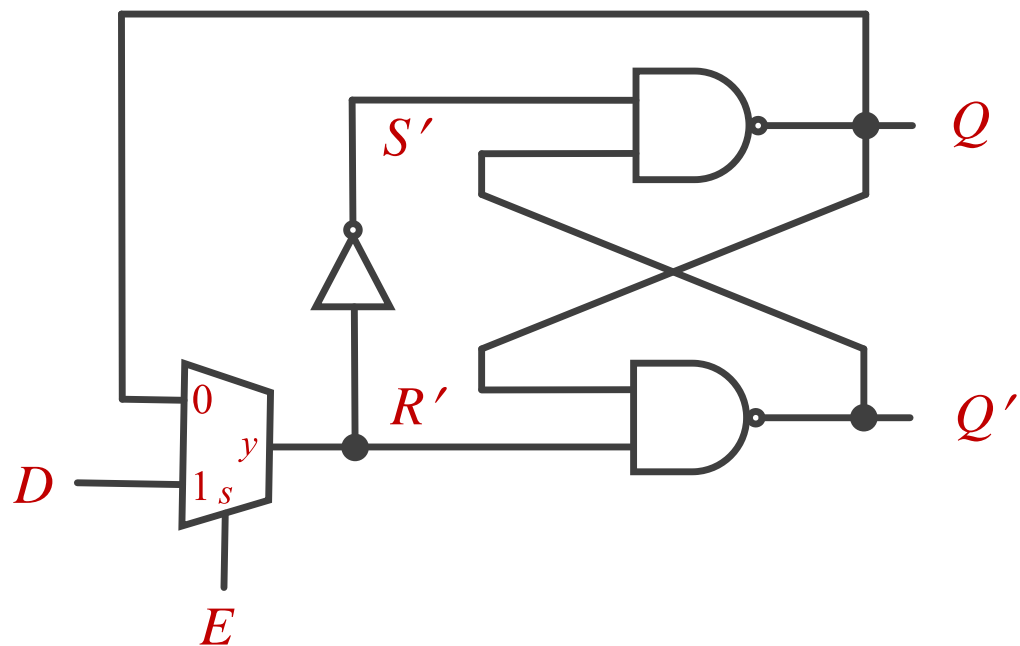


带有使能的D锁存器

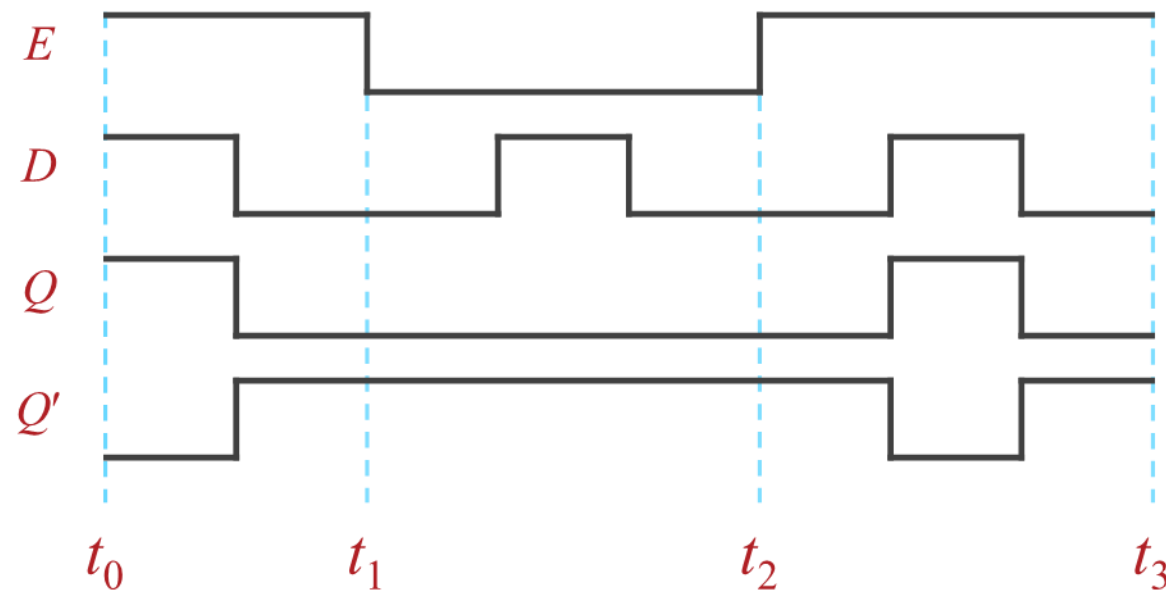
$E$	$D$	$Q$	$Q'$	$Q_{\text{next}}$	$Q'_{\text{next}}$
0	×	0	1	0	1
0	×	1	0	1	0
1	0	×	×	0	1
1	1	×	×	1	0



## 带有使能的 D 锁存器时序图

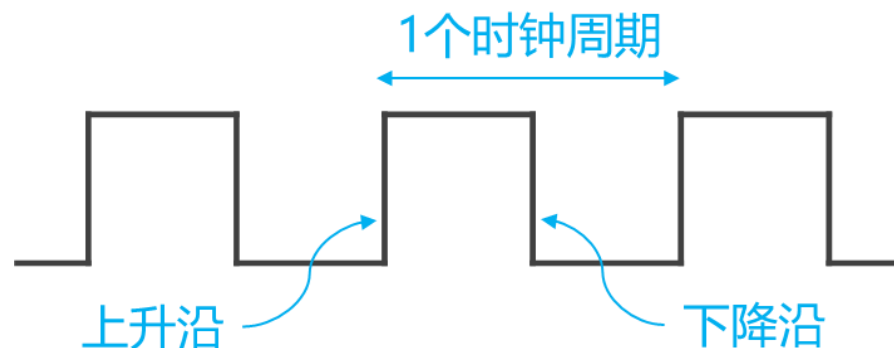


$E$	$D$	$Q$	$Q'$	$Q_{\text{next}}$	$Q'_{\text{next}}$
0	$\times$	0	1	0	1
0	$\times$	1	0	1	0
1	0	$\times$	$\times$	0	1
1	1	$\times$	$\times$	1	0

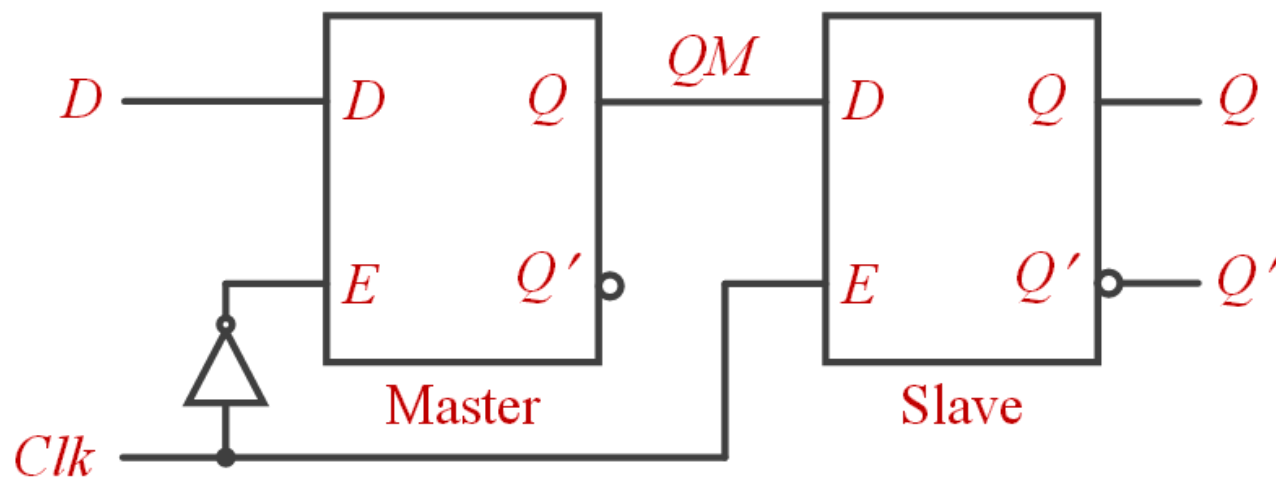


## 时钟与时序电路的同步工作

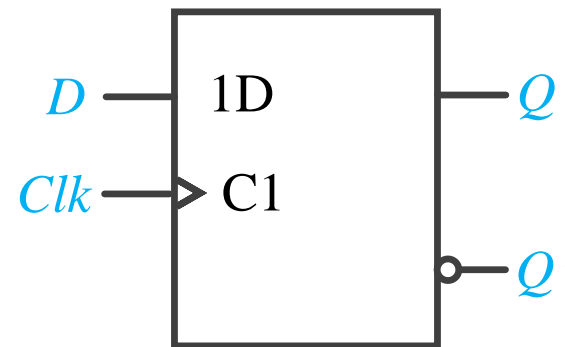
- ❖ 类似于很多人进行起步走一样，需要有一个1-2-1的同步指令，一个复杂的数字系统要正确工作，也需要有一个用于同步的时钟信号。
- ❖ 时钟信号具有上升沿和下降沿，如果可以使用**上升沿**（或**下降沿**）进行触发，则可以实现电路**同步**工作。
- ❖ 如何在锁存器中使用时钟的上升沿或下降沿进行触发？无法做到。
- ❖ 需要一种可以用**时钟边沿**进行触发的时序电路。



## D 触发器



D锁存器级联



D触发器符号

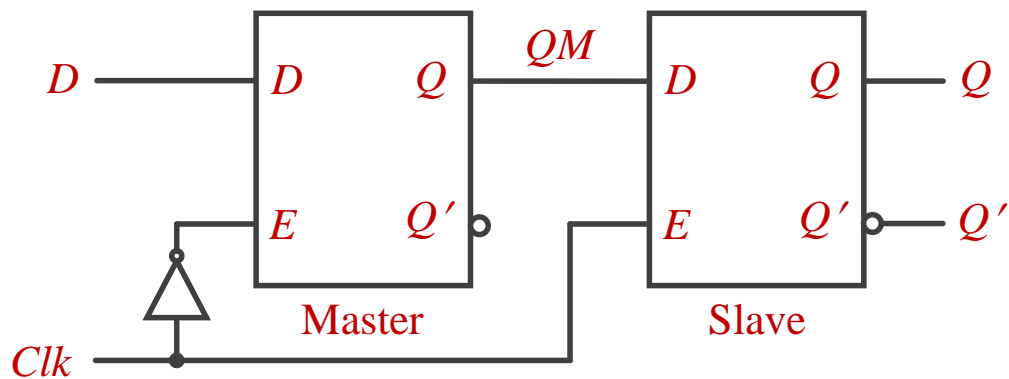
❖ 将两个带使能的 D 锁存器进行级联

❖ 锁存器是电平触发

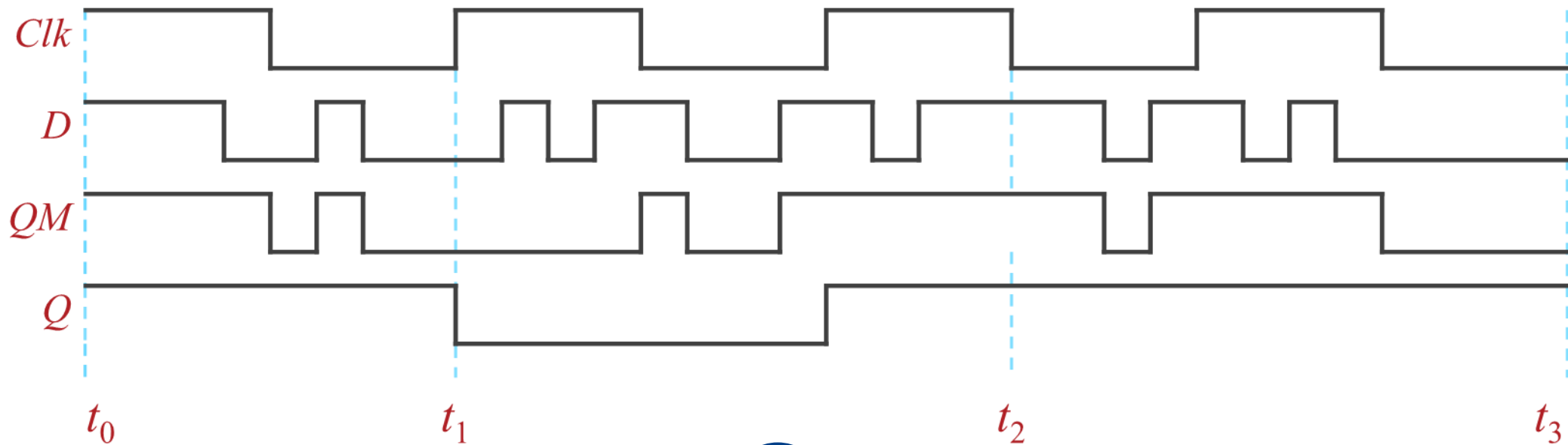
- 对于前一锁存器，只有Clk低电平时的信号能够通过
- 对于后一锁存器，Clk 为高时候的输出，是 Clk 为低时候最后时刻的输入

❖ D 触发器的输出，为 Clk 上升沿时候的信号

## D 触发器时序图

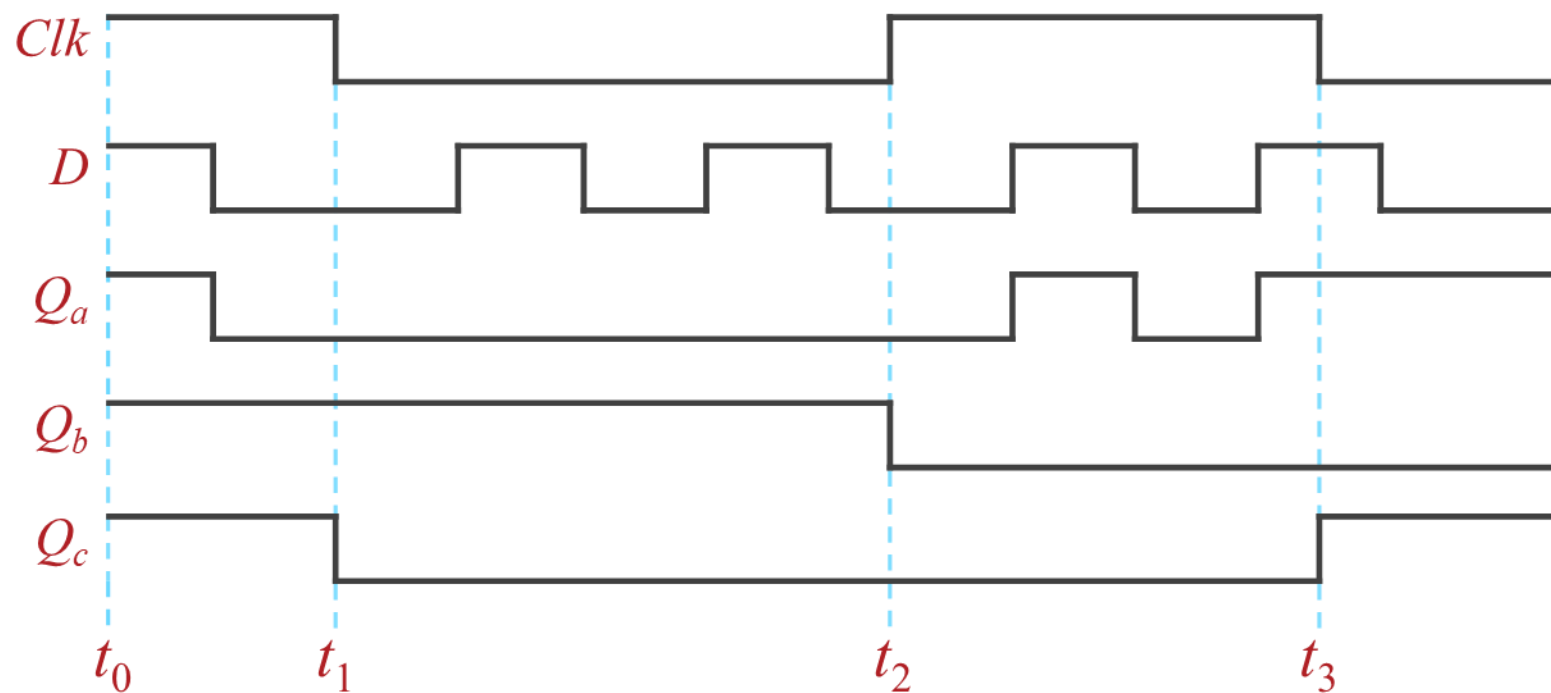
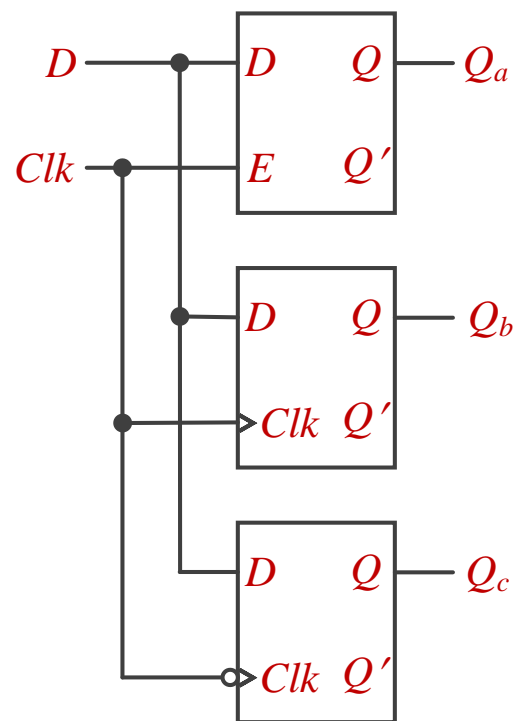


$Clk$	$D$	$Q$	$Q'$	$Q_{\text{next}}$	$Q'_{\text{next}}$
0	×	0	1	0	1
0	×	1	0	1	0
1	×	0	1	0	1
1	×	1	0	1	0
↑	0	×	×	0	1
↑	1	×	×	1	0



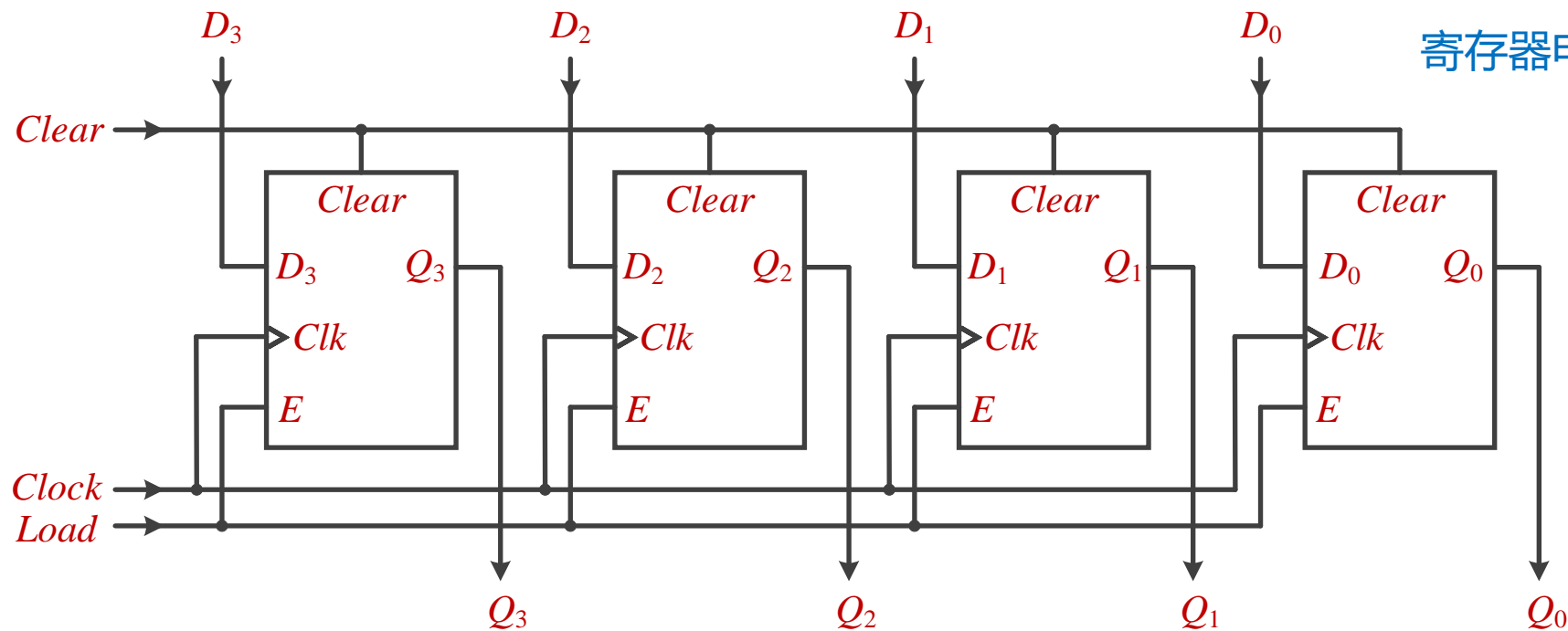
## D锁存器与D触发器功能比较

- ❖ 第一个是D锁存器，只要时钟为高电平，输出即等于输入。
- ❖ 第二个是上升沿触发，只有在时钟上升沿出现的信号才会被采样输出。
- ❖ 第三个是下降沿触发，只有在时钟下降沿出现的信号才会被采样输出。



## 寄存器

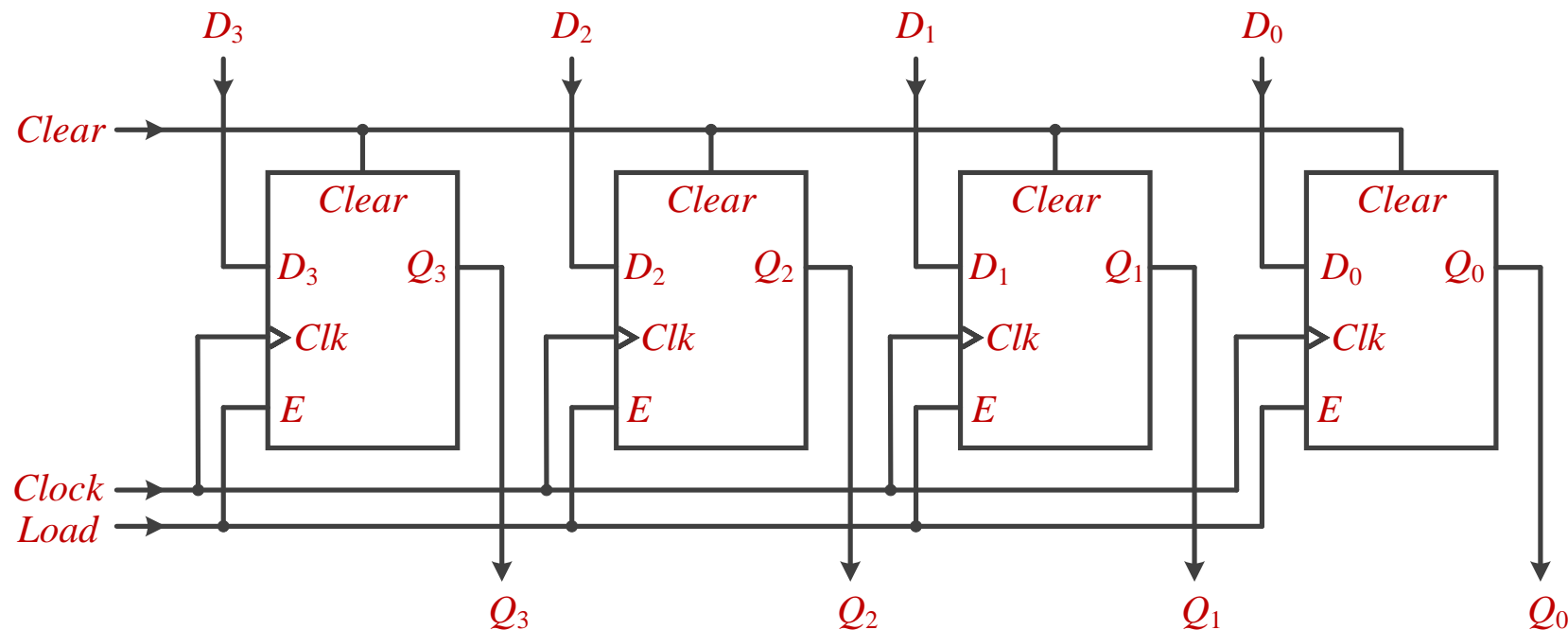
寄存器电路结构图



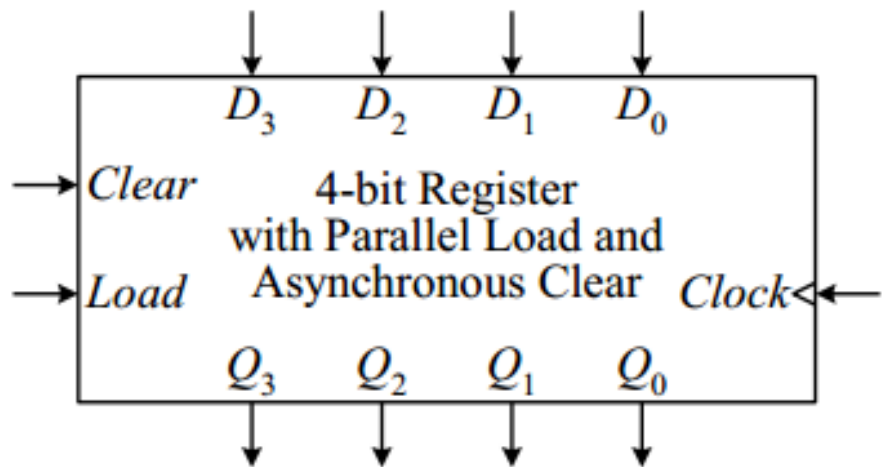
- ❖ 将 $n$ 个D触发器并行连接，即可构成一个 $n$ 位的寄存器
- ❖ 在同一个时刻（时钟上升沿），输出信号的每一位被更新为对应的输入信号，输出是同步的。
- ❖ 两个控制信号Clear和Load
  - $Clear=1$  (有效) 时，寄存器所有输出位均为0
  - $Load=1$  (有效) 时，寄存器才会在  $Clk$  上升沿进行更新，否则不变。



# 寄存器



寄存器符号



控制信号功能说明

<i>Clear</i>	<i>Load</i>	Operation
1	×	Reset register to zero asynchronously
0	0	No change
0	1	Load in <i>D</i> value at rise clock edge

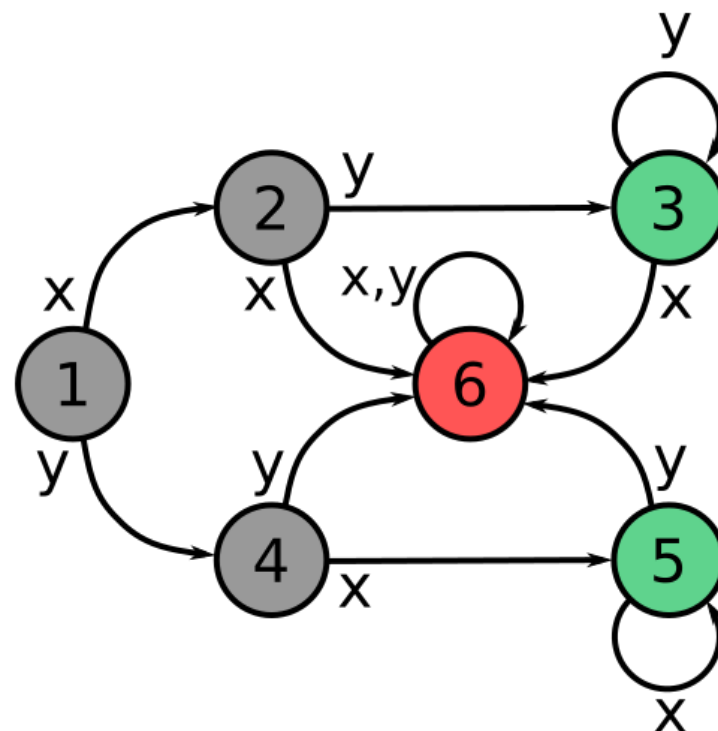
## 内容提要

### ❖ 时序逻辑电路

- SR锁存器
- D锁存器      时序
- D触发器      时钟
- 寄存器

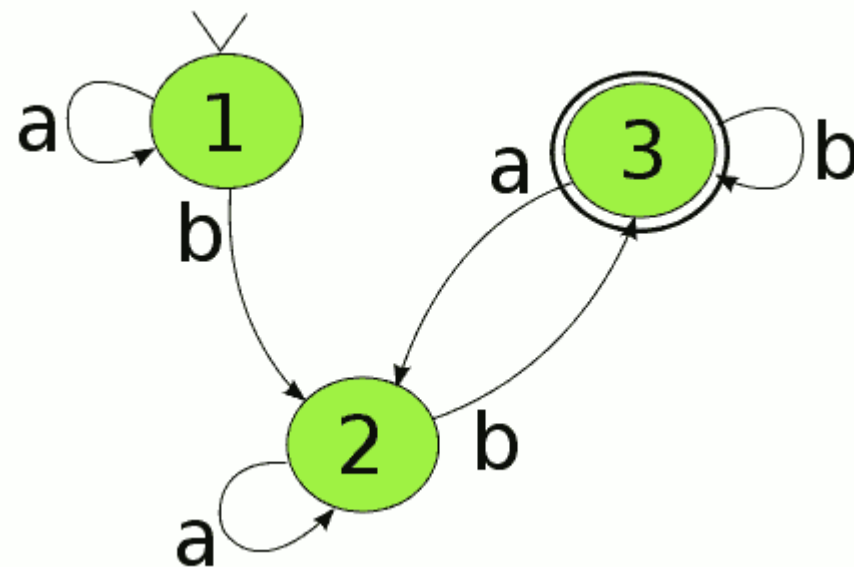
### ❖ 有限状态机

- 状态图
- 有限状态机分析
- 有限状态机综合



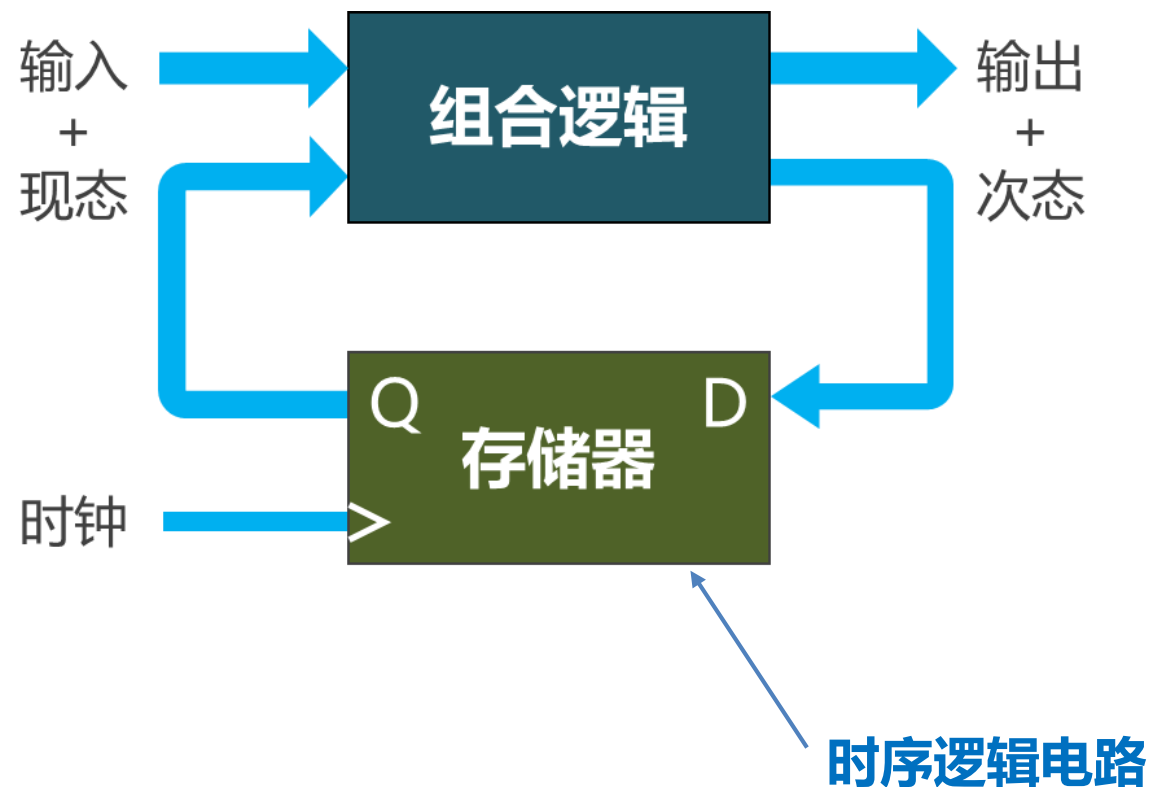
## 有限状态机 (Finite-State Machine, FSM) 概念

- ❖ 有限状态机又称有限状态自动机，简称状态机，是表示有限个状态以及在这些状态之间的转移和动作等行为的数学模型。
- ❖ 是一种用来进行对象行为建模的工具，其作用主要是描述对象在它的生命周期内所经历的状态序列，以及如何响应来自外界的各种事件。
- ❖ 特征
  - 状态总数 (state) 是有限的。
  - 任一时刻，只处在一种状态之中。
  - 某种条件下，会从一种状态转变 (transition) 到另一种状态。



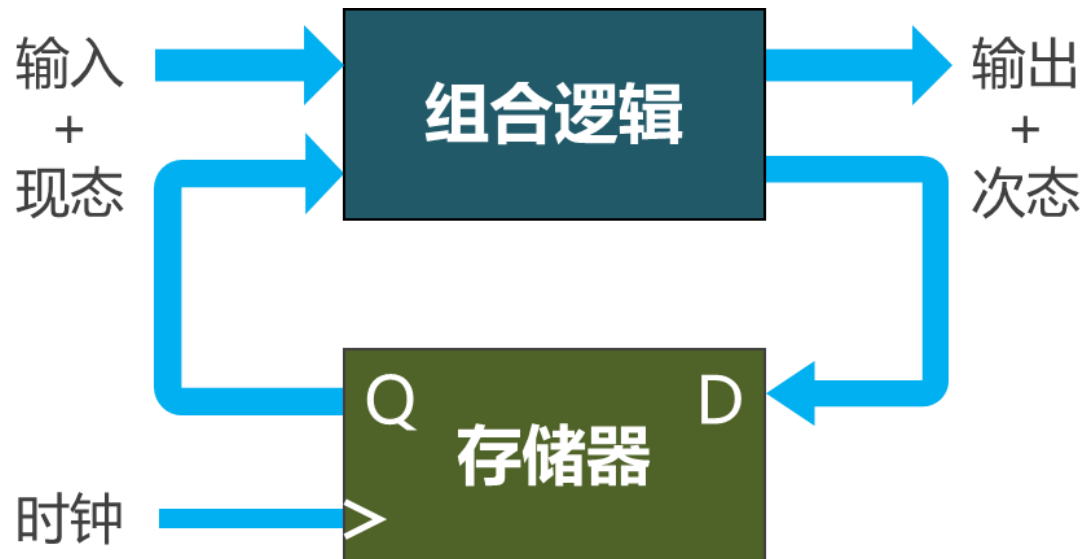
## 有限状态机电路

- ❖ 有限状态机是一种实现多个状态任务的时序电路的有效抽象。
- ❖ 要完成一个任务，需要分很多步骤，每个步骤看成一个状态。
- ❖ 有限状态机由组合逻辑和时序逻辑（寄存器）两部分组成。
- ❖ 有限状态机的“有限”是指状态机的状态数目是有限的。



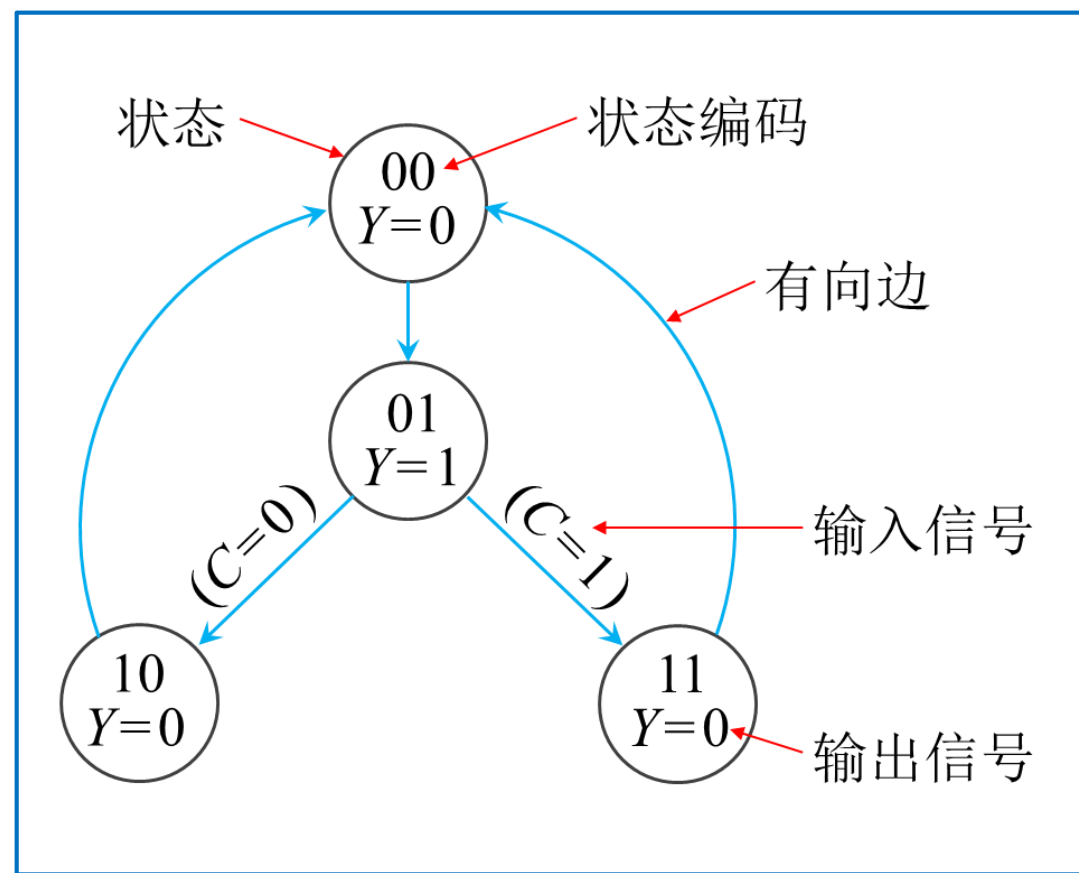
## 有限状态机

- ❖ 每个**时钟周期**可以看成是一个状态
- ❖ 在每一个**时钟边沿**，组合电路根据当前输入和当前状态计算输出和下一状态。
- ❖ 虽然状态的数量有限，但是，有限状态机可以不止一次地进入这些状态，所以该有限状态机经过的**状态序列可以无限长**。
- ❖ 有限状态机是所有微处理器的控制电路。
- ❖ 有限状态机的状态是决定性的，不是随机的。在当前状态下，只要输入信号确定了，组合电路输出的下一状态就是确定的。



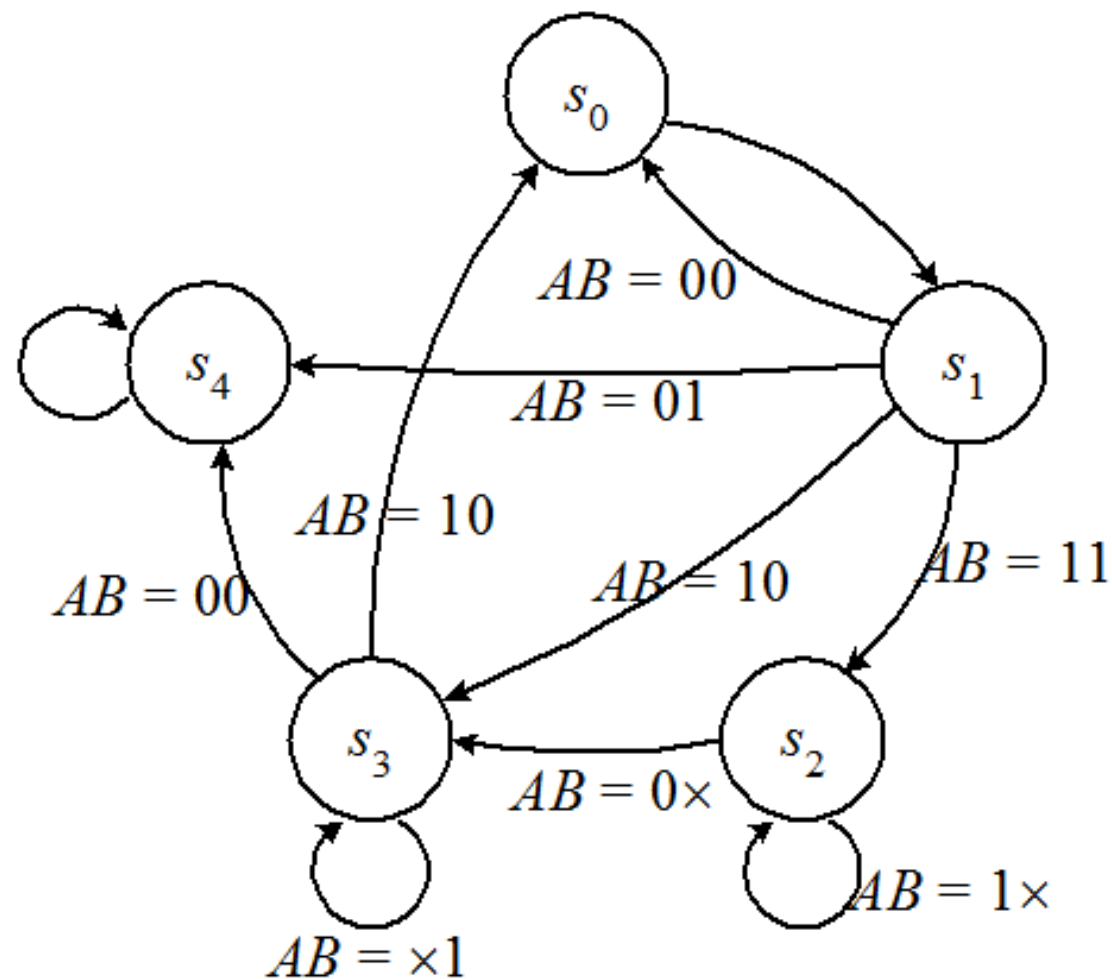
## 状态机的描述：状态图

- ❖ 状态图是用于精准描述有限状态机的工作的。
- ❖ 状态图是由多个节点以及节点间连接的有向边构成的确定性图。
- ❖ 有向边表示的是状态之间的跳转，可以是条件性跳转，也可以是无条件跳转。
- ❖ 图中，圆圈表示状态节点，或简称状态，圆圈中的二进制表示状态编码，圆圈中的表达式表示该状态下的输出。
- ❖ 图中，有向边上的表达式表示跳转条件。若无，则是无条件跳转。



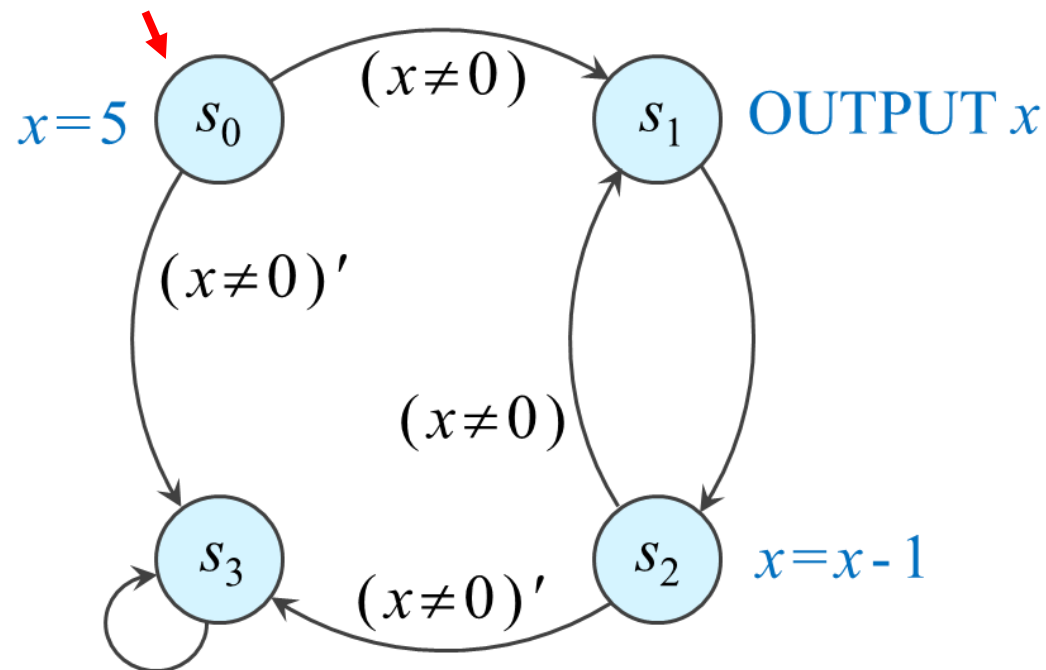
## 状态图示例

- ❖ 圆圈表示状态节点，其中的字符表示状态名称。
- ❖ A和B是状态机的输入信号，在每个状态下，AB的值决定了状态机的跳转。
- ❖  $\times$  表示无关项，即取0或1皆可。
- ❖ 无条件跳转时，有向边上不标注跳转条件。



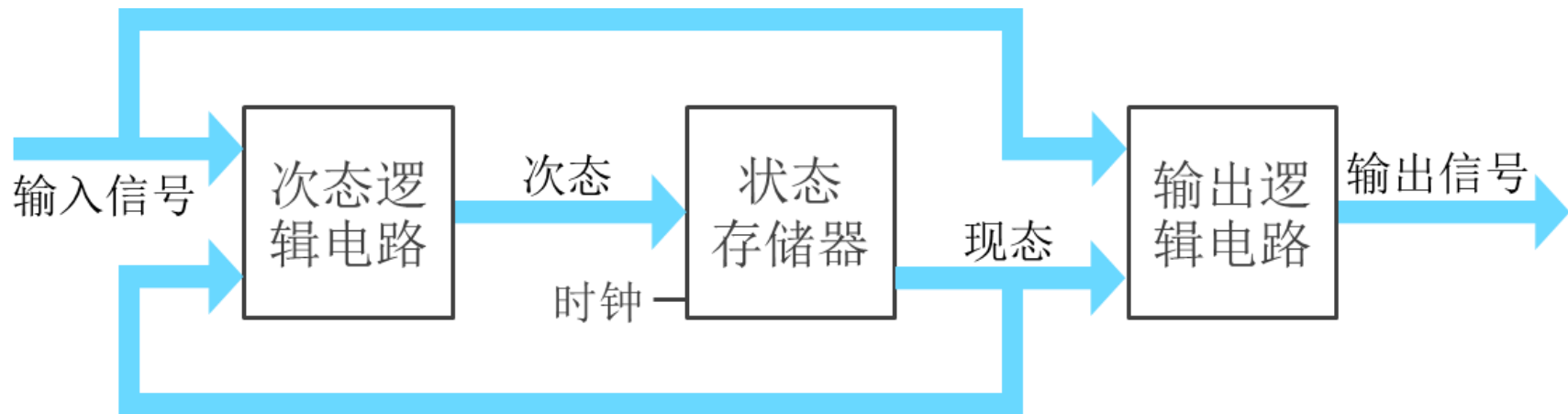
## 状态图设计

- ❖ 根据跟定的任务写出任务的伪代码
- ❖ 把对于数据的运算和操作对应到状态图的状态节点。
- ❖ 任务所需操作的流程以及条件测试对应到状态图的有向边。
- ❖ 右边例子中，3个操作外加最终的1个停止状态，一共4个状态。
- ❖ 根据伪代码中的执行流程图，可以写出每个状态到下一状态的跳转条件。

$$x = 5$$
$$\text{WHILE } (x \neq 0) \{$$
$$\text{OUTPUT } x$$
$$x = x - 1$$
$$\}$$




## FSM模型



### ❖ 次态逻辑 (next-state logic circuit)

- 组合电路；输出依赖于当前状态和当前输入；输出决定了状态机的下一个状态

### ❖ 状态寄存器 (state memory register)

- 时序电路；由多个D触发器构成；触发器的数据  $n$  决定了最大状态数  $2^n$

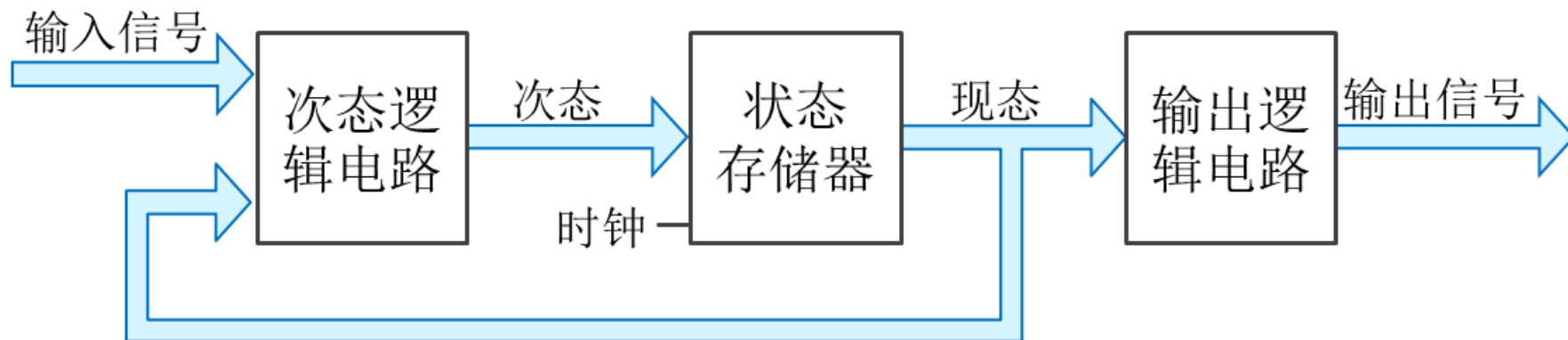
### ❖ 输出逻辑 (output logic circuit)

- 组合逻辑；输出依赖于当前状态 (Moore) 或同时依赖于当前状态和当前输入 (mealy)；输出控制信号

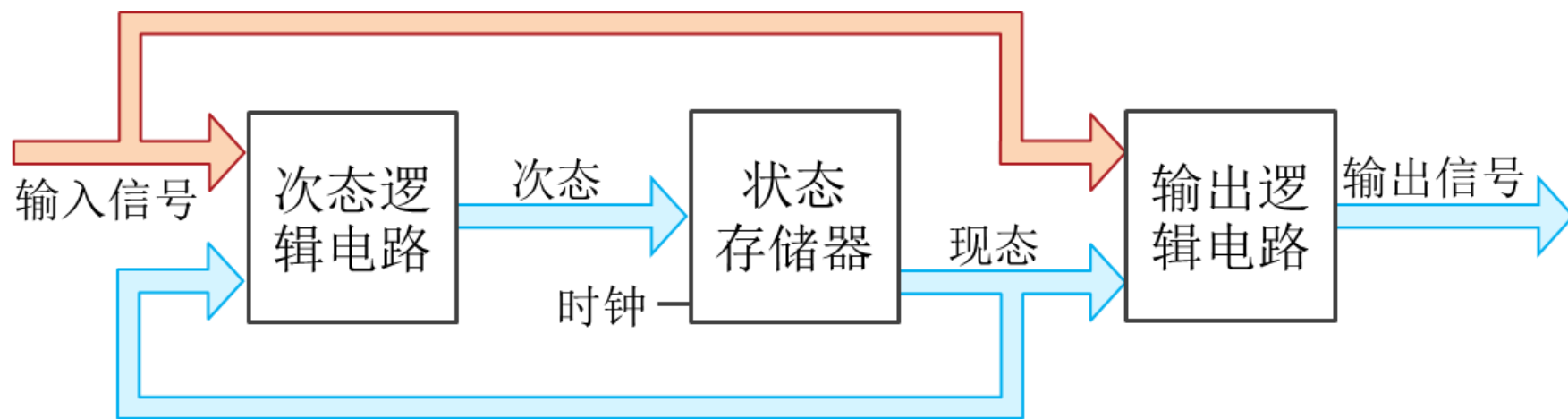
### ❖ 时钟：每次时钟上升沿状态寄存器内容发生变化，即发生状态跳转。

## 两种状态机

### Moore状态机

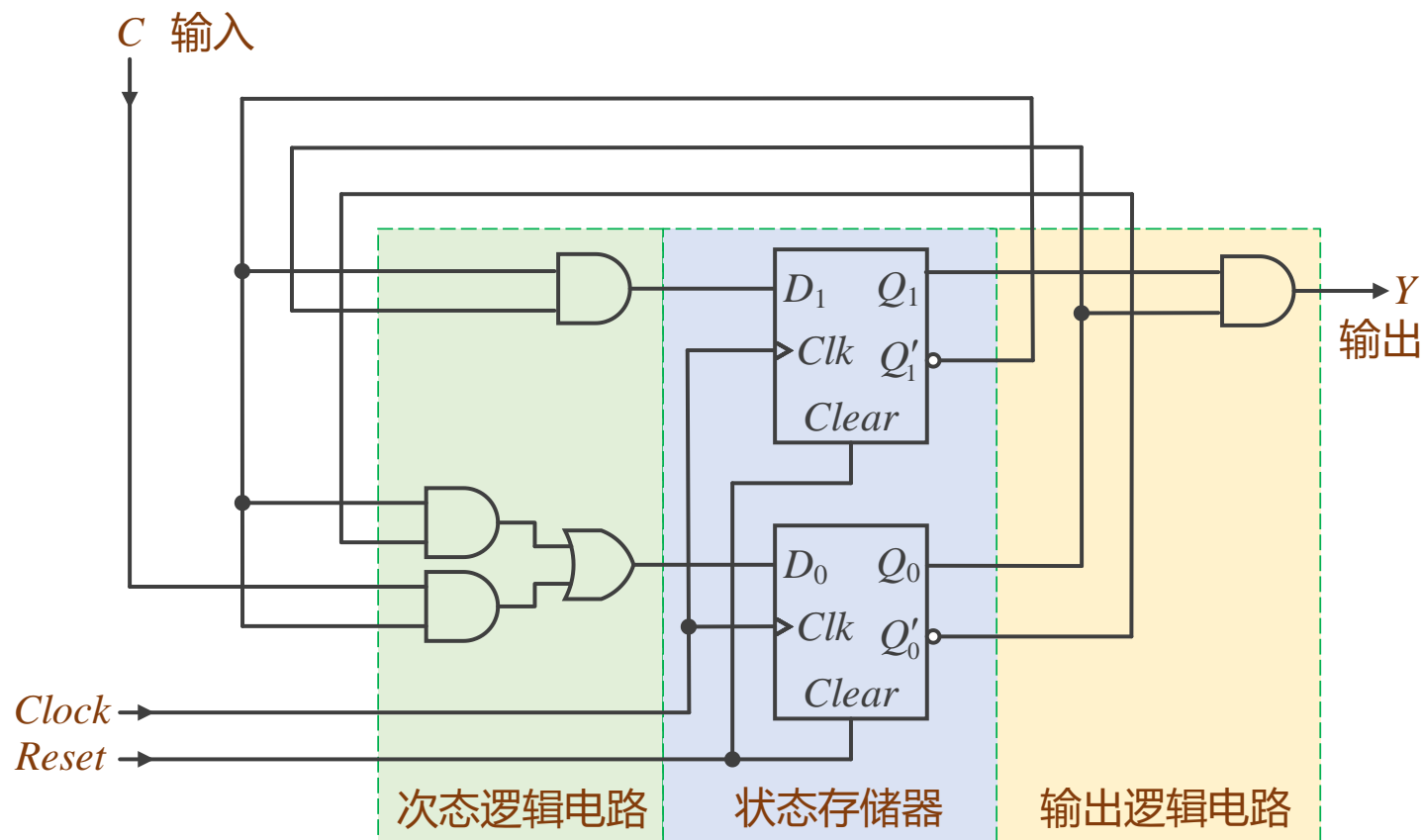
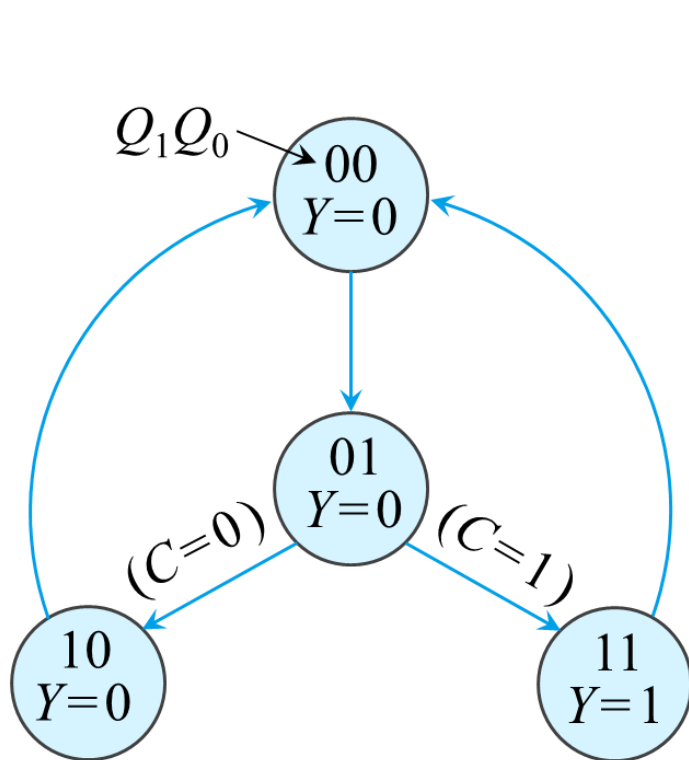


### Mealy状态机



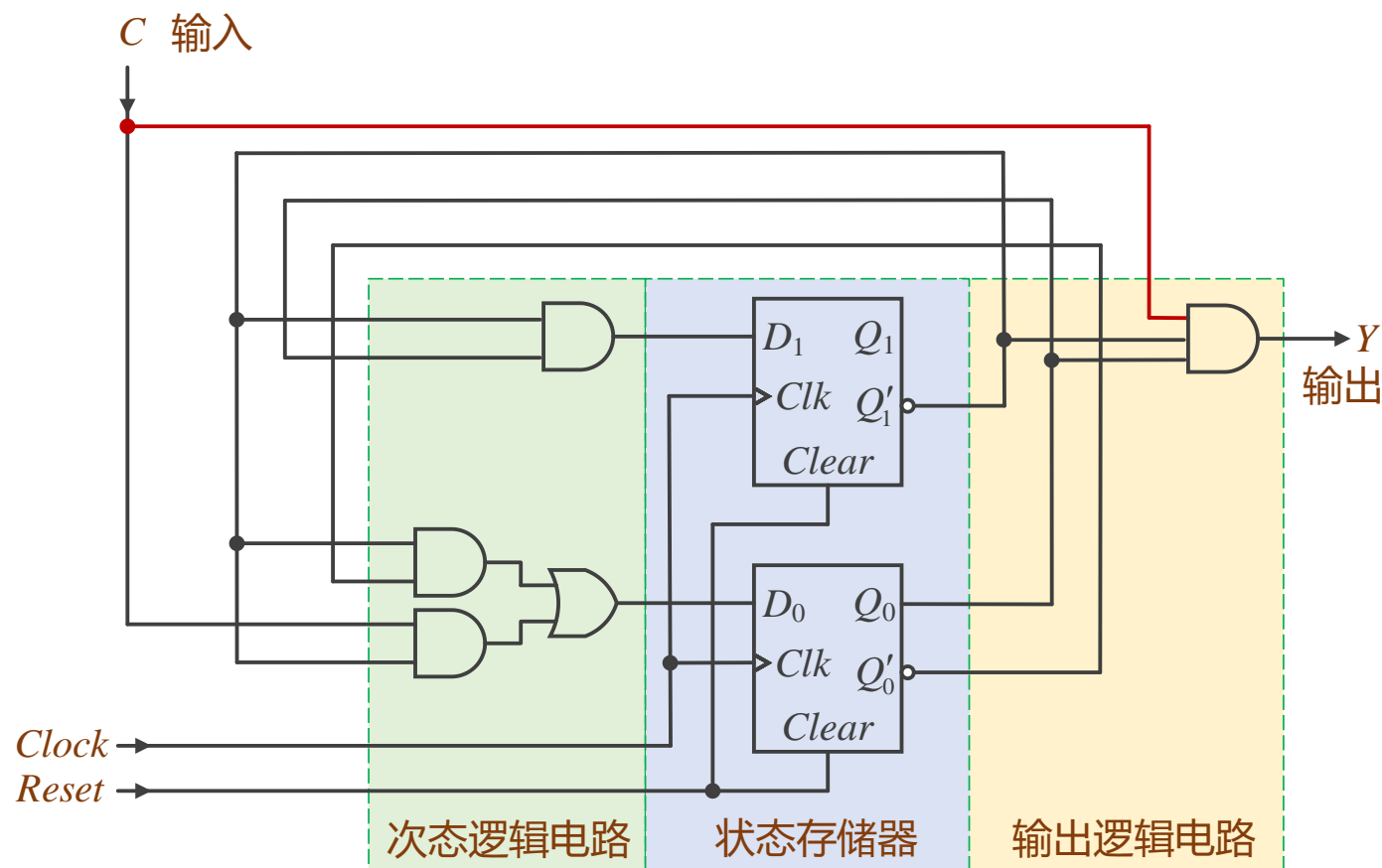
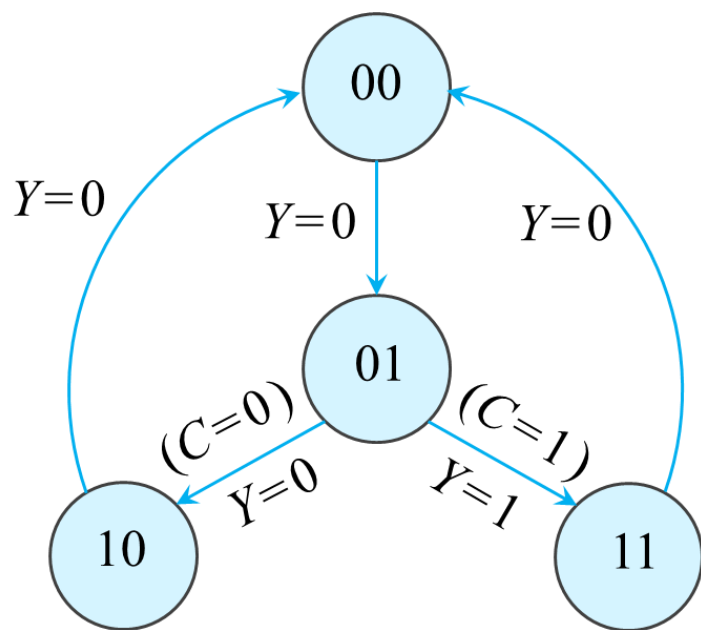
## Moore状态机

- ❖ 状态图中，输出信号标于状态中，表示输出仅与当前状态有关
- ❖ 电路图中，输出仅决定于寄存器的输出，与输入信号无关



## Mealy状态机

- ❖ 状态图中，输出信号标于有向边上，表示输出与当前状态和当前输入都有关
- ❖ 电路图中，输出决定于寄存器的输出以及输入信号

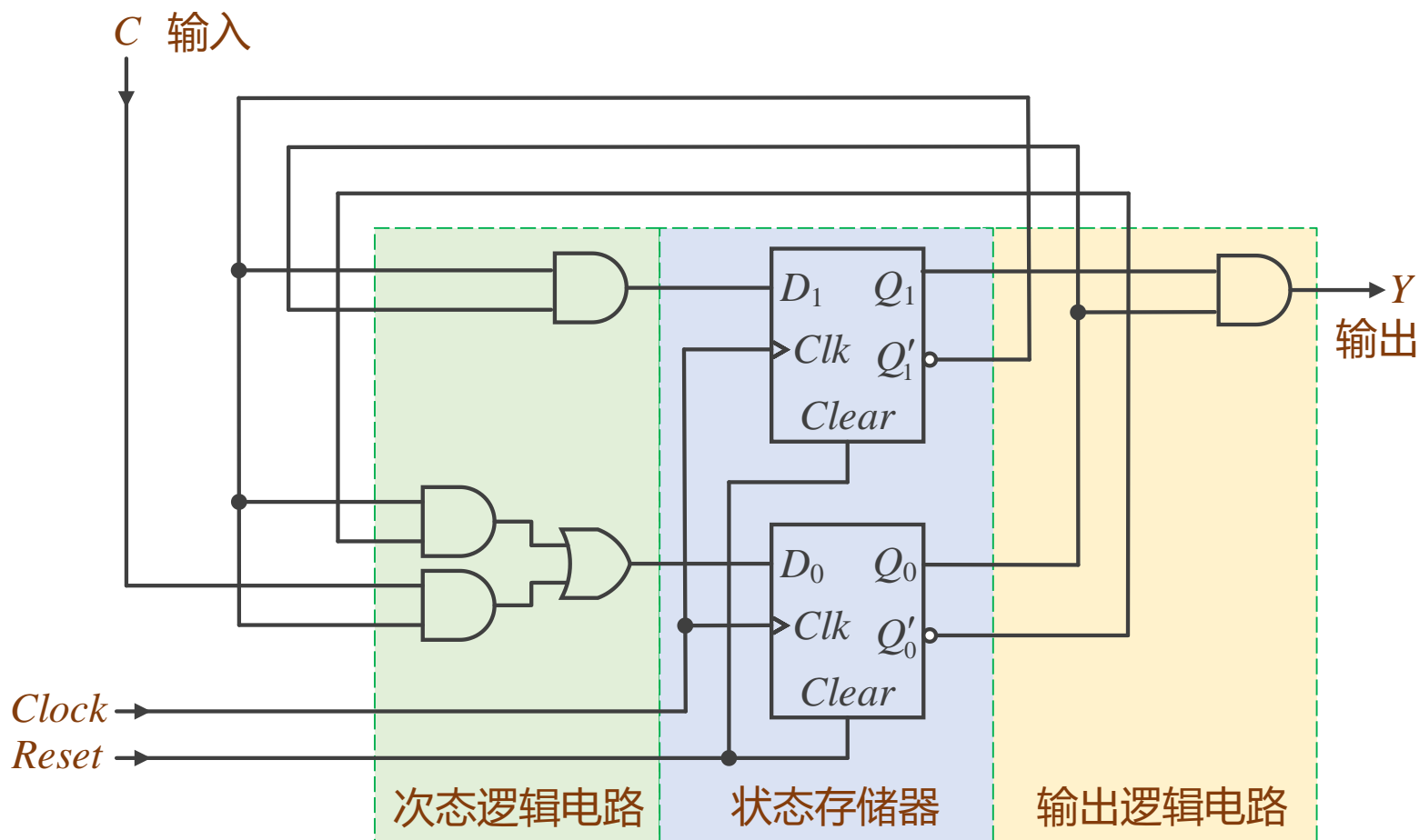


## FSM的分析

❖ 有限状态机的分析是指，给定一个状态机电路，分析出该电路的状态图。

❖ 三个步骤：

- 依据次态电路，写出次态电路方程和真值表
- 依据输出电路，写出输出方程和真值表
- 依据第一步和第二步，画出状态图



次态电路方程

$$Q_{1\text{next}} = D_1 = Q_1' Q_0$$

$$Q_{0\text{next}} = D_0 = Q_1' Q_0' + C Q_1'$$

## FSM的分析

❖ 有限状态机的分析是指，给定一个状态机电路，分析出该电路的状态图

❖ 三个步骤：

- 依据次态电路，写出次态电路方程和真值表
- 依据输出电路，写出输出方程和真值表
- 依据第一步和第二步，画出状态图

$$Q_{1\text{next}} = D_1 = Q_1'Q_0$$
$$Q_{0\text{next}} = D_0 = Q_1'Q_0' + CQ_1'$$

❖ 真值表如右图所示，左边一列表示输入信号的所有可能取值，右边一列表述两个状态寄存器随输入信号变化的输出

$CQ_1Q_0$	$Q_{1\text{next}}Q_{0\text{next}}$
000	01
001	10
010	00
011	00
100	01
101	11
110	00
111	00

## FSM的分析

### ❖ 真值表形式稍作调整

$CQ_1Q_0$	$Q_{1next} Q_{0next}$
000	01
001	10
010	00
011	00
100	01
101	11
110	00
111	00



当前状态 $Q_1Q_0$	次态 $Q_{1next} Q_{0next}$	
	$C = 0$	$C = 1$
00	01	01
01	10	11
10	00	00
11	00	00

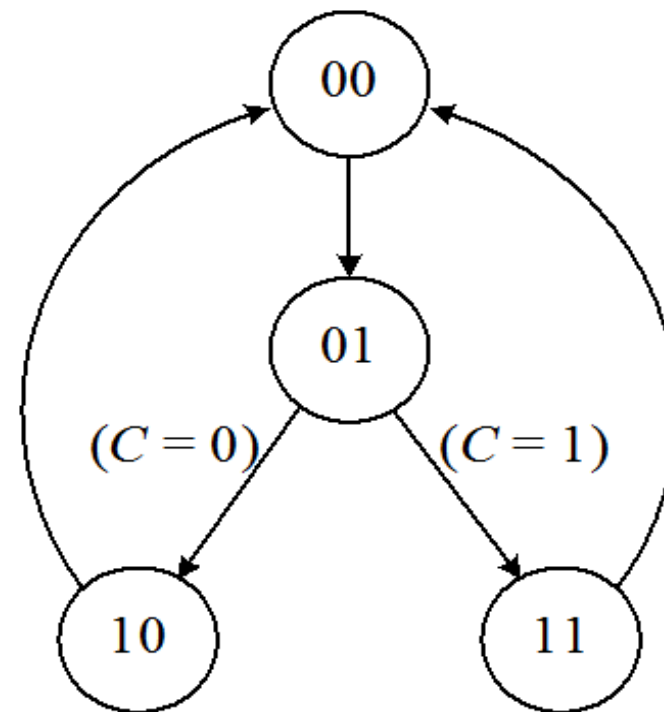
## FSM的分析

❖ 有限状态机的分析是指，给定一个状态机电路，分析该电路的状态图

❖ 三个步骤：

- 依据次态电路，写出次态电路方程和**真值表**
- 依据输出电路，写出输出方程和真值表
- 依据**第一步**和第二步，画出**状态图**

当前状态 $Q_1Q_0$	次态 $Q_{1next} Q_{0next}$	
	$C = 0$	$C = 1$
00	01	01
01	10	11
10	00	00
11	00	00





## FSM的分析

❖ 有限状态机的分析是指，给定一个状态机电路，分析出该电路的状态图。

❖ 三个步骤：

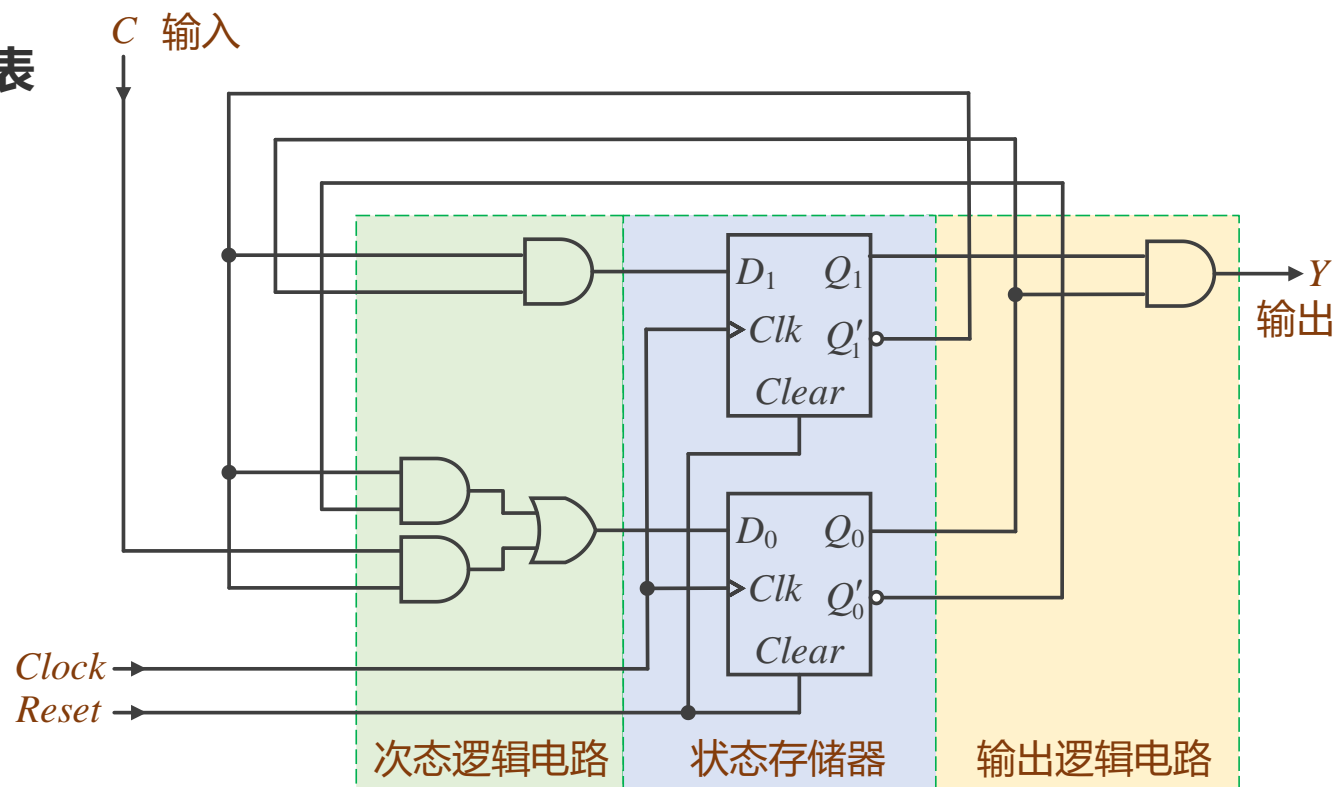
- 依据次态电路，写出次态电路方程和真值表
- 依据**输出电路**，写出**输出方程和真值表**
- 依据第一步和第二步，画出状态图

真值表

$Q_1Q_0$	$Y$
00	0
01	0
10	0
11	1

输出方程

$$Y = Q_1Q_0$$



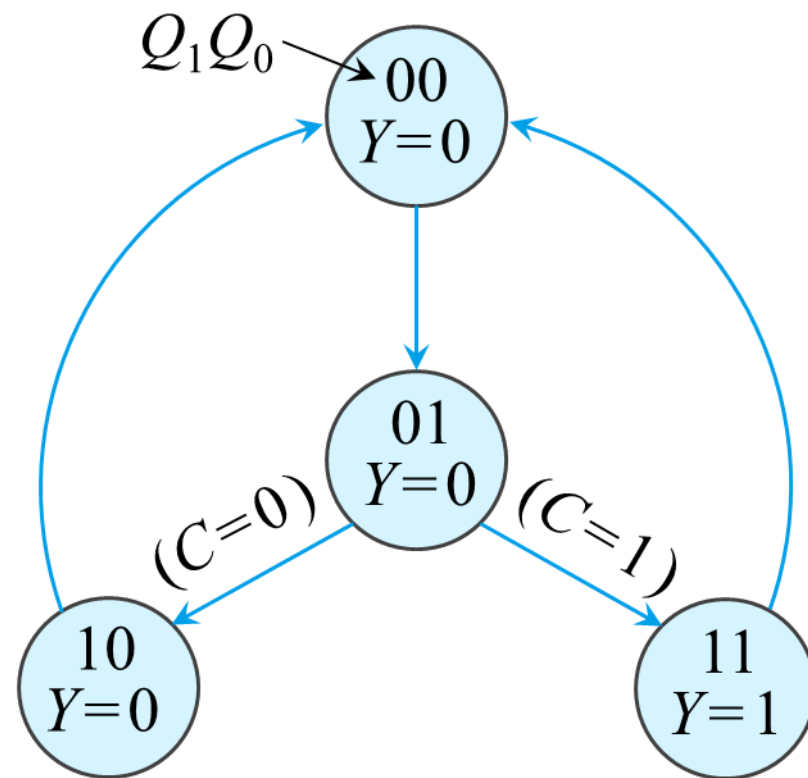
## FSM的分析

❖ 有限状态机的分析：给定一个状态机电路，分析出该电路的状态图。

❖ 三个步骤：

- 依据次态电路，写出次态电路方程和真值表
- 依据输出电路，写出输出方程和真值表
- 依据第一步和第二步，画出状态图

$Q_1Q_0$	$Y$
00	0
01	0
10	0
11	1



## FSM的综合

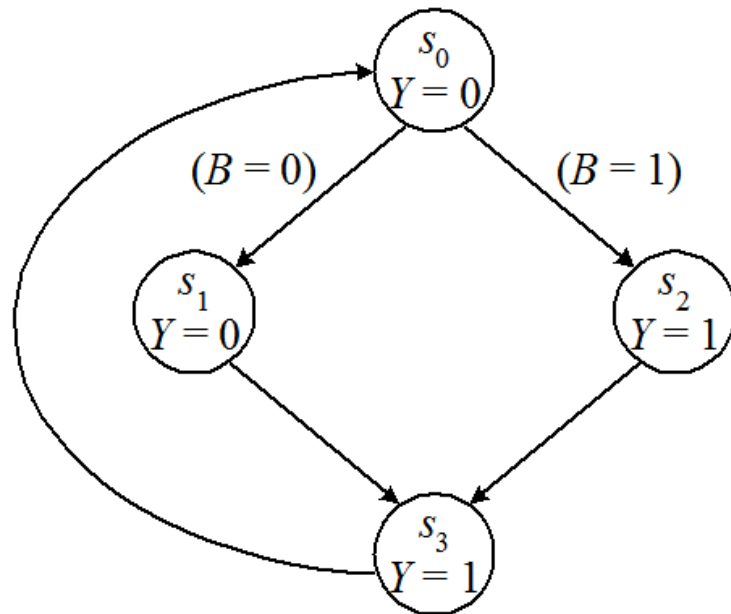
❖ 有限状态机的综合是指，给定一个状态图，综合出该状态图的电路

❖ 三个步骤：

- 依据状态图，做出次态电路真值表，写出次态电路逻辑表达式
- 依据状态图，做出输出电路真值表，写出输出电路逻辑表达式
- 依据第一步和第二步，画出电路图

$$Q_{1next} = D_1 = BQ_1'Q_0' + Q_1'Q_0 + Q_1Q_0'$$

$$Q_{0next} = D_0 = B'Q_1'Q_0' + Q_1'Q_0 + Q_1Q_0'$$



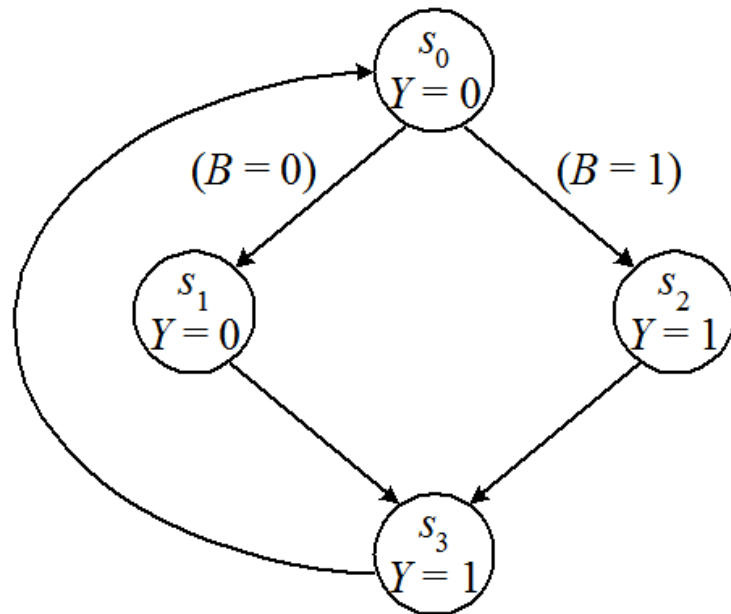
当前状态 $Q_1Q_0$	次态 $D_1D_0$	
	$B=0$	$B=1$
$s_0$ 00	$s_1$ 01	$s_2$ 10
$s_1$ 01	$s_3$ 11	$s_3$ 11
$s_2$ 10	$s_3$ 11	$s_3$ 11
$s_3$ 11	$s_0$ 00	$s_0$ 00

## FSM的综合

❖ 有限状态机的综合是指，给定一个状态图，综合出该状态图的电路

❖ 三个步骤：

- 依据状态图，做出次态电路真值表，写出次态电路逻辑表达式
- 依据状态图，**做出输出电路真值表，写出输出电路逻辑表达式**
- 依据第一步和第二步，画出电路图



当前状态 $Q_1Q_0$	输出 $Y$
$s_0$ 00	0
$s_1$ 01	0
$s_2$ 10	1
$s_3$ 11	1

$$Y = Q_1$$

## FSM的综合

❖ 有限状态机的综合是指，给定一个状态图，综合出该状态图的电路

❖ 三个步骤：

- 依据状态图，做出次态电路真值表，写出次态电路逻辑表达式
- 依据状态图，做出输出电路真值表，写出输出电路逻辑表达式
- 依据第一步和第二步，画出电路图

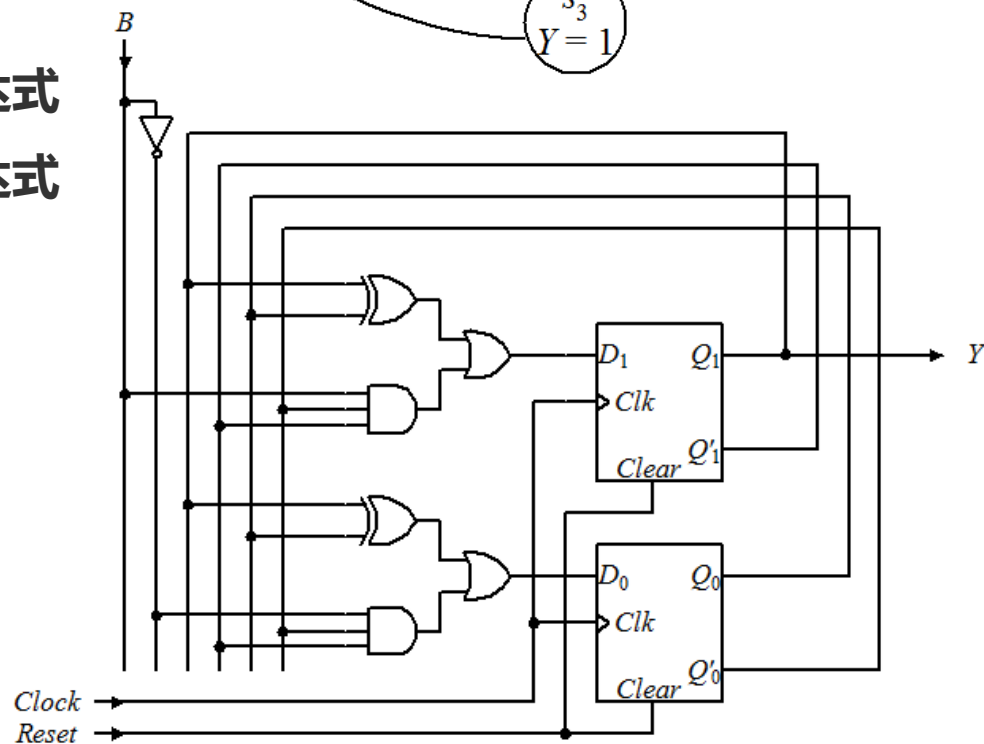
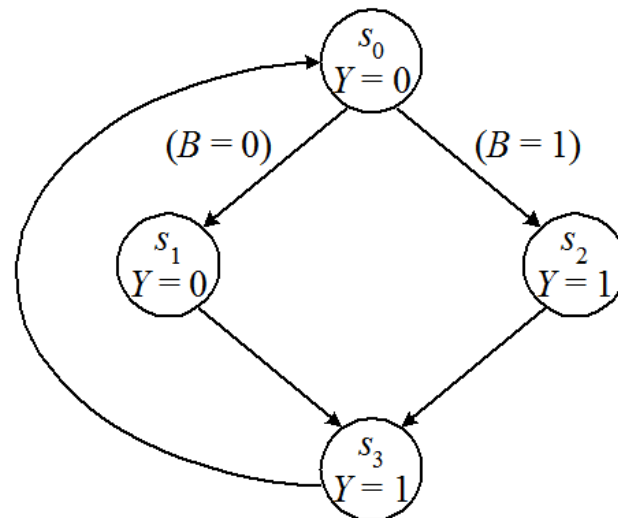
次态电路逻辑

$$Q_{1next} = D_1 = BQ_1'Q_0' + Q_1'Q_0 + Q_1Q_0'$$

$$Q_{0next} = D_0 = B'Q_1'Q_0' + Q_1'Q_0 + Q_1Q_0'$$

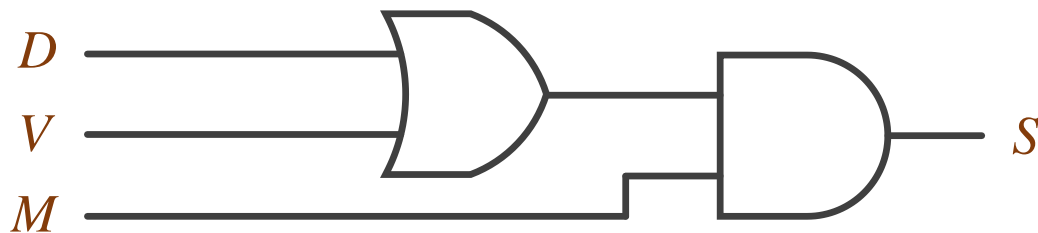
输出电路逻辑

$$Y = Q_1$$

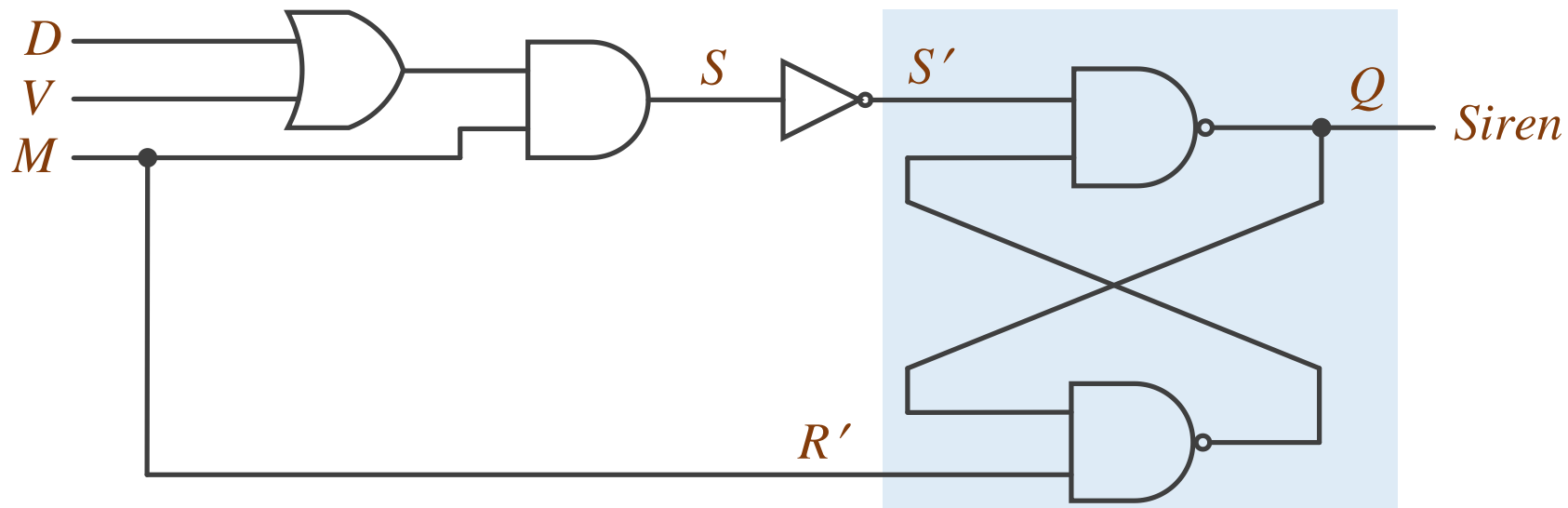


## 汽车警报器V1和V2版本回顾

❖ V1版：组合逻辑电路



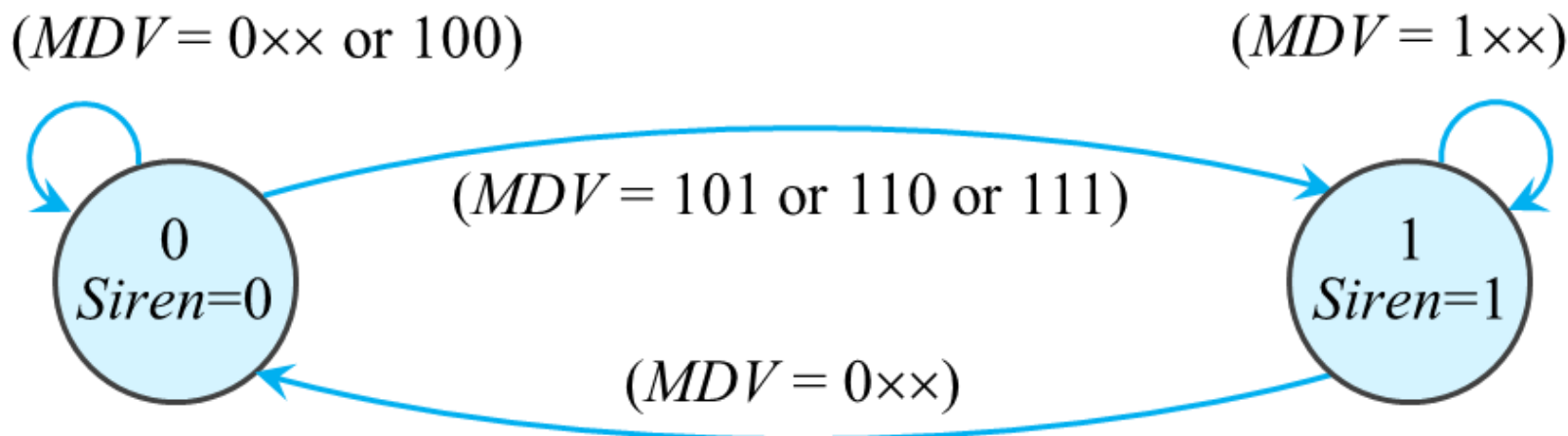
❖ V2版：在v1版的基础上，加入SR锁存器



## 汽车警报器v3版本：使用状态机

### ❖ 首先需要画出状态图

- 确定系统状态：汽车警报器的两个状态，一个是警报响，一个是警报不响。只在这两个状态机跳转，不需要额外状态。
- 确定有向边：两个状态之间都是可以互相跳转的，每个状态也是可以继续留在原先状态的，所以有4条有向边。
- 确定跳转条件：根据输入所有可能的组合引起的状态变化，在有向边上标注跳转条件。



## 汽车报警器v3版本：次态电路真值表和表达式

现态 $Q_0$	次态 $Q_{0next}$							
	$M, D, V$							
	000	001	010	011	100	101	110	111
0	0	0	0	0	0	1	1	1
1	0	0	0	0	1	1	1	1

$$Q_{0next} = Q'_0 M(D + V) + Q_0 M$$



$$Q_{0next} = M(Q_0 + V + D)$$

$$Q_{0next}$$

$$= Q'_0 M(D + V) + Q_0 M$$

$$= (Q_0 M) + (Q'_0 M)(D + V)$$

应用  $x + yz = (x + y)(x + z)$

$$Q_{0next}$$

$$= (Q_0 M + Q'_0 M)(Q_0 M + D + V)$$

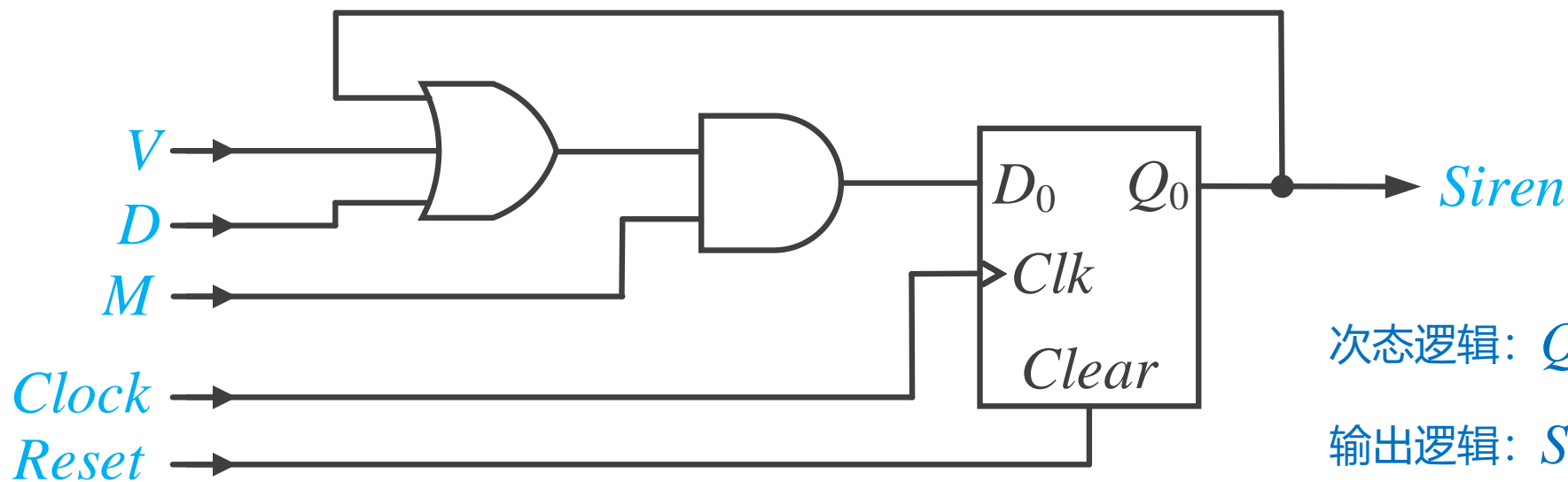
$$= M(Q_0 M + D + V)$$

应用  $x \cdot x = x$

$$Q_{0next} = M(Q_0 + D + V)$$



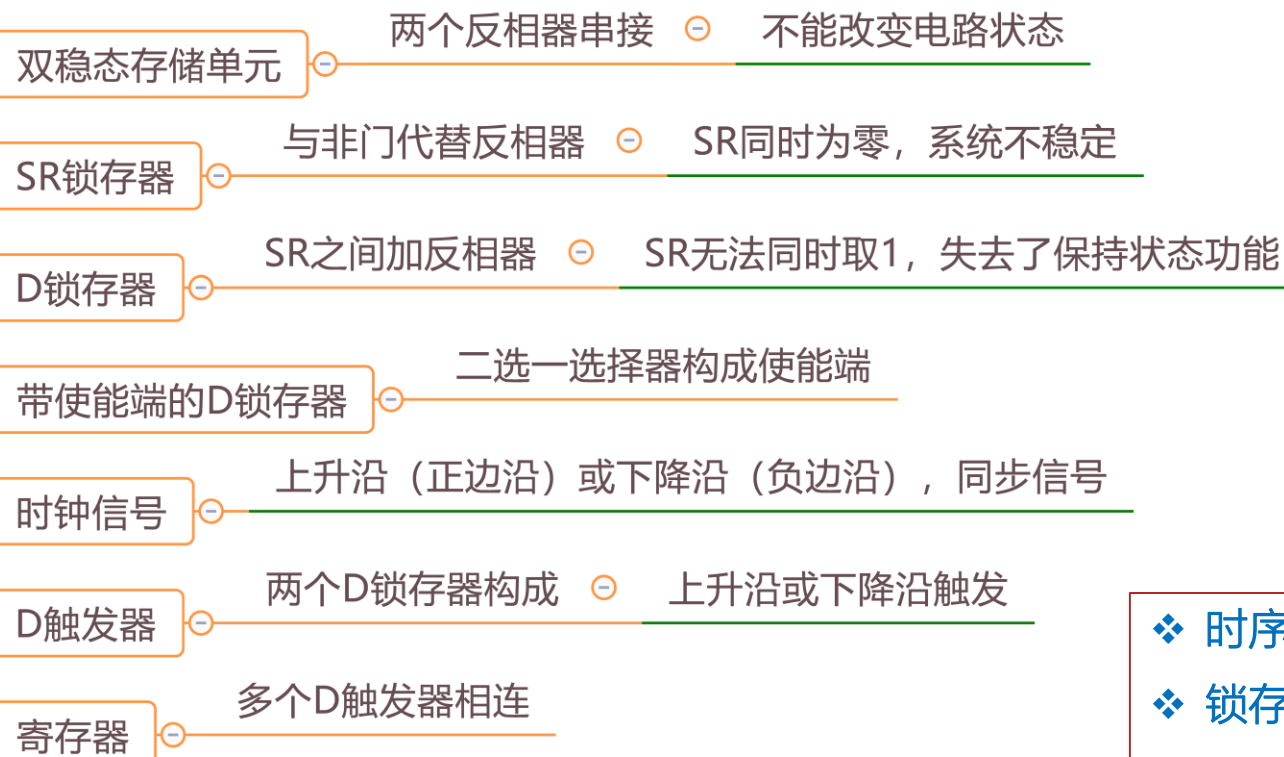
## 汽车报警器v3版本电路图



- ❖ 版本2不需要时钟，版本3需要时钟。版本3提供了外部可控性。
- ❖ 版本2设计需要对系统的较为深入的理解和一些技巧，相比而言，版本3只要按照状态机的设计流程就可以完成，设计方法具有一般性。
- ❖ 考虑设计方法的一般性，以及随着复杂度增加后的设计难度，推荐使用版本3的设计方法。

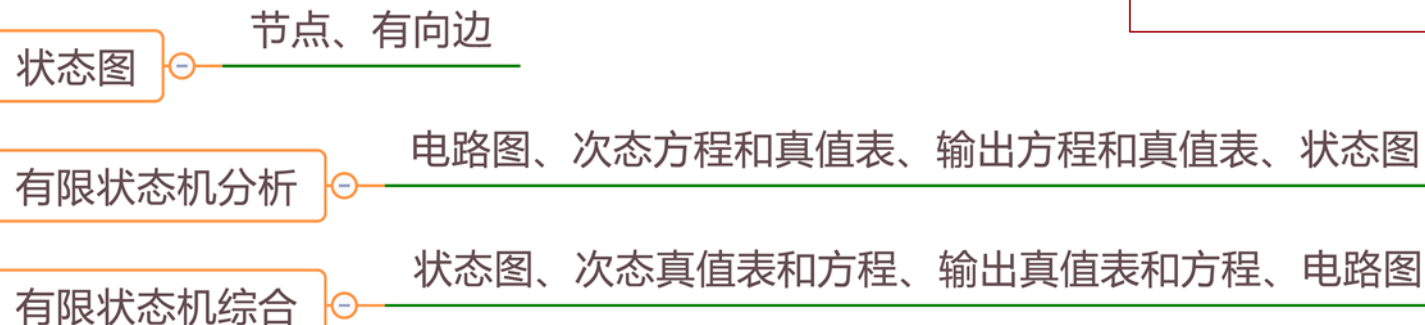
## 4.2 知识点

### 4.2.2 时序逻辑电路



- ❖ 时序电路与组合电路的不同点
- ❖ 锁存器与触发器的不同点
- ❖ 汽车报警器的两种实现方法的差异

### 4.3.1 有限状态机



# The End.



中国大学MOOC

周成伟  
zhouchw@zju.edu.cn