1 Theoretical Background

1.1 Image Processing

1.1.1 Operations (Point, Neighborhood, Global)

Die drei grundregelnden Bildoperationen werden beschrieben. Diese sind point, neighborhood und global Operationen. Die Beschreibung erfolgt analog P5.

1.1.2 Wallis Filter

Das Wallis Filter wird erläutert. Das Wallis Filter verbessert lokal den Kontrast und ist eine neighborhood Operation. Die Nachbarschaft sollte zwischen 11 und 41 Pixeln liegen und die Parameter erläutern.

1.2 Ethernet Communication

1.2.1 OSI

Analog P5

1.2.2 Physical

Analog P5

1.2.3 Data Link

Analog P5

1.2.4 Network

Analog P5

1.2.5 Transport

Analog P5

2 Mission

2.1 Starting Point

2.1.1 FPGA Board

Analog P5

2.1.2 Communication

Es wird erläutert, was vom P5 bereits zur Verfügung steht und was verbessert werden soll.

2.1.3 Wallis Filter

Auftraggeber gibt uns den Wallis Filter vor, damit sie lokal den Kontrast verbessern können (Bsp: Häuserschatten).

2.1.4 Development Environment

Als Entwicklungsumgebung wird Vivado HLS verwendet

- Design Flow
- Extensions (arbiträre Datentypen, Klassen, Pragmas)

2.2 Possible Solutions

2.2.1 Scalability

Verschiedene Konzepte werden aufgezeigt, wie die Scalability verwirklicht werden kann -> siehe tech. requirements:

- PC -> BRAM -> Controller -> BRAM/FIFO -> Image Processing
- PC -> Stream Controller -> Image Processing

2.3 Concept

Die ausgewählte Variante wird genauer erläutert und der Datenflow mit einem Blockschaltbild aufgezeigt.

3 Image Processing

3.1 Concept

Das Konzept der Implementierung wird erklärt:

- 21 * 21 Pixel einlesen
- Schleife nur noch 21 Pixel einlesen

3.2 Implementation

3.2.1 Mean & Variance

Vereinfachung der Mean und Variance Formel, damit sie gleichzeitig berechnet werden können.

3.2.2 Fixed Point

Floating Point kann im FPGA nur begrenzt eingesetzt werden. Dafür kann im Vivado HLS Fixed Point Rechnungen gemacht werden. Abweichungen der Resultate der beiden Berechnungen aufzeigen.

3.2.3 Throughput Optimization

Durch das einsetzen von Pragmas kann der C/C++ Code auf Durchsatz optimiert werden:

- Interface
- Array Partition
- Pipeline / Unroll

4 Dataflow

4.1 Communication

4.1.1 Acknowledge

Die Acknowledge Funktion wurde implementiert sodass erkennt werden kann falls Pakete nicht ankommen

4.1.2 Retransmission

PC-Seitig wurde die retransmission implementiert um Pakete erneut zu senden, wenn sie nicht bestätigt wurden.

4.1.3 Interface

Der Kommunikationsblock wurde mit AXI-Lite erweitert um Status abzufragen und Kontrolldaten vom Computer an den Bildverarbeitungsblock zu senden

4.2 Control

4.2.1 Concept

Das Speicherlayout wird erläutert und wie die Daten vom Kommunikationsblock zum Bildverarbeitungsblock gelangen

4.2.2 Implementation

Wie wurde der HLS Code entwickelt und getestet: FSM

5 Scalability

Das ausgewählte Konzept für die Scalability wird theoretisch erläutert und erklärt, wie dieses umgesetzt werden könnte.

6 Benchmark & Verification

- C/C++ Code (Floating Point) mit HW C/C++ Code (Fixed Point) vergleichen
- FPGA Durchsatz mit Matlab / C Simulation / GPU vergleichen???