Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Кафедра КЕОА

**Лабораторна робота №1**

**з курсу: «Апаратні прискорювачі обчислень на мікросхемах програмованої логіки»**

Виконав:

студент ІII-го курсу ФЕЛ

група ДК-02

Гарькавий Д.В.

25.10.2022

Київ-2022

**Хід роботи**

1. **В Simulink реалізувати підсистему, що розраховує функцію:**

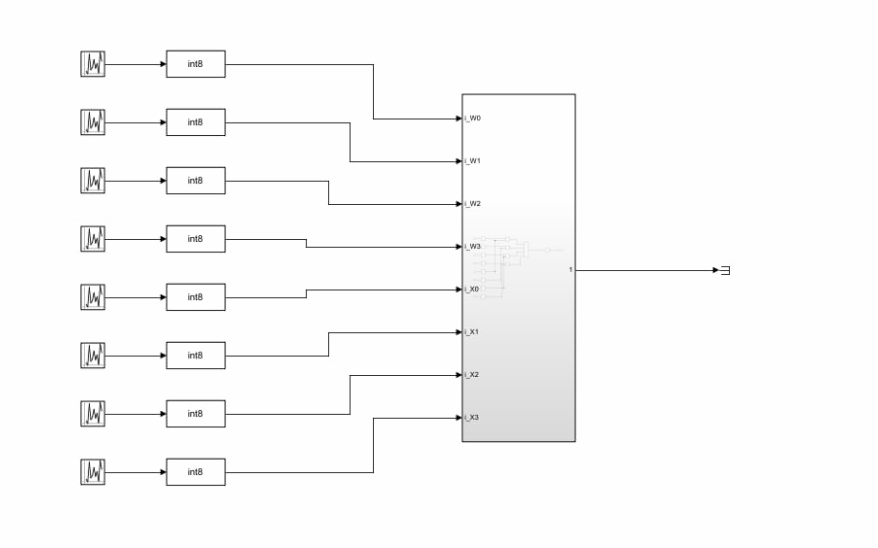
Y = W0\*X0 + W1\*X1 + W2\*X2 + W3\*X3

Типи даних входів: int8

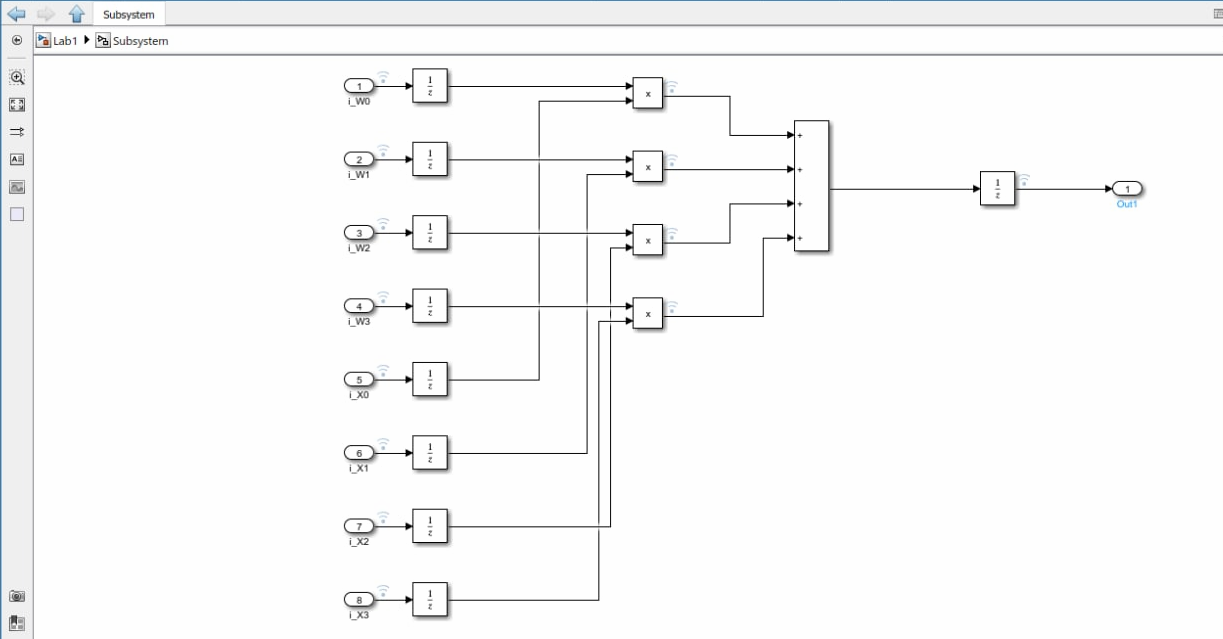
Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

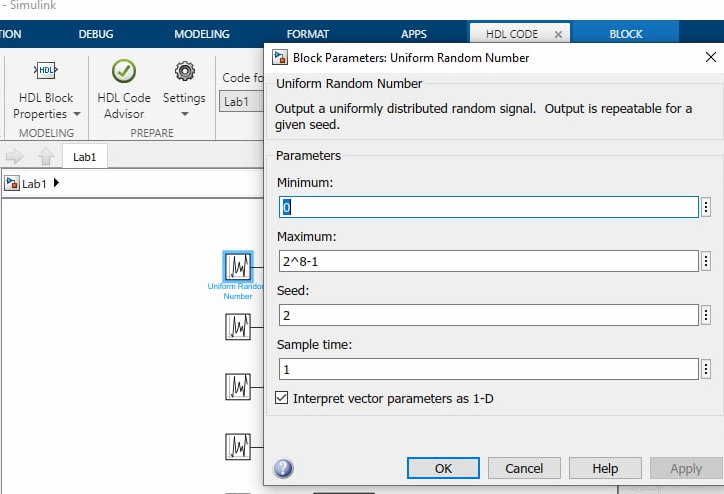
Схема:



Блок Subsystem(PROCESSING\_UNIT):

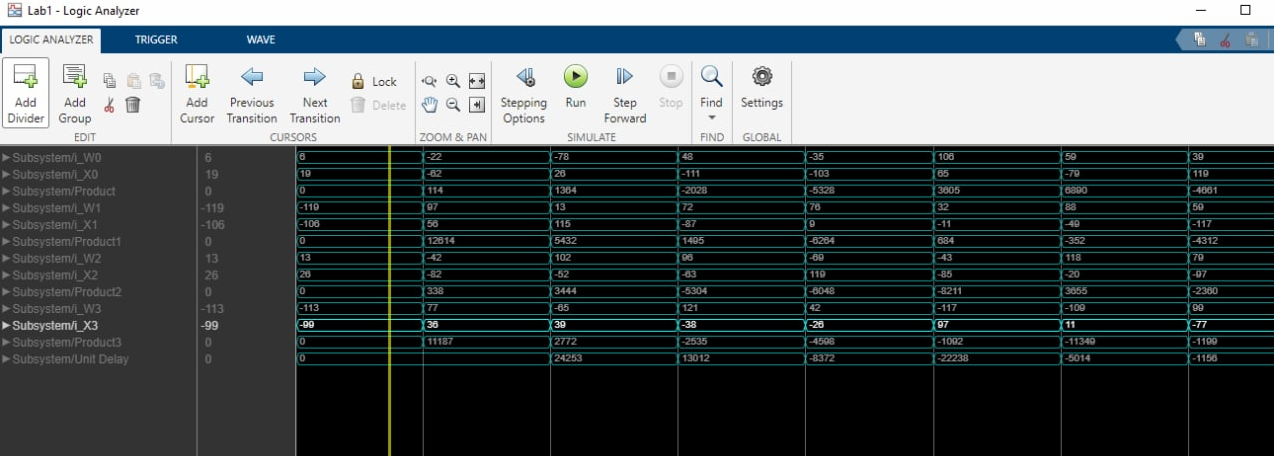


Налаштування одного з блоків “Uniform Random Number” (seed = 2, згідно мого варіанту, надалі збільшую значення кожного на 1) інші параметри вказані, як у методичних матеріалах:



**2. В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі).**

Приклад результату:

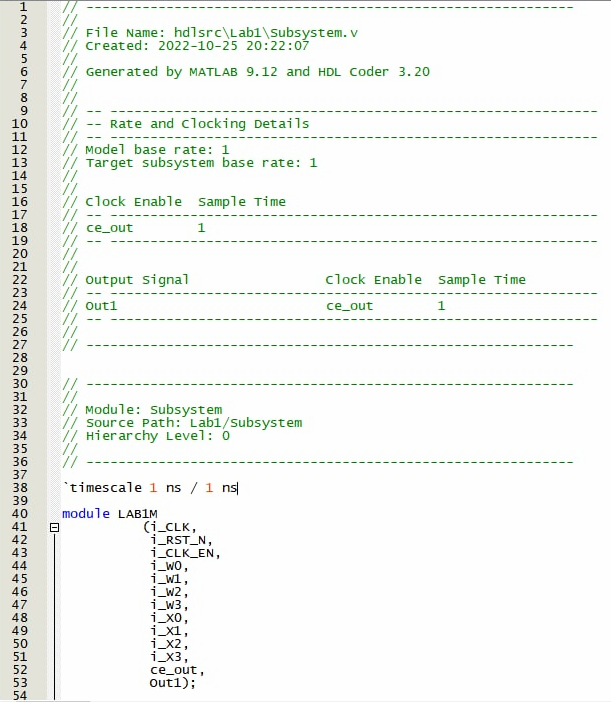


Перевірка:

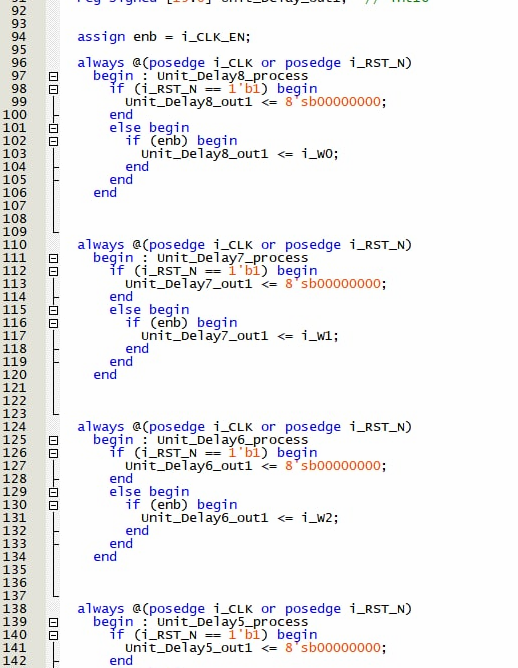
6 \* 19 + (-119) \* (-106) + 13 \* 26 + (-113) \* (-99) = 114 + 12614 + 338 + 11187= = 24253, як і на скріншоті результату.

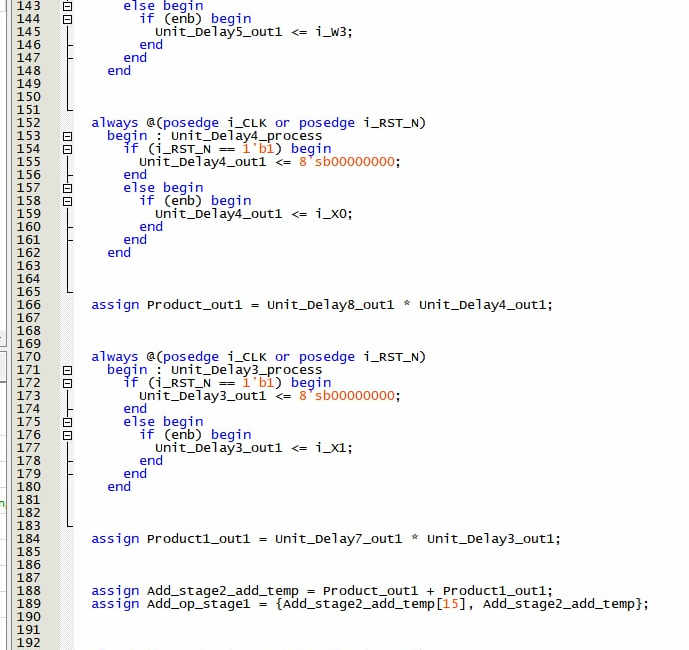
**3. Додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer).**

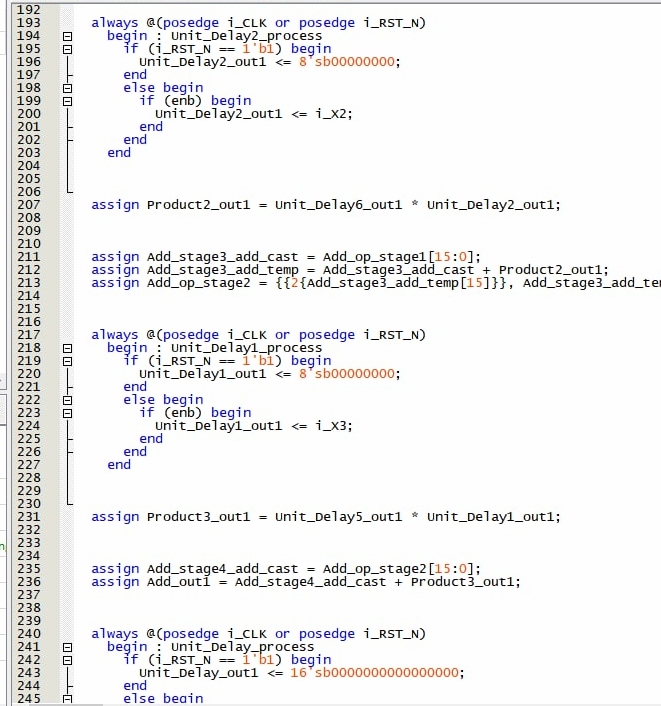
Згенерував код, який має наступний вигляд:

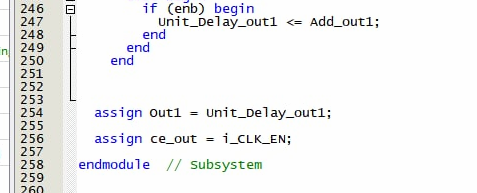




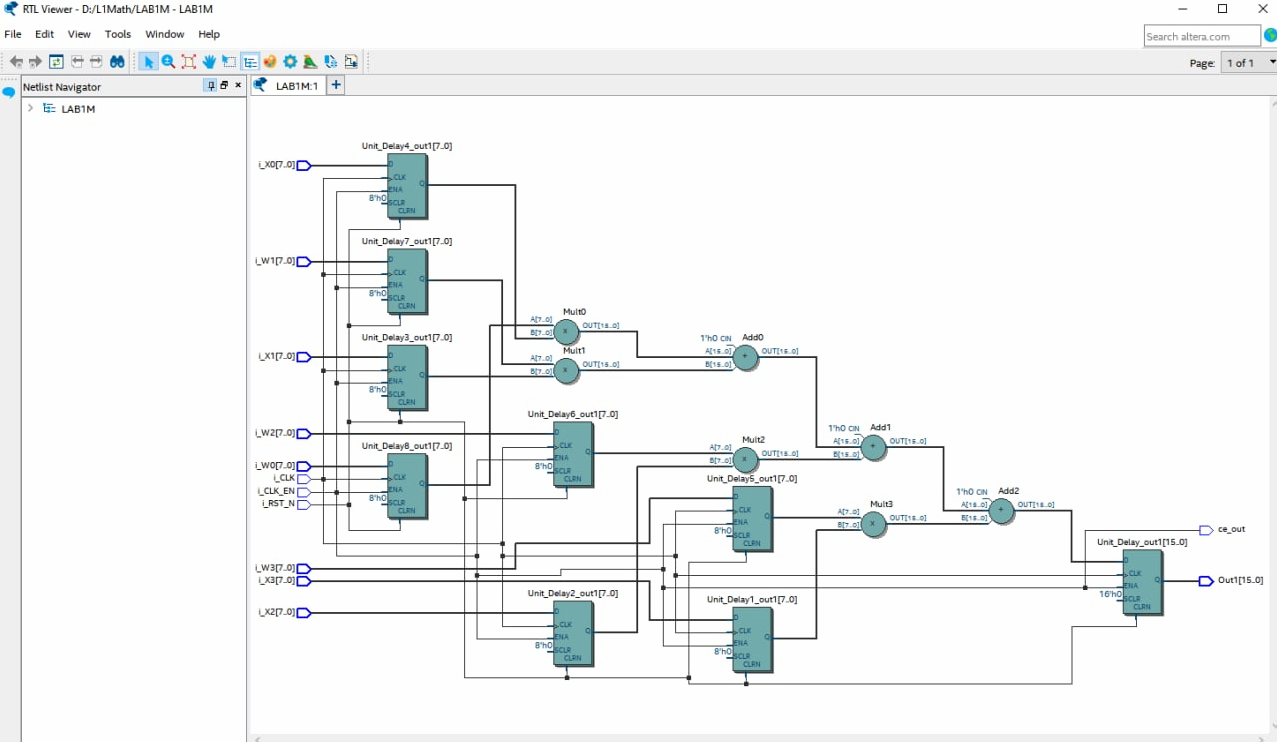








**Результат виклику RTL Viewer:**



**Висновок**

На цій лабораторній роботі я проглянувши відео-знайомство з середовищем Matlab створив підсистему і перевірив її на справність, також просимулювавши її в Matlab і синтезувавши її в Quartus Prime можу стверджувати про правильність виконання.