1. **实验目的**

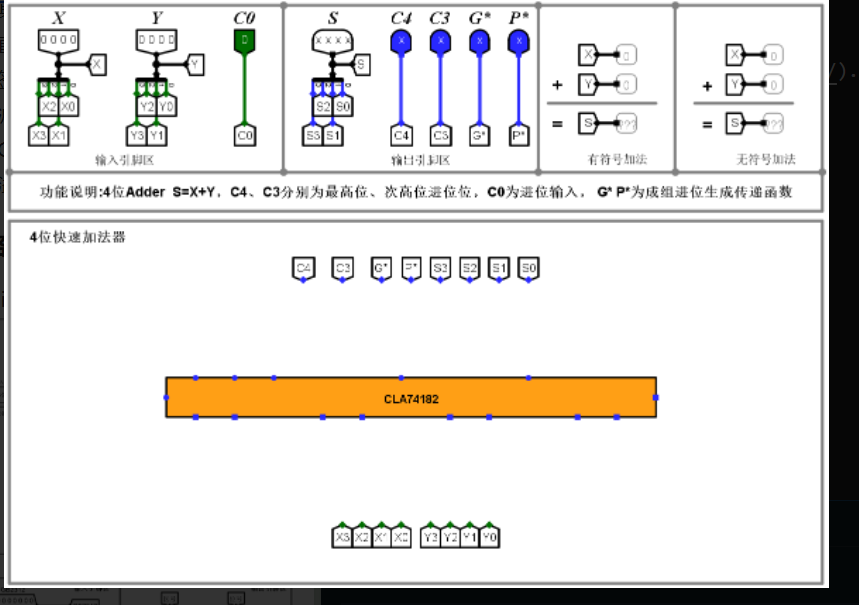
帮助学生掌握一位全加器的实现逻辑，掌握多位可控加减法电路的实现逻辑，熟悉 Logisim 平台基本功能，能在 logisim 中实现多位可控加减法电路。

1. **实验内容**

在alu.circ文件中原码一位乘法器子电路中增强控制电路和数据通路使得该电路能自动完成8位无符号的一位乘法运算，设置引脚初始值，然后驱动时钟自动仿真，电路可自动完成运算，运算结束结果传输到输出引脚，运算结束时电路应该自动停止。

**电路框架**

alu.circ

**电路引脚**

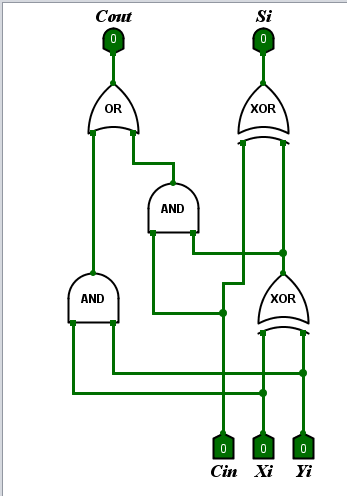
| **信号** | **输入/输出** | **位宽** | **说明** |
| --- | --- | --- | --- |
| X | 输入 | 8 位 | 加数/被减数 |
| Y | 输入 | 8 位 | 加数/减数 |
| Sub | 输入 | 1 位 | 运算控制位 1：减法 0：加法 |
| S | 输出 | 8 位 | 运算结果 和/差 |
| Cout | 输出 | 1 位 | 进位输出 |
| OF | 输出 | 1 位 | 有符号运算溢出检测位 |

**电路测试**

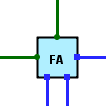
完成实验后，利用文本编辑工具打开 alu.circ 文件，将所有文字信息复制粘贴到 Educoder 平台的 alu.circ 文件中，再点击评测按钮即可进行本关测试。平台会对你设计的电路进行自动测试，为方便测试，请勿修改子电路封装，本关测试用例如下:

1. X Y Sub S Cout OF
2. 10 21 0 31 0 0
3. 7f 02 0 81 0 1
4. ff fe 0 fd 1 0
5. 81 82 0 03 1 1
6. 10 df 1 31 0 0
7. 7f fe 1 81 0 1
8. ff 02 1 fd 1 0
9. 81 7e 1 03 1 1
10. **模块电路**

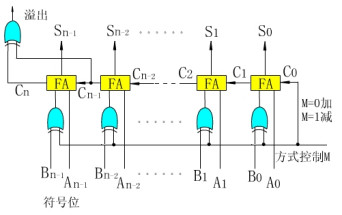
根据全加器真值表，首先设计1位全加器，结构图如下



将其封装成模块FA：

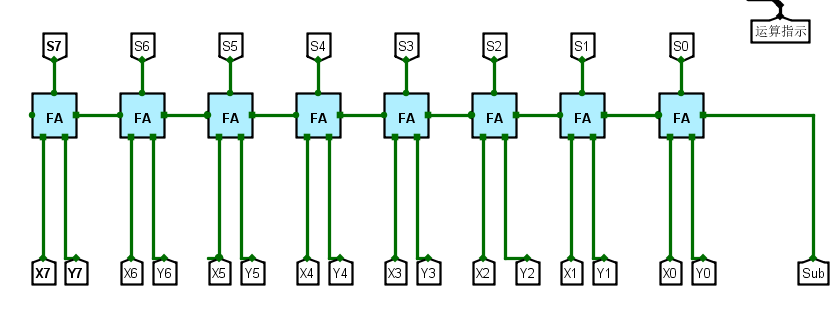


然后，由如下N位可控加法器原理图（如下）：

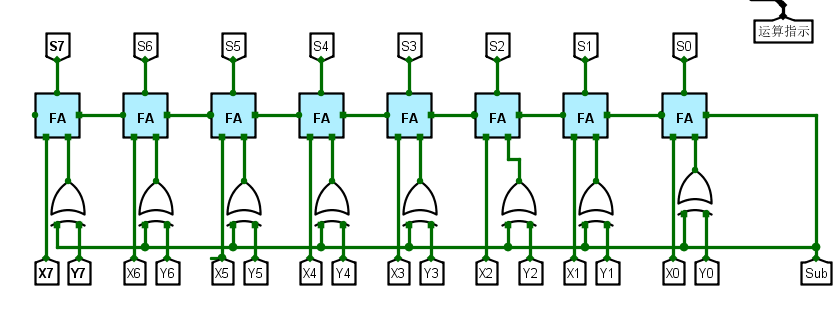


使用封装模块FA搭建如上电路：

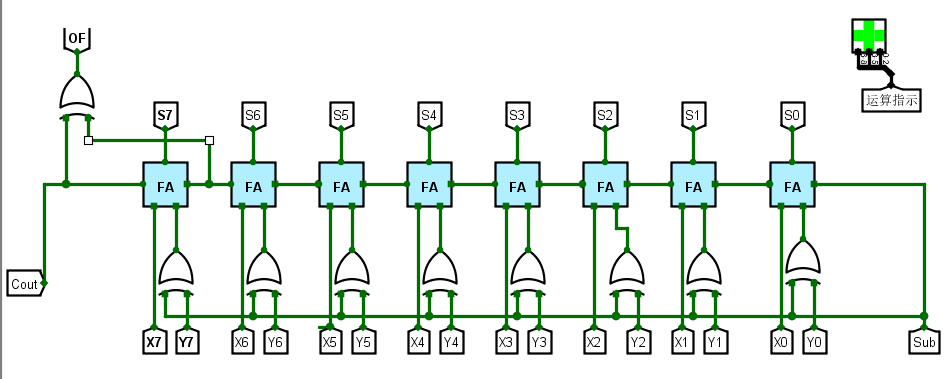
1.8位加法器：



2.8位可控加法器：

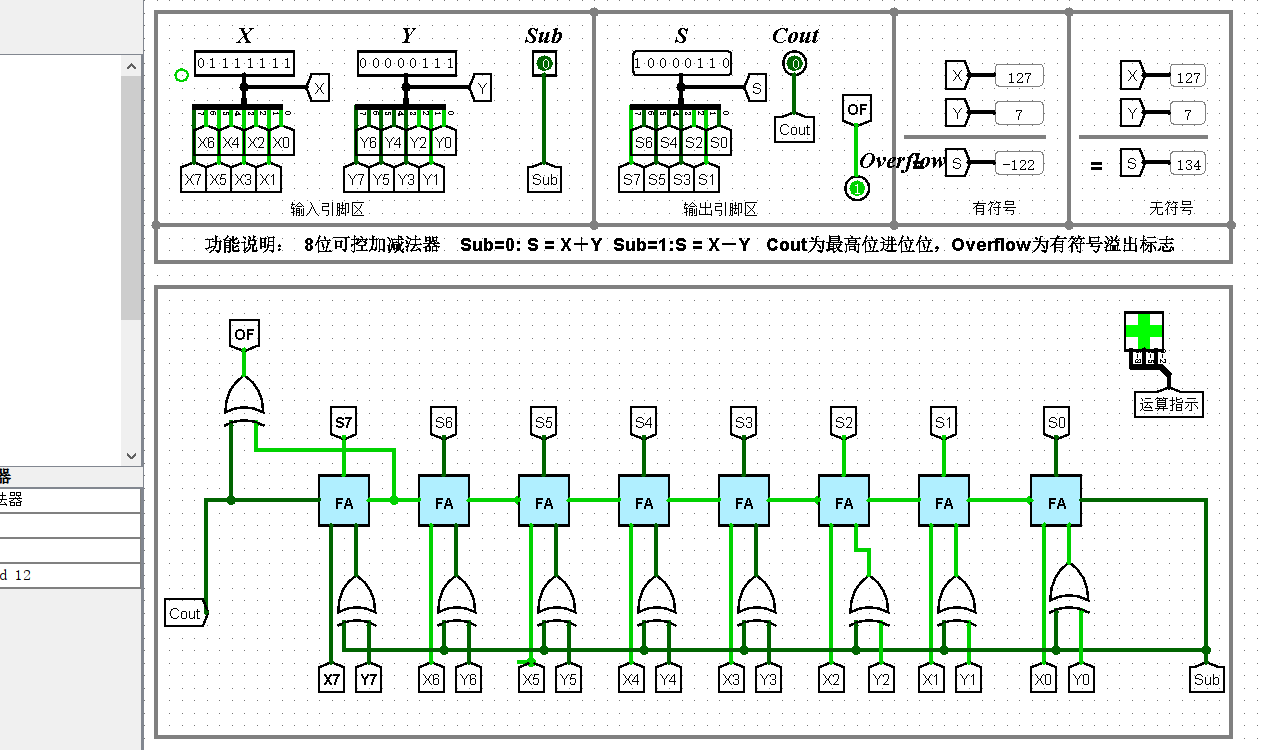


3.添加输入输出：

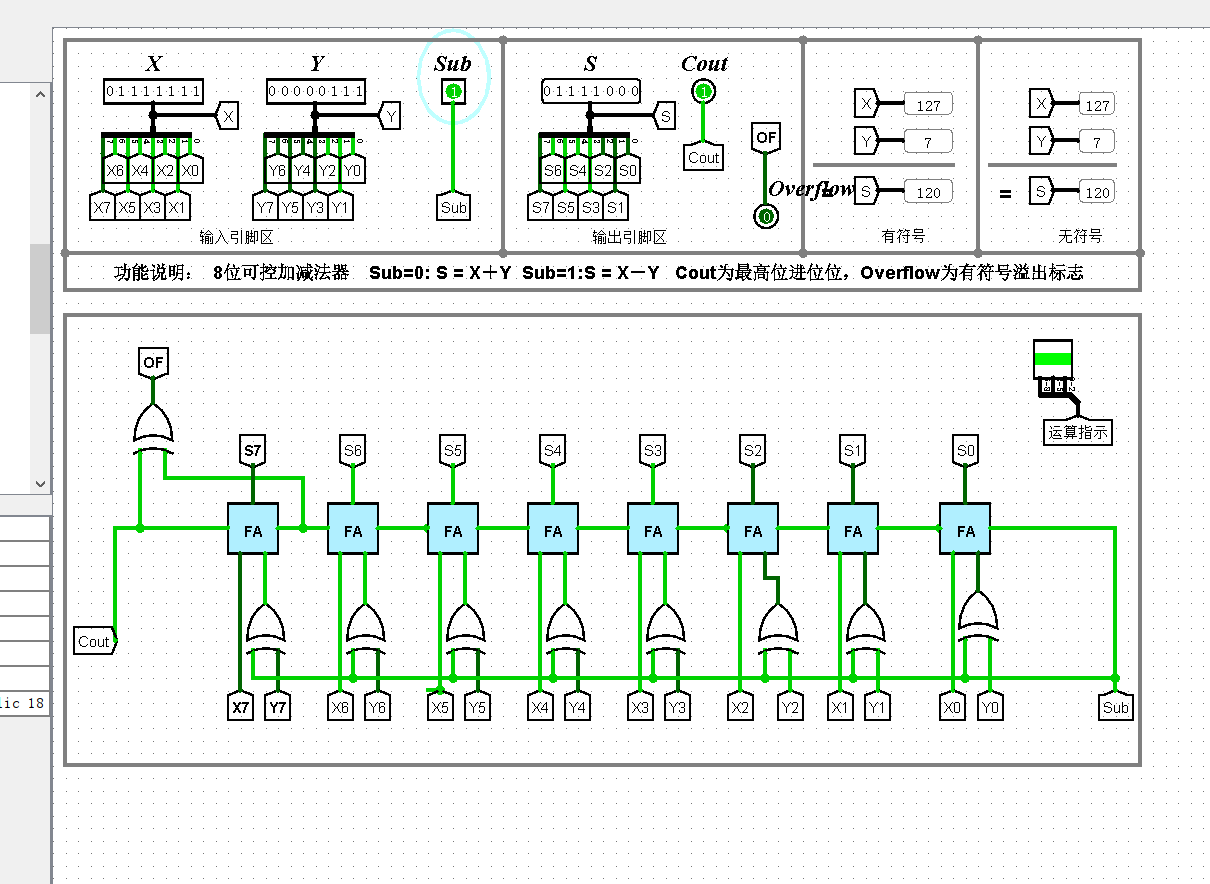


1. **实验结果**

**S=X+Y(SUB=0):COUT进位=0,OVERFLOW溢出=1**

****

**S=X-Y(SUB=1):COUT进位=1,OVERFLOW溢出=0**

****

****

1. **实验总结/体会**

完成本次实验后，我对logisim的基本使用方法有了一定的了解，同时，要得出正确的实验结果，需要了解全加器的原理，其可用公式表达为：X+Y=X+Y+0,X-Y=X+-Y+1,用硬件实现这一逻辑，需要使用可控反相异或门和异或门，在上述设计的电路中，通过将Sub置0置1,实现了Y到-Y的转化，同时，这也是Cin的信号输入。