



北京大学

# 第二讲 逻辑门和CMOS

## Logic Gates and CMOS

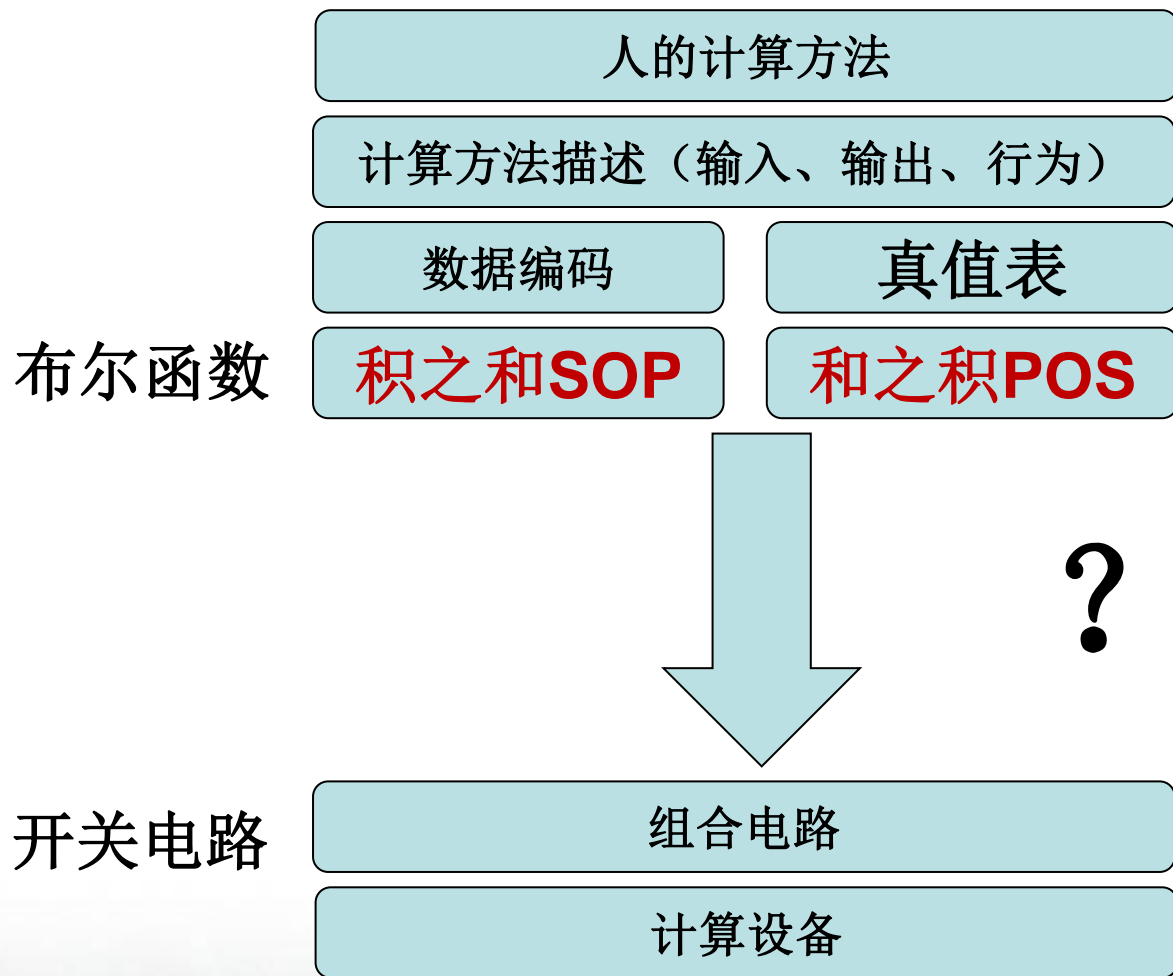
佟冬

tongdong@pku.edu.cn

微处理器研究开发中心 (MPRC)  
计算机科学技术系

北京大学

# 如何做一个能计算的设备？



# 课程回顾

---

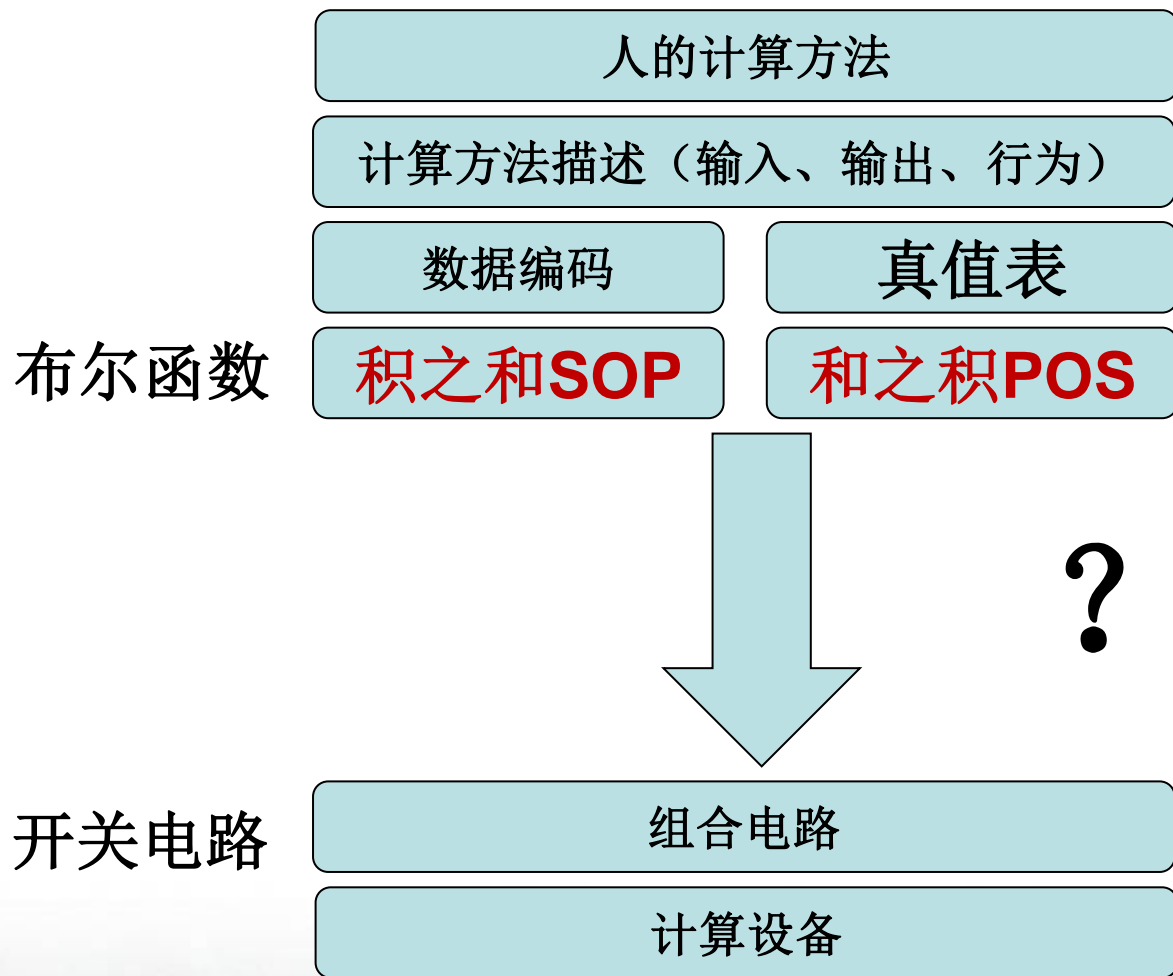
- 数字系统中的数字表示的基本理论和概念
  - 数制
  - 有符号数
  - 计算机编码
- 数字系统的数学基础：布尔代数
  - 6个公理
  - 10个定理（要求只用公理证明）
- 布尔函数
  - 真值表
  - 布尔表达式：或与式（积之和）、或与式（和之积）
  - 最小项、最大项、无关项



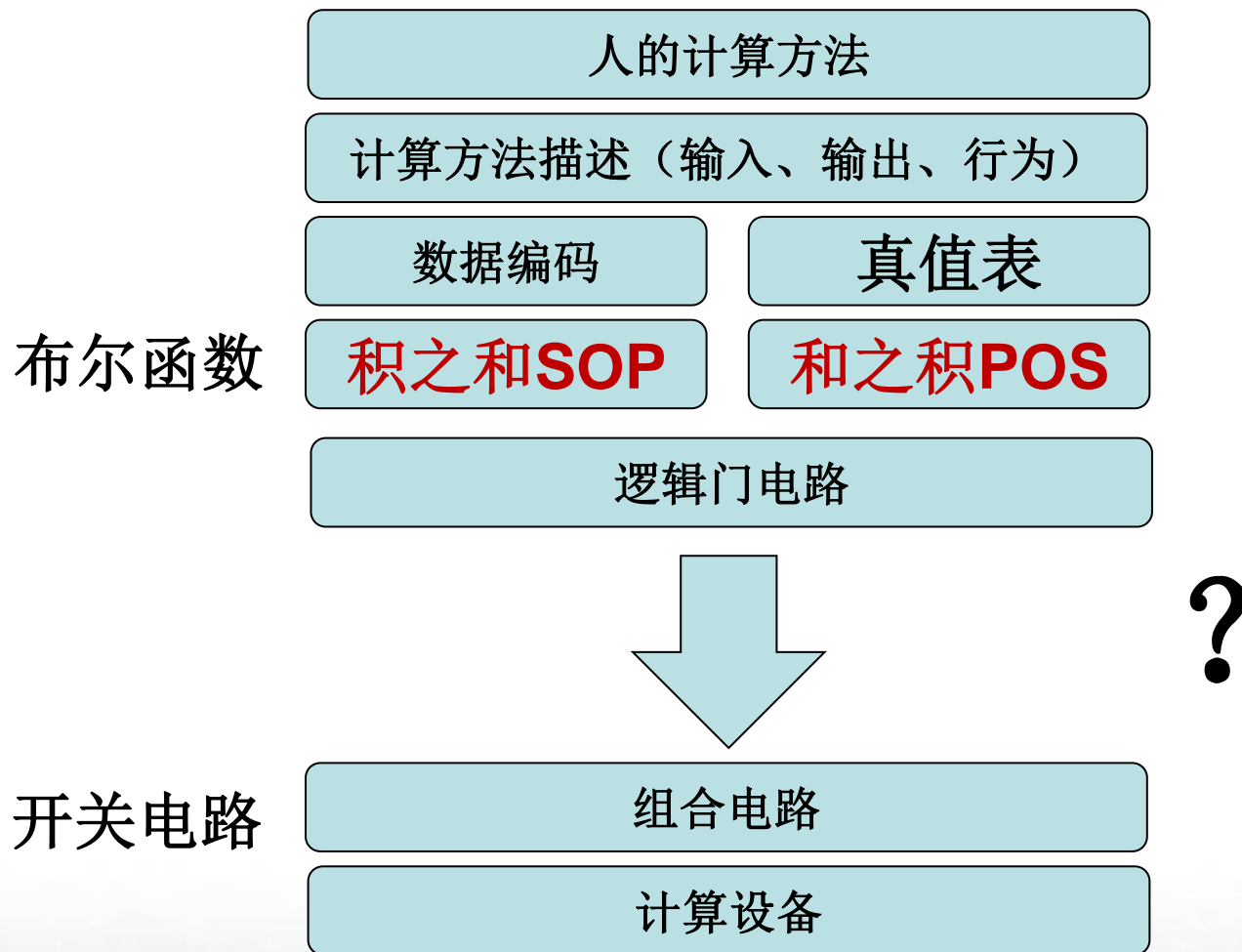
# 逻辑门和电路



# 如何做一个能计算的设备？



# 如何做一个能计算的设备？



# 逻辑电路

## □ 电信号和逻辑值

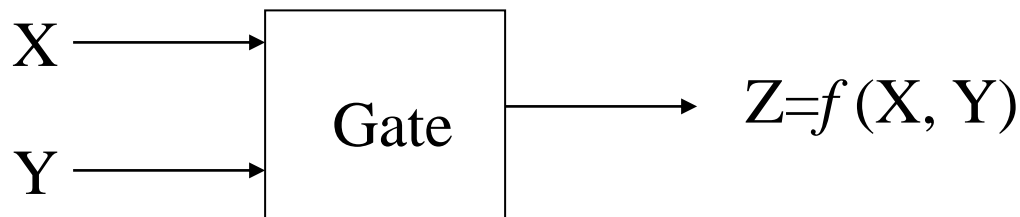
- 在电路中，用电压的高低来表示逻辑值

电信号		逻辑值	
		正逻辑	负逻辑
高电压H	$V_H^{\max}$	1 (真)	1 (假)
不稳定			
低电压L	$V_L^{\min}$	0 (假)	0 (真)

- 一个信号被置为逻辑1称为有效的或者真。
- 一个信号被清为逻辑0称为无效的或者假
- 高有效信号（正逻辑）和低有效信号（负逻辑）
- 信号的极性(Polarity)表示信号是高有效或是低有效

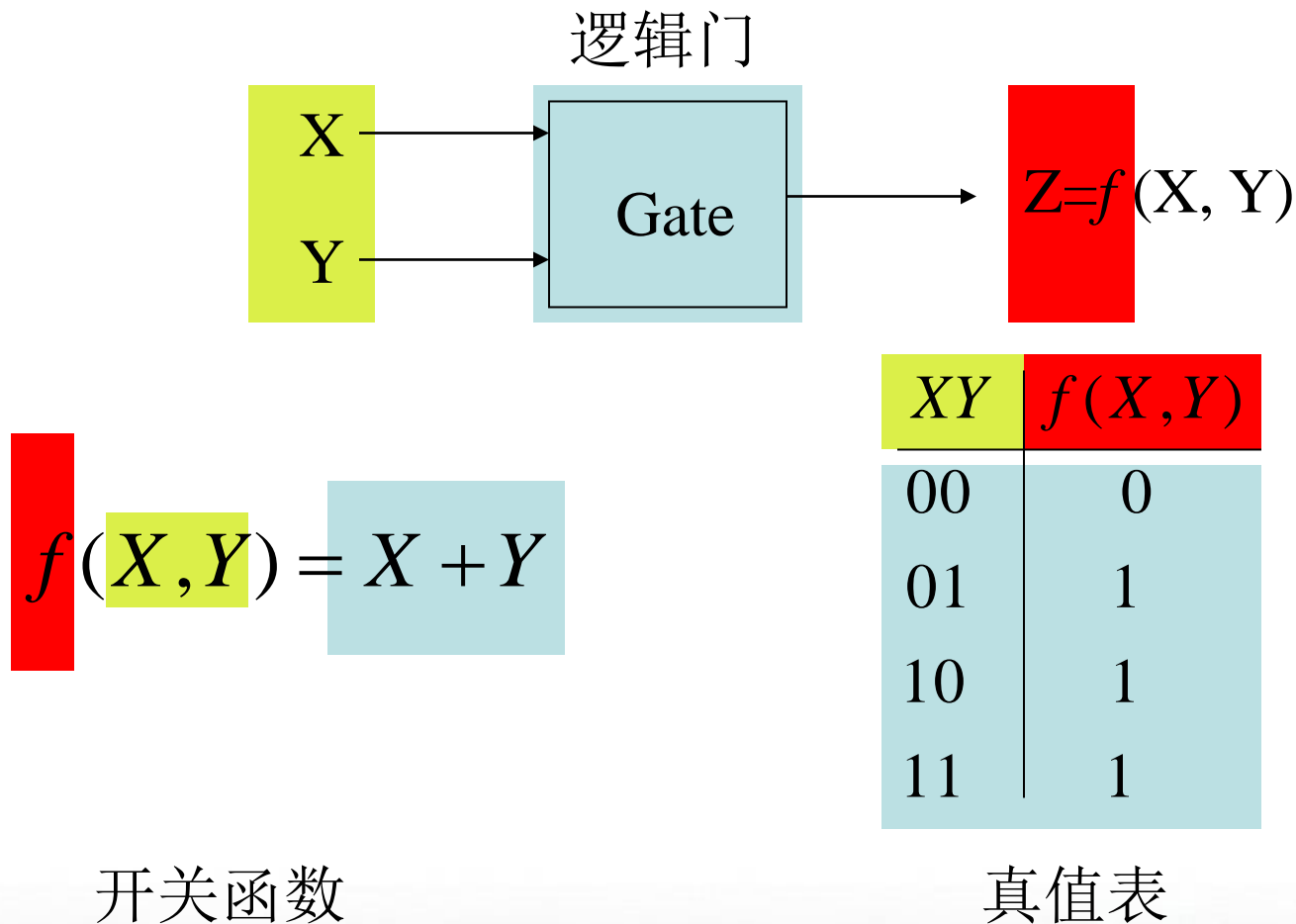
# 逻辑门

- 逻辑门(Logic Gate)是实现一个逻辑操作的电路（系统），是组成电路的最小的逻辑单元。
  - 信息的流向：输入端 → 输出端
  - 输入和输出在数量上是有限的，并且承载二进制的电信号
  - 输入信号到输出信号的转换可以用逻辑操作的模型来表示



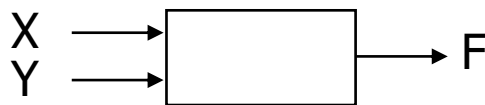


# 逻辑门和布尔函数的关系



# 两输入逻辑门

## □ 16种可能的逻辑门

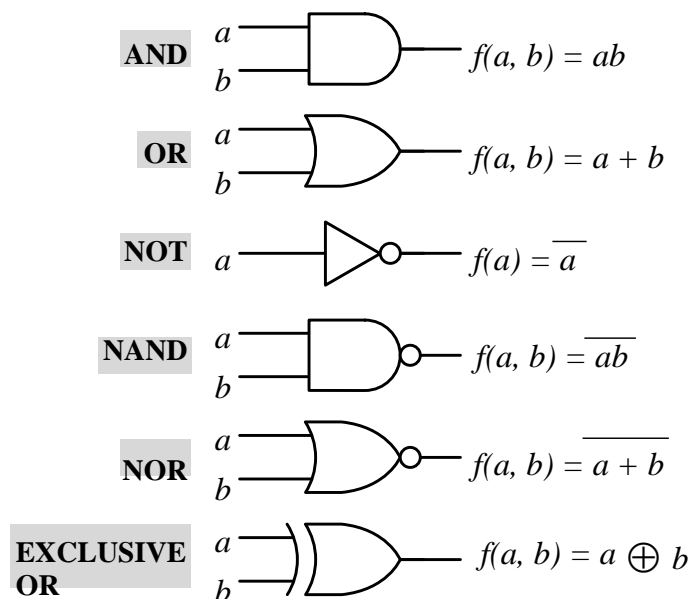


		16 种可能的函数 (F0–F15)															
X	Y	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
		0		X		Y		X <u>xor</u> Y		X <u>or</u> Y		X <u>nor</u> Y not (X <u>or</u> Y)		X = Y		not Y	
		X <u>and</u> Y												not X		X <u>nand</u> Y not (X <u>and</u> Y)	

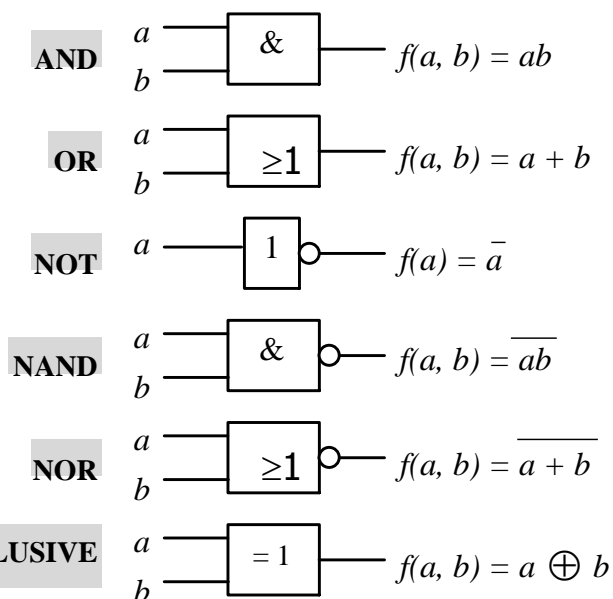
# 逻辑门的符号表示

- 逻辑门可以用一个图形符号表示
- 扇入(Fan-in): 输入信号的个数。
- 一般门的扇入是2, 3, 4, 8等等。
- 用图形符号的形状和其中的字符表示逻辑门的功能。
- 图形符号的输入或输出的圆泡(bubbles)表示该信号是低有效信号（负逻辑）。
- 两种标准
  - 标准符号
  - IEEE块符号

# 两种标准的符号表示



Symbol set 1



Symbol set 2  
(ANSI/IEEE Standard 91-1984)

# 基本功能部件(1)

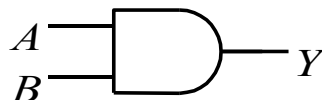
## □ 与门(AND)

$a$	$b$	$f_{AND}(a, b) = ab$
0	0	0
0	1	0
1	0	0
1	1	1

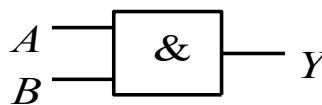
(a)

$A$	$B$	$Y$
L	L	L
L	H	L
H	L	L
H	H	H

(b)



(c)



(d)

- (a) 与门的逻辑功能
- (b) 与门的电子功能
- (c) 标准符号表示
- (d) IEEE 块符号表示

## 其 功能

(a) 正逻辑：输入同时为1，输出为1。任意输入为0，输出为0

(b) 1通过的功能

# 基本的功能部件 (2)

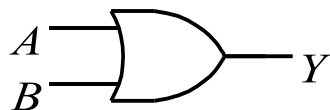
## □ 或门(OR)

$a$	$b$	$f_{OR}(a, b) = a + b$
0	0	0
0	1	1
1	0	1
1	1	1

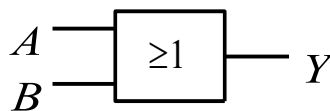
(a)

$A$	$B$	$Y$
L	L	L
L	H	H
H	L	H
H	H	H

(b)



(c)



(d)

- (a) 或门的逻辑功能
- (b) 或门的电子功能
- (c) 标准符号表示
- (d) IEEE 块符号表示.

## ■ 功能

(a) 正逻辑：输入同时为0，输出为0。任意输入为1，输出为1

(b) 0通过的功能

# 基本功能模块 (4)

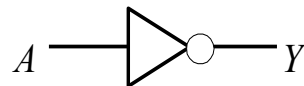
## □ 非门(NOT)

$a$	$f_{NOT}(a) = \bar{a}$
0	1
1	0

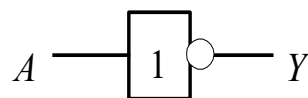
(a)

$A$	$Y$
L	H
H	L

(b)



(c)



(d)

- (a) 非门的逻辑功能
- (b) 非门的电子功能
- (c) 标准符号表示
- (d) IEEE 块符号表示

## ⚡ 功能

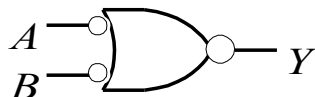
- (a) 取反功能
- (b) 当输入为1时，输出的为0

# 基本功能模块(5)

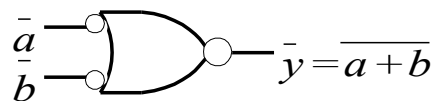
## □ 负逻辑中与门的用法

$A$	$B$	$Y$
L	L	L
L	H	L
H	L	L
H	H	H

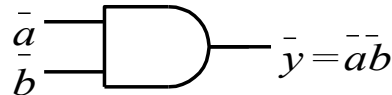
(a)



(b)



(c)



(d)

- (a) 与门的真值表( $L = 1, H = 0$ )
- (b) 替代与门的符号 (负逻辑), 低电平有效
- (c) 推荐的使用
- (d) 不适当的使用
- $y = a \cdot b = \overline{\overline{a \cdot b}} = \overline{\overline{a} + \overline{b}} = \bar{f}_{OR}(\bar{a}, \bar{b})$
- $\bar{y} = \overline{(\bar{a}) + (\bar{b})} = \overline{a + b} = \bar{f}_{OR}(a, b)$

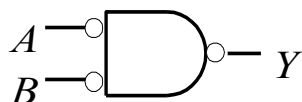


# 基本功能模块(6)

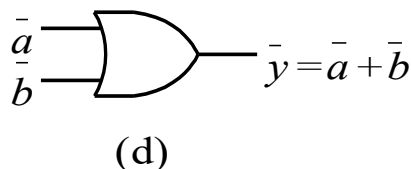
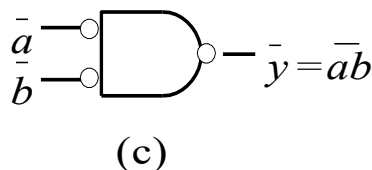
## □ 或门在负逻辑中的用法

$A$	$B$	$Y$
L	L	L
L	H	H
H	L	H
H	H	H

(a)



(b)



- (a) 或门的真值表( $L = 1, H = 0$ )
- (b) 替代或门的符号(负逻辑)
- (c) 推荐的使用
- (d) 不适当的使用
- $y = a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}} = \bar{f}_{AND}(\bar{a}, \bar{b})$
- $\bar{y} = \overline{(\bar{a}) \cdot (\bar{b})} = \overline{\bar{a} \cdot \bar{b}} = \bar{f}_{AND}(a, b)$

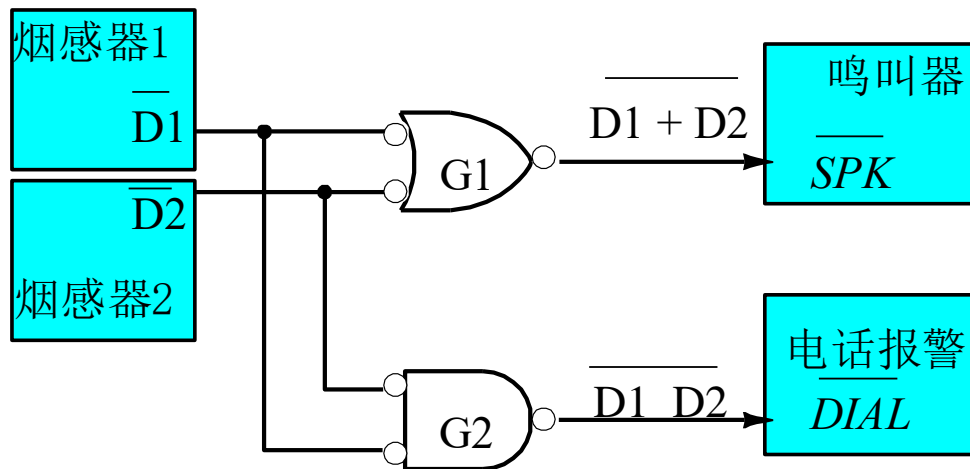
# 基本功能模块(7)

## □ 例子: 设计烟感警报系统

- 部件: 两个烟感探测器, 一个鸣叫器, 一个自动电话报警器
- 行为:
  - 当两个烟感器中的任何一个检测到烟, 鸣叫器报警。
  - 当两个烟感器同时检测到烟, 自动向消防局打电话报警。
- 信号:
  - $\overline{D1}, \overline{D2}$  : 两个烟感器输出的低有效信号
  - $\overline{SPK}$  : 鸣叫器的低有效输入信号
  - $\overline{DIAL}$  : 自动电话报警器的低有效输入信号
- 逻辑方程
  - $\overline{SPK} = \overline{D1 + D2}$
  - $\overline{DIAL} = \overline{D1 \cdot D2}$

# 基本功能模块(8)

## □ 烟感报警系统的逻辑图



# 基本功能模块(9)

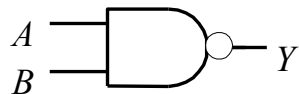
## □ 与非门

$a$	$b$	$f_{NAND}(a, b) = ab$
0	0	1
0	1	1
1	0	1
1	1	0

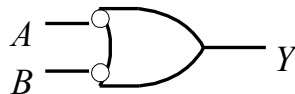
(a)

$A$	$B$	$Y$
L	L	H
L	H	H
H	L	H
H	H	L

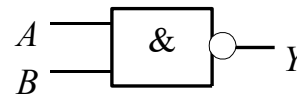
(b)



(c)



(d)



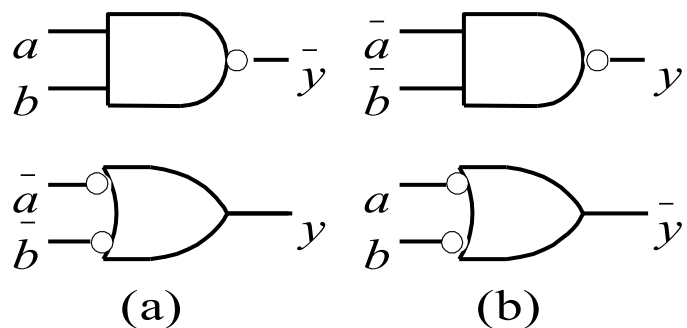
(e)

- (a) 与非门的逻辑功能
- (b) 与非门的电子功能
- (c) 标准符号表示
- (d) 替代符号（负逻辑）
- (e) IEEE 块符号表示

# 基本功能模块(10)

## □ 与非门的输入极性要匹配

— (a) 推荐的使用      (b) 不适当的使用



## □ 与非门的附加特性

$$f_{NAND}(a, a) = \overline{a \cdot a} = \bar{a} = f_{NOT}(a)$$

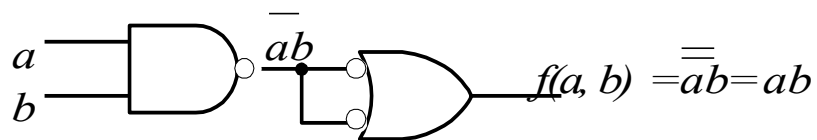
$$\bar{f}_{NAND}(a, b) = \overline{\overline{a \cdot b}} = a \cdot b = f_{AND}(a, b)$$

$$f_{NAND}(\bar{a}, \bar{b}) = \overline{\bar{a} \cdot \bar{b}} = a + b = f_{OR}(a, b)$$

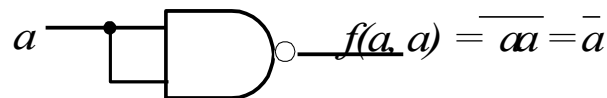
## □ NAND可以用来实现所有3种基本逻辑操作

# 基本功能模块(11)

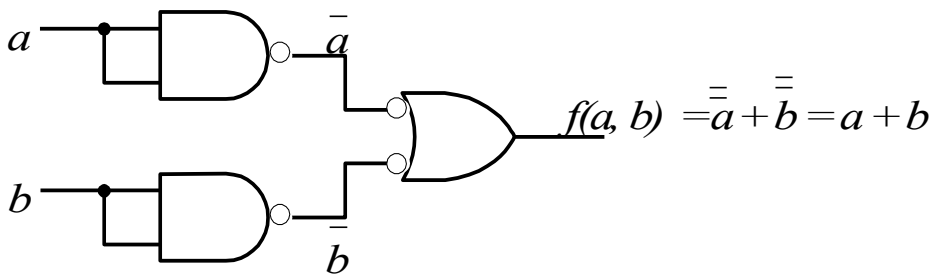
□ AND, OR, NOT门可以用NAND门来构造



AND gate



NOT gate



OR gate

# 基本功能模块(12)

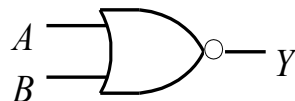
## □ 或非门

$a$	$b$	$f_{NOR}(a, b) = \overline{a + b}$
0	0	1
0	1	0
1	0	0
1	1	0

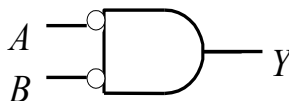
(a)

$A$	$B$	$Y$
L	L	H
L	H	L
H	L	L
H	H	L

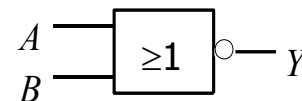
(b)



(c)



(d)



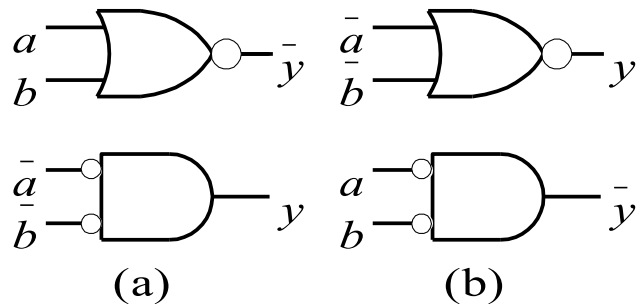
(e)

- (a) NAND逻辑功能
- (b) NAND的电子功能
- (c) 标准符号
- (d) 替代符号（负逻辑）
- (e) IEEE块符号

# 基本功能模块(13)

## □ 信号极性与NOR门的输入输出匹配

– (a) 推荐用法      (b) 不适当用法



## □ NOR 门的附加特性

$$f_{NOR}(a, a) = \overline{a + a} = \bar{a} = f_{NOT}(a)$$

$$\bar{f}_{NOR}(a, b) = \overline{\overline{a + b}} = a + b = f_{OR}(a, b)$$

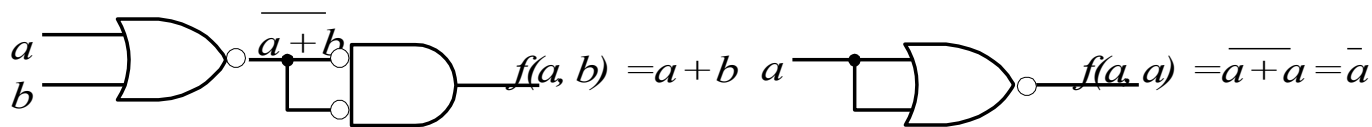
$$f_{NOR}(\bar{a}, \bar{b}) = \overline{\bar{a} + \bar{b}} = a \cdot b = f_{AND}(a, b)$$

□ 可以用于非门实现所有3个基本逻辑操作.



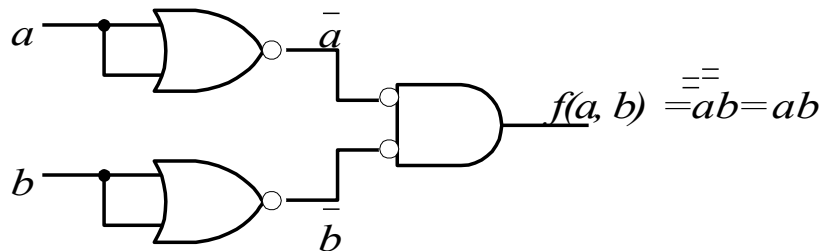
# 基本功能模块(14)

□ 用NOR门构造AND, OR, and NOT门



**OR gate**

**NOT gate**



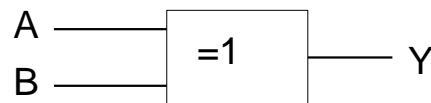
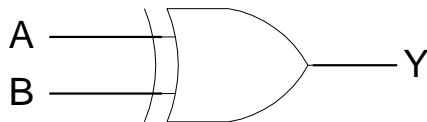
**AND gate**

# 基本功能模块(15)

## □ 异或门(XOR)

$$- f_{\text{XOR}}(a, b) = a \oplus b = \bar{a}b + a\bar{b}$$

$a \ b$	$f_{\text{XOR}}(a, b) = a \oplus b$	$A \ B$	$Y$
0 0	0	L L	L
0 1	1	L H	H
1 0	1	H L	H
1 1	0	H H	L



- (a) XOR逻辑功能
- (b) XOR门电子功能
- (c) 标准符号
- (d) IEEE 块符号

## ■ 功能

- (a) 相同为0, 不同为1
- (b) 0通过, 1取反

# 基本功能模块(16)

## □ XOR的积之和POS

$$a \oplus b = \bar{a}b + a\bar{b} = (\bar{a} + \bar{b})(a + b)$$

– 一些有用的性质

–  $a \oplus a = 0$

–  $a \oplus \bar{a} = 1$

–  $a \oplus 0 = a$

–  $a \oplus 1 = \bar{a}$

–  $\bar{a} \oplus \bar{b} = a \oplus b$

–  $a \oplus b = b \oplus a$  （交换率）

–  $a \oplus (b \oplus c) = (a \oplus b) \oplus c$  （结合律）

–  $a(b \oplus c) = ab \oplus ac$  （分配率）

# 基本功能模块(17)

□ XOR门的输出有效，当且仅当输入的和为1。

$ab$	$sum(a, b)$	$sum(a, b) = 1?$	$f(a, b) = a \oplus b$
00	0	False	0
01	1	True	1
10	1	True	1
11	2	False	0

□ XOR的输出是输入的模2和（实现加法器）

二进制加法运算	二进制乘法运算	异或运算	与运算
$0 + 0 = 0$ $0 + 1 = 1$ $1 + 0 = 1$ $1 + 1 = 10$	$0 \times 0 = 0$ $0 \times 1 = 0$ $1 \times 0 = 0$ $1 \times 1 = 1$	$0 \oplus 0 = 0$ $0 \oplus 1 = 1$ $1 \oplus 0 = 1$ $1 \oplus 1 = 0$	$0 \bullet 0 = 0$ $0 \bullet 1 = 0$ $1 \bullet 0 = 0$ $1 \bullet 1 = 1$

# 布尔表达式的环和(Ring-Sum)表示

□ 所谓函数的环和表示(RSE)就是以常量和与项的异或为函数的表达形式。

$$(\overline{x_1} + x_2)x_3$$

$$= \overline{x_1}x_2x_3 \oplus \overline{x_1}\overline{x_2}x_3 \oplus x_1x_2x_3$$

$$= (x_1 \oplus 1)x_2x_3 \oplus (x_1 \oplus 1)(x_2 \oplus 1)x_3 \oplus x_1x_2x_3$$

$$= x_2x_3 \oplus x_1x_2x_3 \oplus x_3 \oplus x_1x_3 \oplus x_2x_3 \oplus x_1x_2x_3 \oplus x_1x_2x_3$$

$$= x_3 \oplus x_1x_3 \oplus x_1x_2x_3$$

$$\overline{(\overline{x_1} + x_2)x_3} = 1 \oplus x_3 \oplus x_1x_3 \oplus x_1x_2x_3$$

# 基本功能模块(18)

## □ 异或非门或同或门 (**XNOR**)

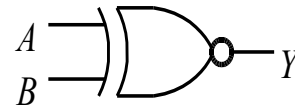
–  $f_{XNOR}(a, b) = \overline{a \oplus b} = a \odot b$

$a$	$b$	$f_{XNOR}(a, b) = a \odot b$
0	0	1
0	1	0
1	0	0
1	1	1

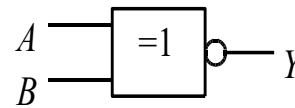
(a)

$A$	$B$	$Y$
L	L	H
L	H	L
H	L	L
H	H	H

(b)



(c)



(d)

- (a) XNOR逻辑功能
- (b) XNOR门电子功能
- (c) 标准符号
- (d) IEEE 块符号

## ■ 功能

- (a) 相同为1, 不同为0
- (b) 1通过, 0取反

# 基本功能模块(19)

## □ XNOR的SOP和POS

$$a \odot b = \overline{a \oplus b}$$

$$= \overline{\bar{a}b + a\bar{b}}$$

[P2]

$$= \overline{\bar{a}b} \cdot \overline{a\bar{b}}$$

[T8(a)]

$$= (a + \bar{b})(\bar{a} + b)$$

[T8(b)]

$$= a\bar{a} + ab + \bar{a}b + \bar{b}b$$

[P5(b)]

$$= ab + \bar{a}\bar{b}$$

[P6(b), P2(a)]

$$\overline{a \oplus b} = a \odot b$$

# 逻辑门传播延迟

## □ 传播延迟(Propagation delays)

- 需要考虑的数字电路的物理特性
  - 传播延迟
  - 门的扇入(fan-in)和扇出(fan-out)限制
  - 功耗
  - 规模和重量
- 传播延迟：输入变化和相应输出变化时间的延迟
  - 电路复杂性
  - 工艺
  - 门的扇出
  - 温度
  - 芯片电压等等



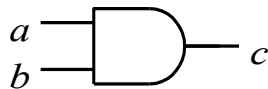
# 传播延迟

## □ 两种典型的传播延迟参数

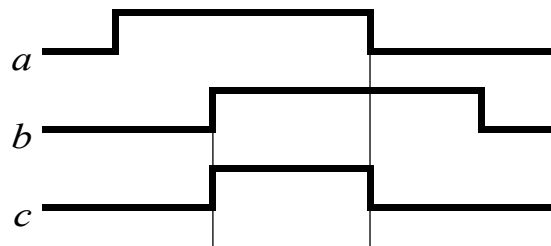
- $t_{PLH}$  = 低电平到高电平输出的传输延迟。
- $t_{PHL}$  = 高电平到低电平输出的传输延迟。

## □ 近似传播延迟 $t_{PD} = \frac{t_{PLH} + t_{PHL}}{2}$

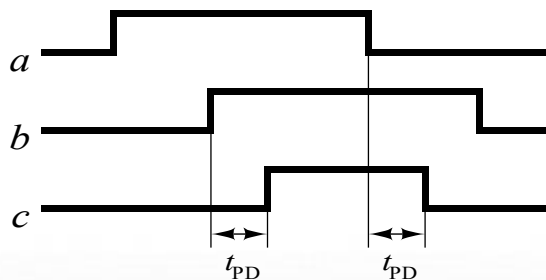
## □ 逻辑门的传播延迟



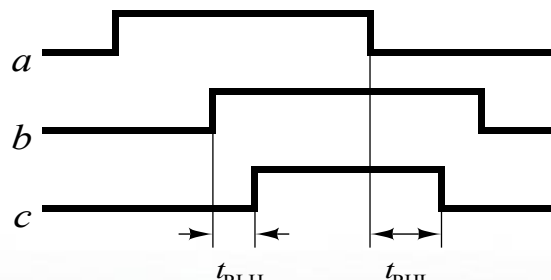
(a) Two-input AND gate



(b) Ideal (zero) delay



(c)  $t_{PD} = t_{PLH} = t_{PHL}$



(d)  $t_{PLH} < t_{PHL}$

# 逻辑电路

- 逻辑电路（logic circuit）是相互连接的逻辑门、电路输入端口和电路输出端口的有限集合。电路应该满足以下的约束条件：
  - 门的输入端只能连接常值或者门的输出端或者电路的输入端口
    - 电路的输入端口不能连接电路其它电路的输入端口或者任何门的输出端口
  - 门的输出端口只能连接门的输入端口或者电路的输出端口
    - 门的输出端不能与其它门的输出端或者电路的输入端口链接
- 总之：任何门的输出不能连接在一起！！！
  - 为什么？

# 逻辑电路的基本概念

---

- 逻辑电路的大小（Size）指所包含门的个数
- 逻辑电路的深度（depth）指电路中最长路经包含的门的个数
- 为什么实现电路一般建议用与非门？
- 为什么逻辑门有延迟？
- 为什么逻辑门的扇入和扇出有限制？
- 为什么逻辑门的输出不能连接在一起？

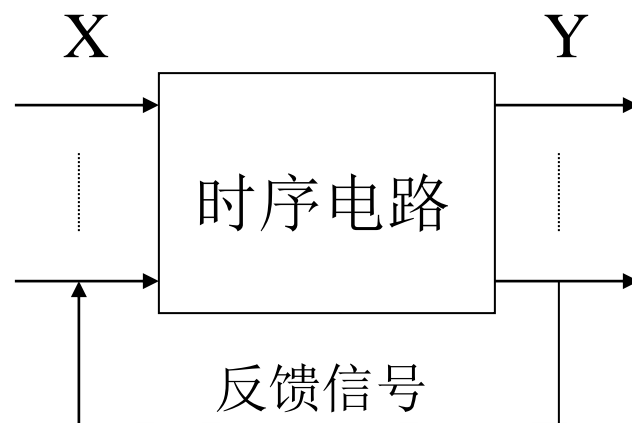
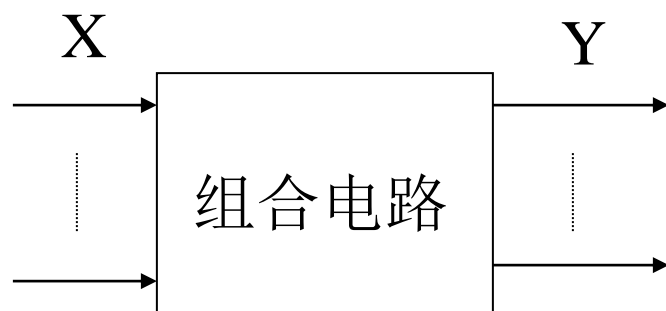
# 逻辑电路类型

## □ 组合电路(Combinational Circuit)

- 输出端口的信号值仅由输入端口的信号值确定

## □ 时序电路(Sequential Circuit)

- 与组合电路不同的其它情况。



# 半加器(Half Adder)

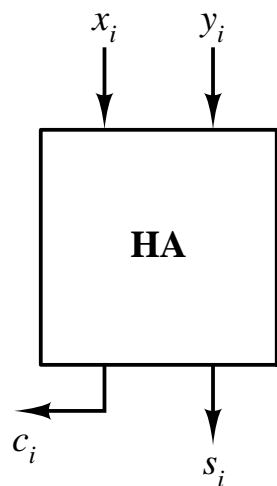
$$s_i(x_i, y_i) = x_i \overline{y_i} + \overline{x_i} y_i$$

$$c_i(x_i, y_i) = x_i y_i$$

输入

逻辑  
功能

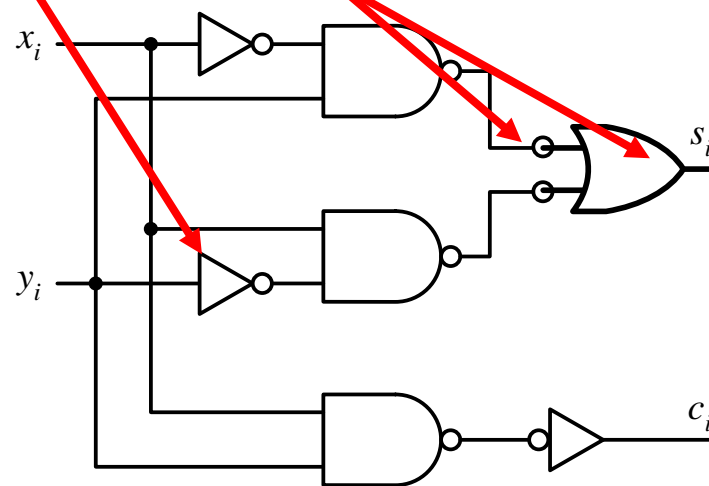
输出



(a)

$x_i$	$y_i$	$c_i$	$s_i$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

(b)



(c)

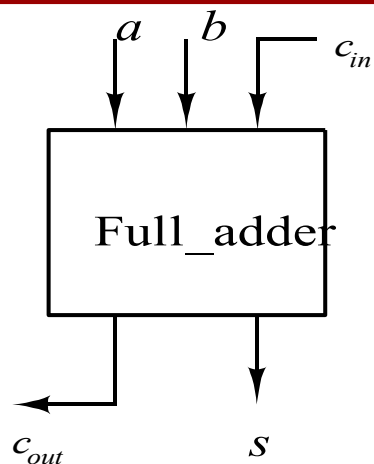
输入

逻辑功能

输出

硬件电路是并行的!!!

# 全加器(Full Adder)



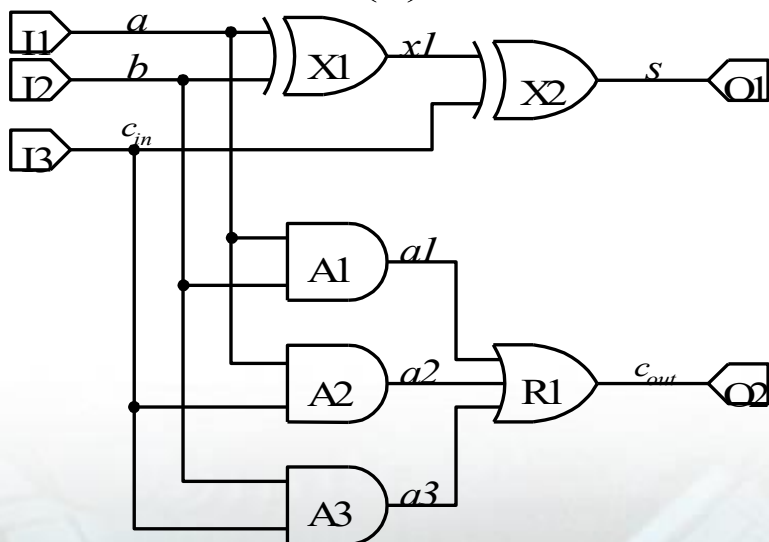
$a$	$b$	$c_{in}$	$c_{out}$	$s$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$s = a \oplus b \oplus c_{in}$$

$$c_{out} = ab + ac_{in} + bc_{in}$$

(c)

(a)



(a)

I1	IN	$a$		
I2	IN	$b$		
I3	IN	$c_{in}$		
X1	XOR2	$x1$	$a$	$b$
X2	XOR2	$s$	$x1$	$c_{in}$
A1	AND2	$a1$	$a$	$b$
A2	AND2	$a2$	$a$	$c_{in}$
A3	AND2	$a3$	$b$	$c_{in}$
R1	OR3	$c_{out}$	$a1$	$a2$
O1	OUT	$s$		
O2	OUT	$c_{out}$		

(b)

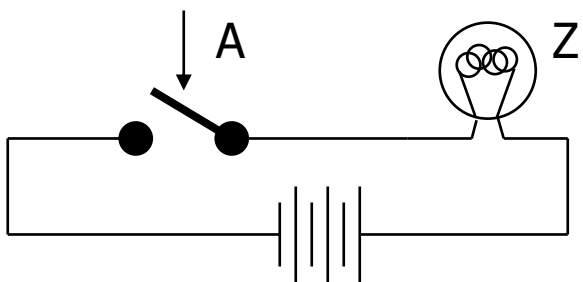


# 逻辑门的CMOS实现

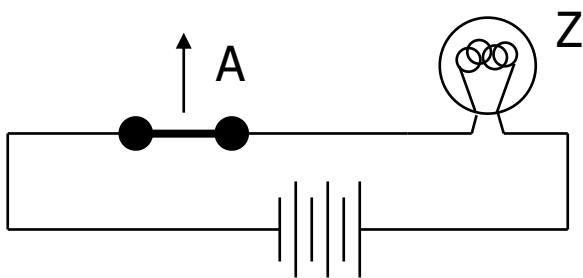


# 开关：物理实现的基本单元

## □ 简单电路的实现



关开关（如果A是“1”）  
电灯泡亮



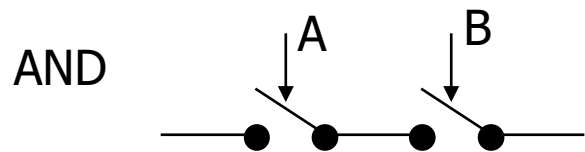
打开开关（如果A是“0”）  
电灯泡不亮

$$Z \equiv A$$

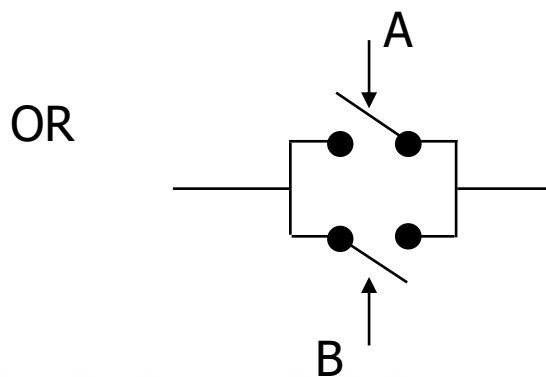


# 开关（续）

□ 用开关构造更复杂的功能（布尔函数）：



$$Z \equiv A \text{ and } B$$



$$Z \equiv A \text{ or } B$$

# 主要内容

---

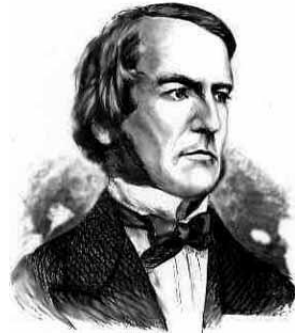
- 目标：了解逻辑门电路的实现
- 电子门系列（实现工艺）
  - TTL
  - ECL
  - MOS
  - CMOS

# 数字设计的基础

## □ 1850s, George Boole

- 将逻辑表述映射到符号
- 采用数学的方法处理逻辑推理

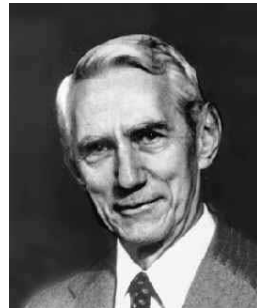
*“An investigation into the Laws of Thought”*



## □ 1938s, Claude Elwood Shannon

- 将布尔代数和硬件开关相联系
- 第一次提出bit（比特）表示信息

*“A Symbolic Analysis of Relay and Switching Circuits(1938)” Master thesis in MIT.*

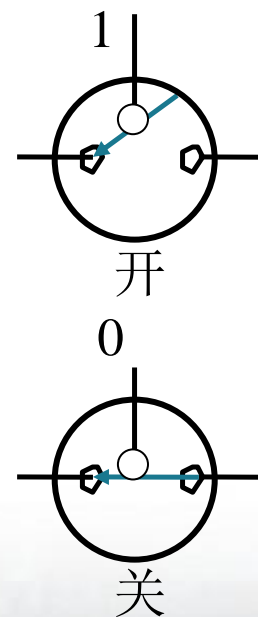
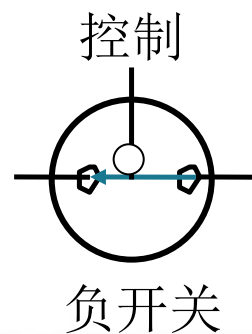
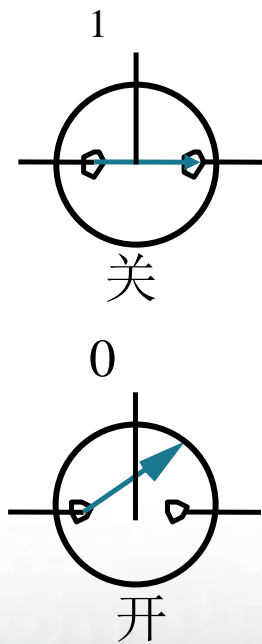
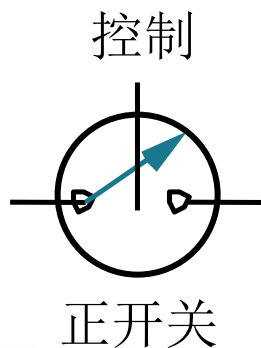


- 1941香农加入AT&T Bell 实验室
- *“The mathematical theory of communication”, 1948*

# 开关模型

□ 开关(Switch): 开关在控制信号的控制下连接两个端点。

- 正开关: 在控制信号为0时开; 为1时关。
- 负开关: 在控制信号为1时开; 为0时关。



# 基本的逻辑门开关模型(1)

## □ 非门(NOT)

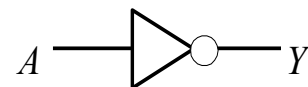
- 被动上拉模型
- 主动上拉模型
- 电源-逻辑1，地-逻辑0

$a$	$f_{NOT}(a) = \bar{a}$
0	1
1	0

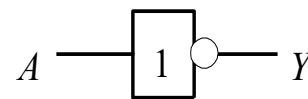
(a)

$A$	$Y$
L	H
H	L

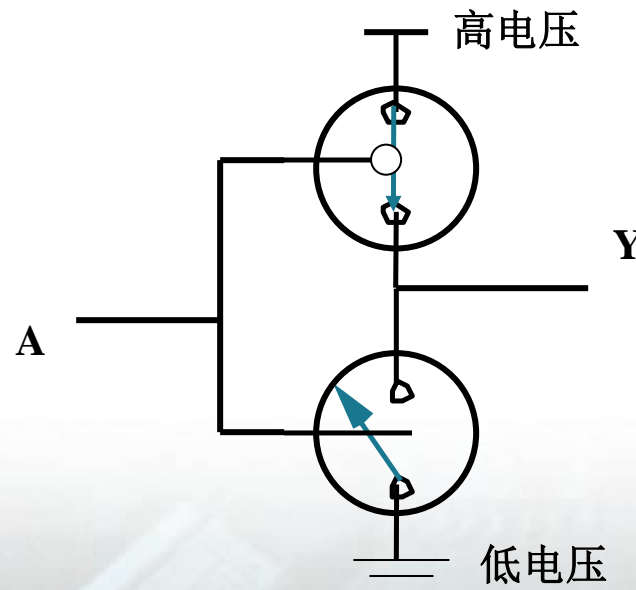
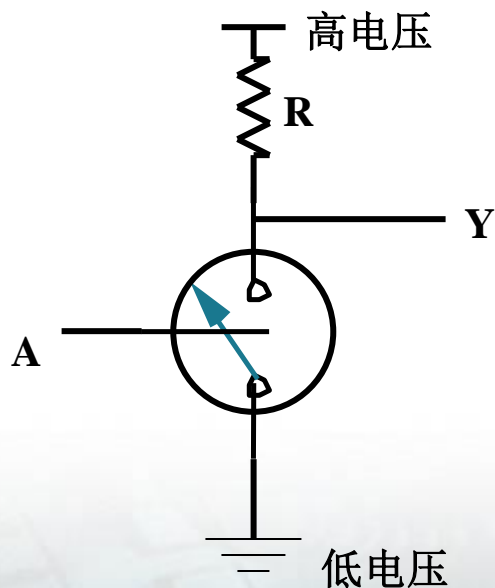
(b)



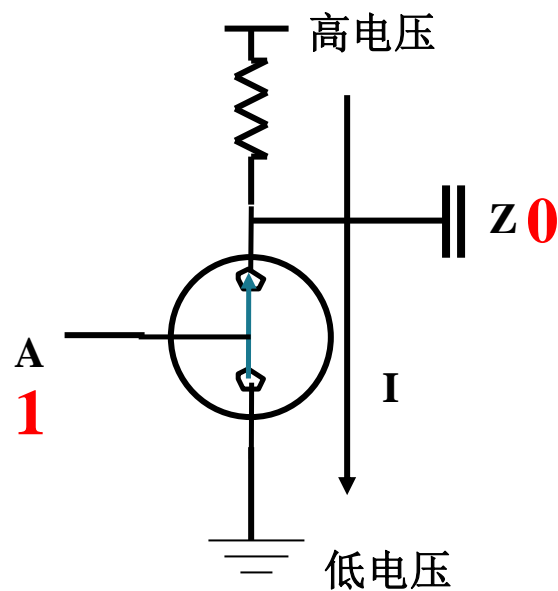
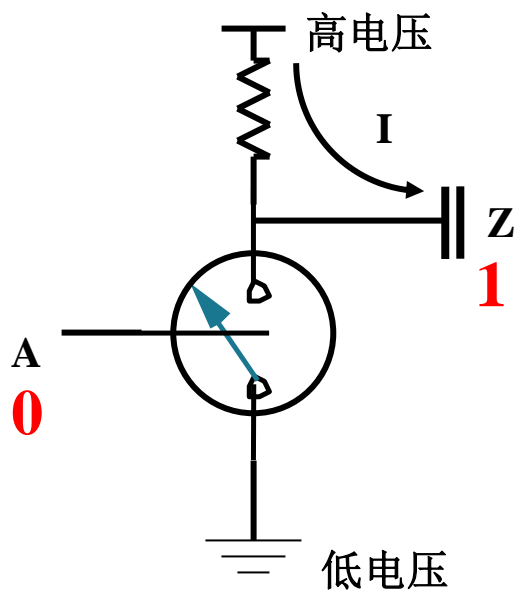
(c)



(d)



# 非门的开关模型分析



# 功耗 (Power Consumption)

□ 电路功耗：动态功耗+静态功耗

□ 动态功耗：

- 将电容 $C$ 充电到电压 $V_{DD}$ 需要的能量 $C \cdot V_{DD}$
- 电路的运行频率为  $f$
- 电容平均每秒 $f/2$ 次充电（放电不需要能量）
- 动态功耗： $P_{dynamic} = \frac{1}{2} C V_{DD}^2 f$

□ 静态功耗：

- 当门不开关时的功耗
- 静态电源电流， $I_{DD}$
- 静态功耗： $P_{static} = I_{DD} V_{DD}$

# 基本逻辑门开关模型(2)

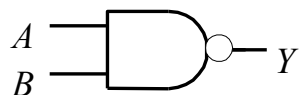
## □ 与非门(NAND)

$a$	$b$	$f_{NAND}(a, b) = ab$
0	0	1
0	1	1
1	0	1
1	1	0

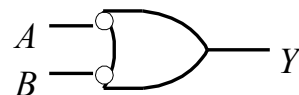
(a)

$A$	$B$	$Y$
L	L	H
L	H	H
H	L	H
H	H	L

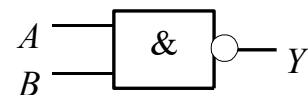
(b)



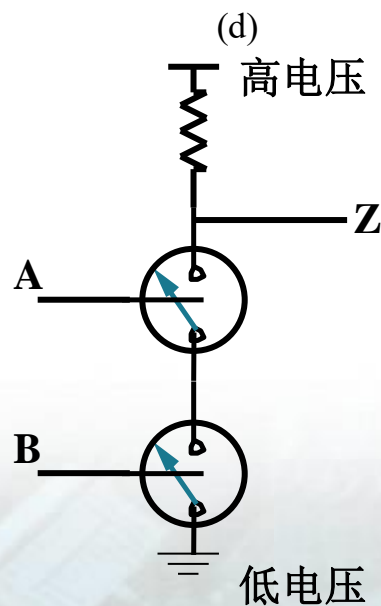
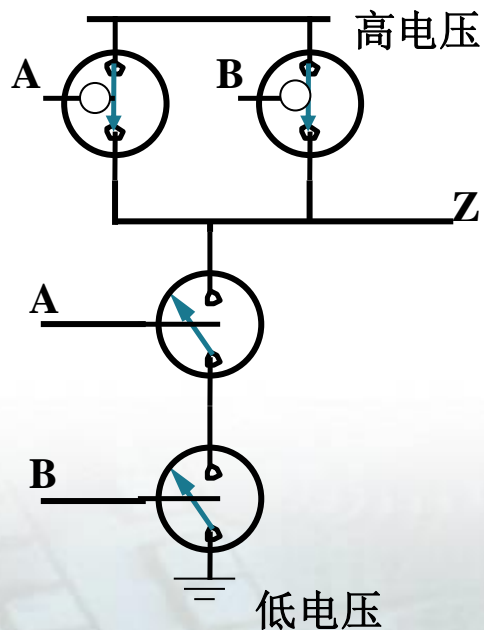
(c)



(d)



(e)





# 基本逻辑门开关模型(3)

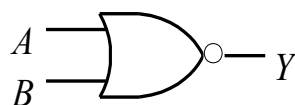
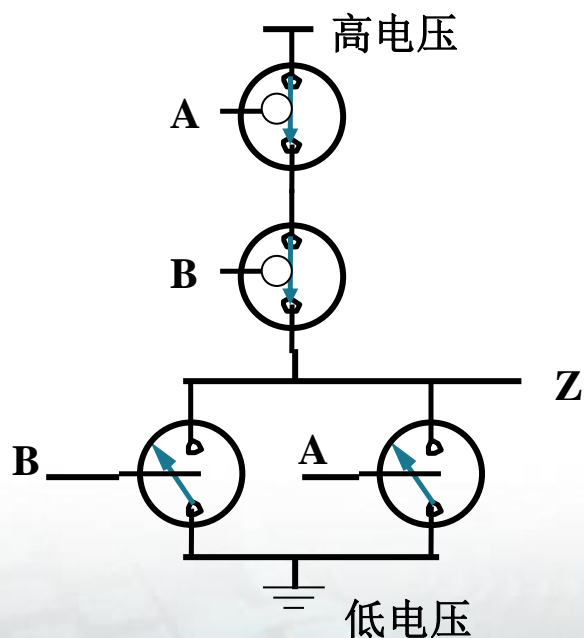
## □ 或非门(NOR)

$a$	$b$	$f_{NOR}(a, b) = \overline{a + b}$
0	0	1
0	1	0
1	0	0
1	1	0

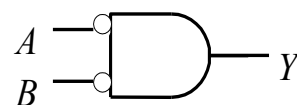
(a)

$A$	$B$	$Y$
L	L	H
L	H	L
H	L	L
H	H	L

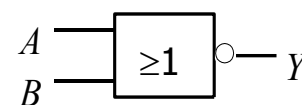
(b)



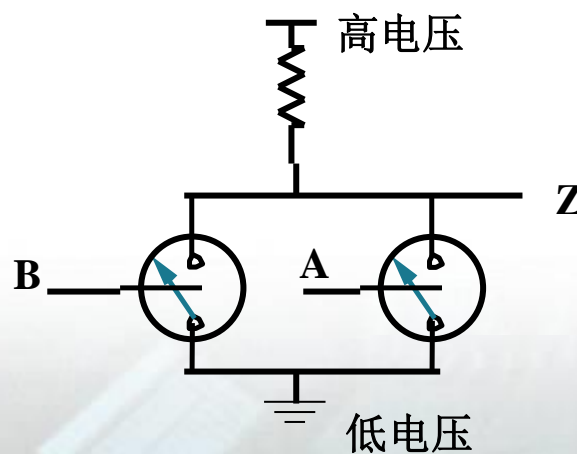
(c)



(d)



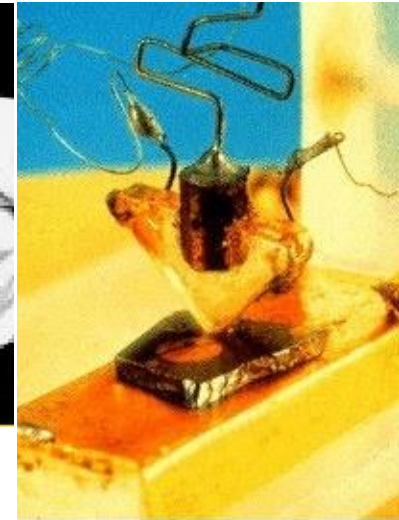
(e)



# 课程回顾：晶体管

## □ 1947.12.23 Bell Labs

- *John Bardeen*
- *Walter Brattain*
- *William Shockley*
- 发明晶体管(Transistor)
- 1956年诺贝尔物理学奖



## □ 1951 William Shockley invents the junction transistor (结型晶体管) .

## □ 1954 Texas Instruments

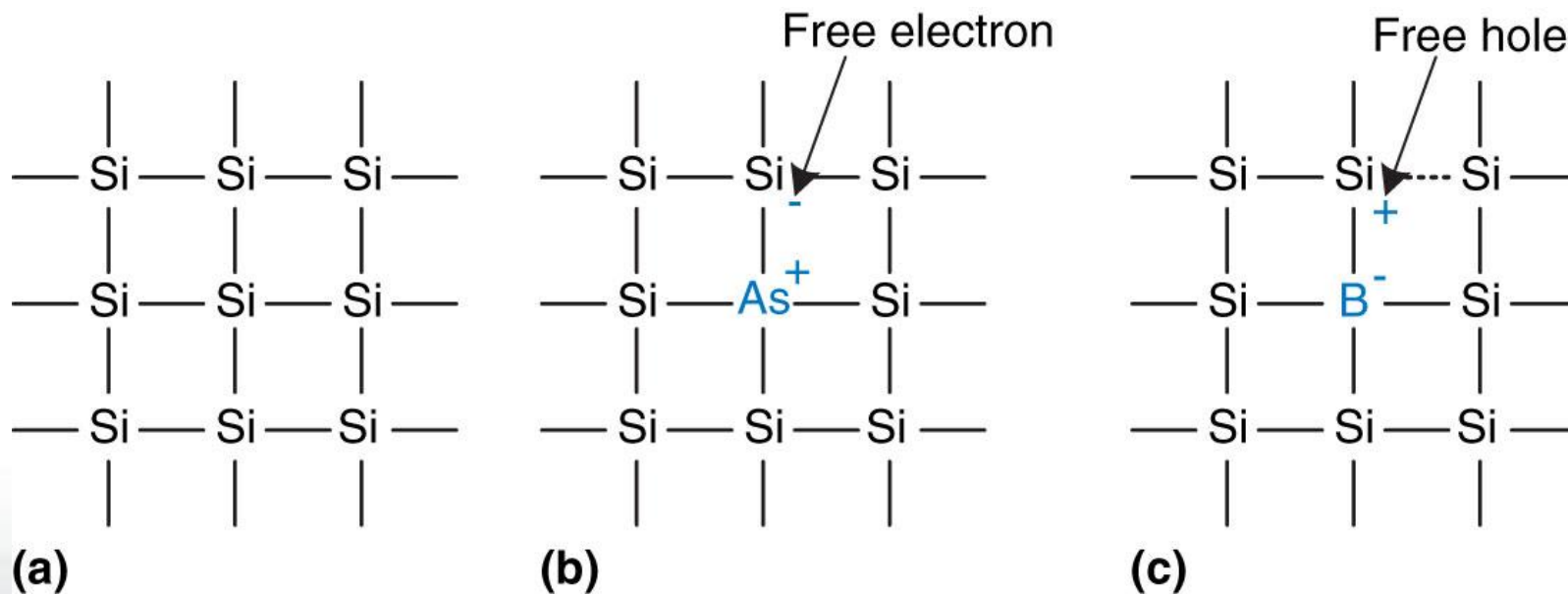
- silicon transistor



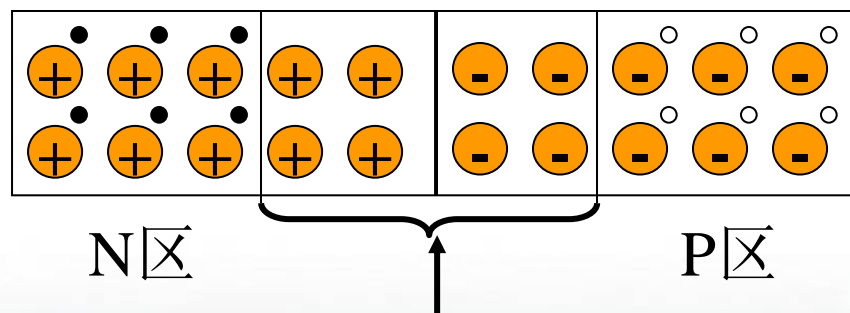
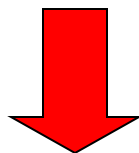
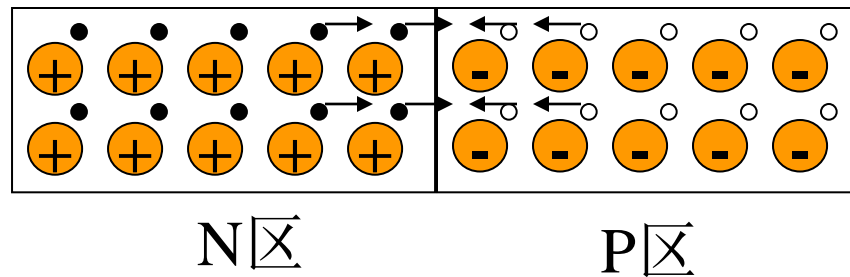
# 半导体器件

## □ 杂质半导体

- N型半导体：硅(Silicon)+五价元素（如磷）。利用自由电子导电。
- P型半导体：硅+三价元素（如硼），利用空穴导电。

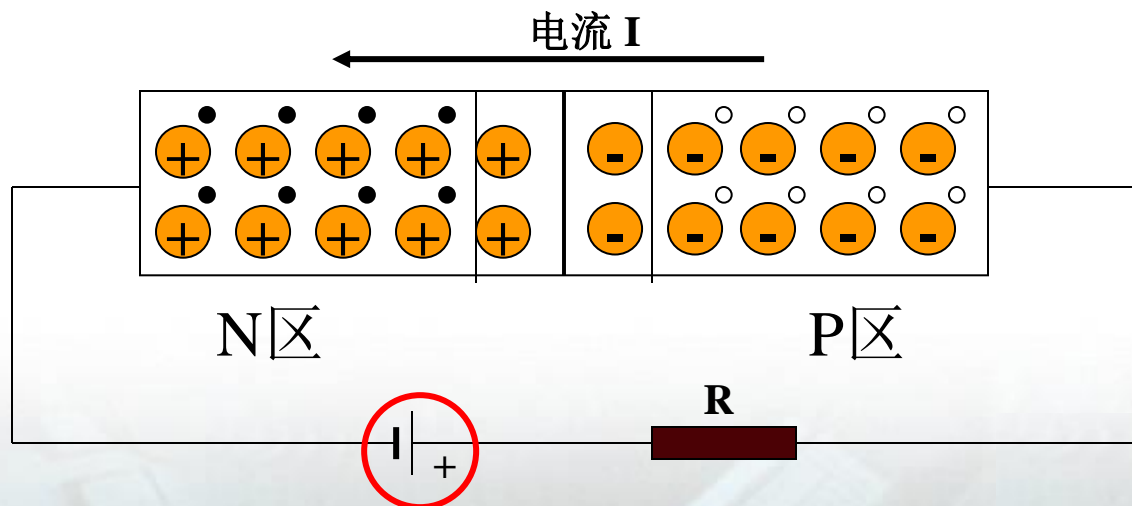
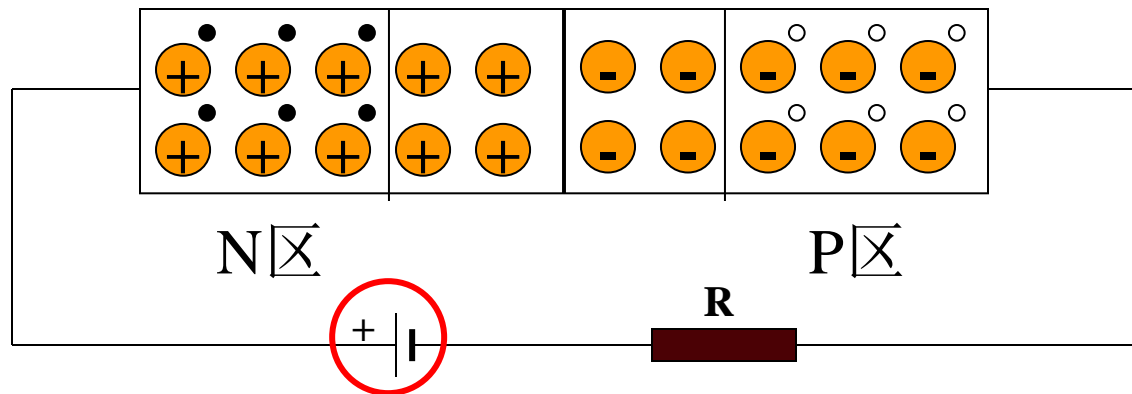


# PN结



平衡状态下的PN结  
耗尽层

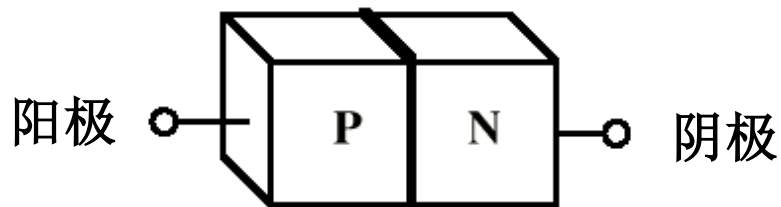
# PN结的导电特性



# 二极管(Diode)

## □ 二极管的构成

- 将金属线连接在PN结的两端，和P区连接的端口为阳极(Anode)，和N区相连接的为阴极(Cathode)。



二极管结构

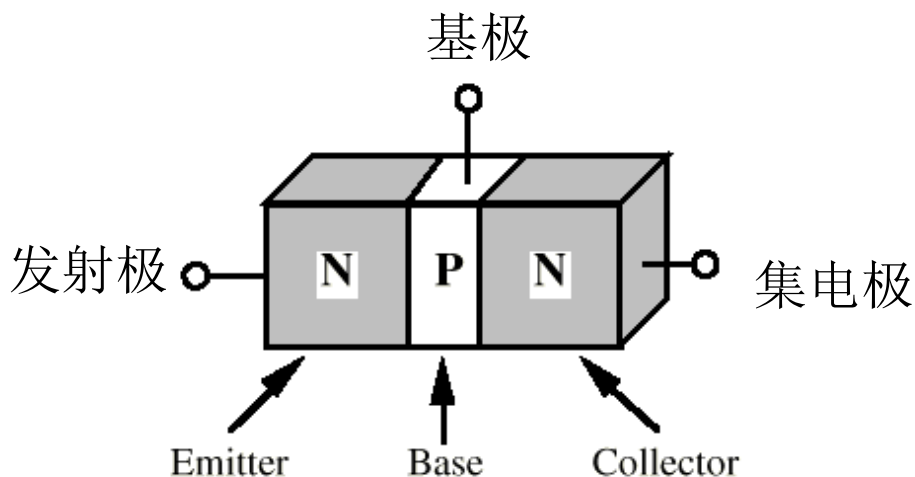


二极管的符号

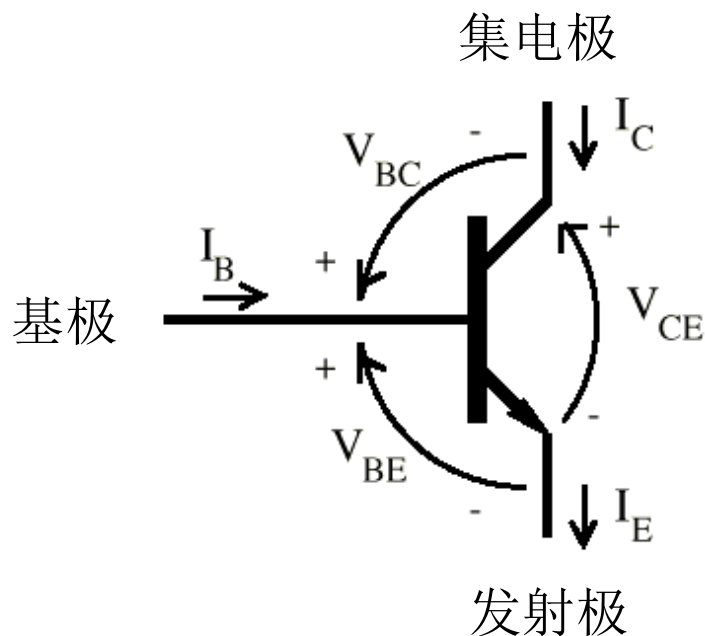
# 双极性晶体管(1)

## □ 双极性晶体管(Bipolar Junction Transistor)

- 也叫三极管。基极电压高于某个阈值，两个PN结道通，发射机和集电极在电压的作用下产生电流。
- 三极管具有电流放大功能，被广泛的用于放大电路。



内部结构

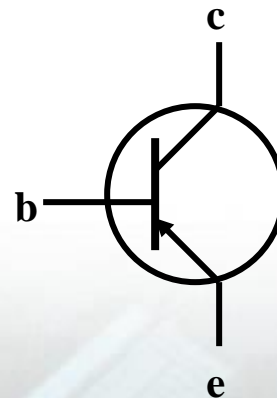
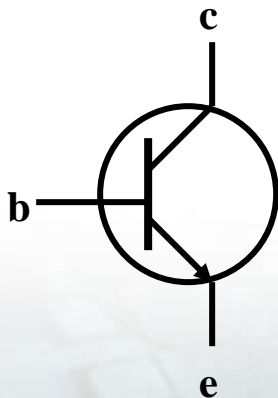
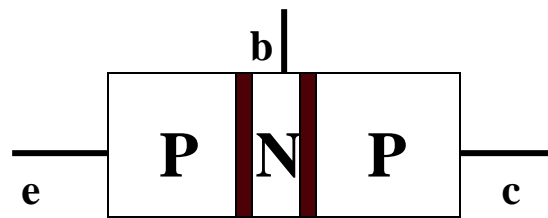
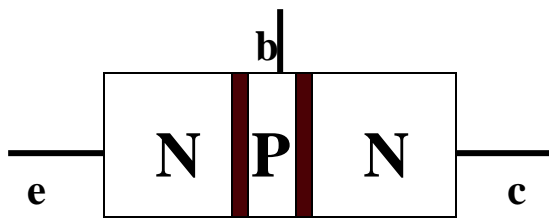


符号

# 双极性晶体管(2)

□ 类型:

- NPN型
- PNP型





# 场效应管

---

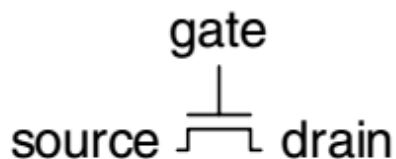
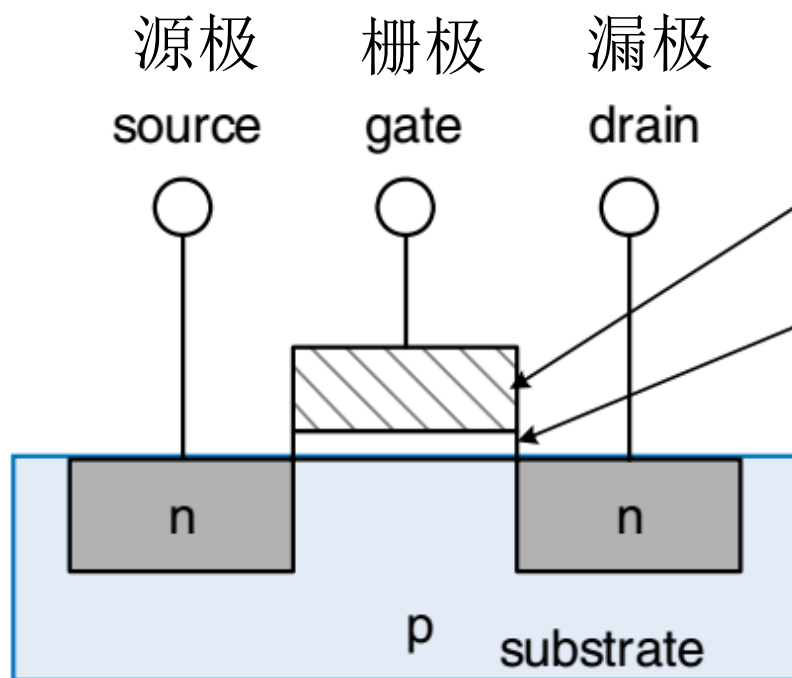
## □ 场效应管(Field-Effect Transistor)

- 金属氧化物半导体场效应管
- Metal-oxide semiconductor FET(MOSFET)
- 简称MOS

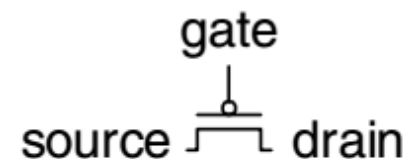
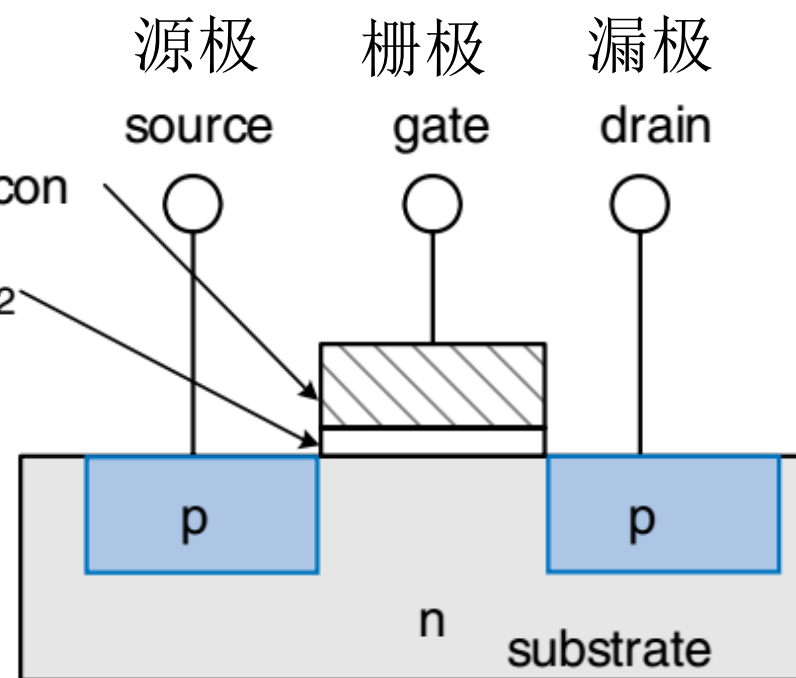
## □ 类型

- N沟道MOS管——nMOS（增强型，耗尽型）
- P沟道MOS管——pMOS（增强型，耗尽型）
- 互补型MOS管——CMOS

# nMOS和pMOS晶体管

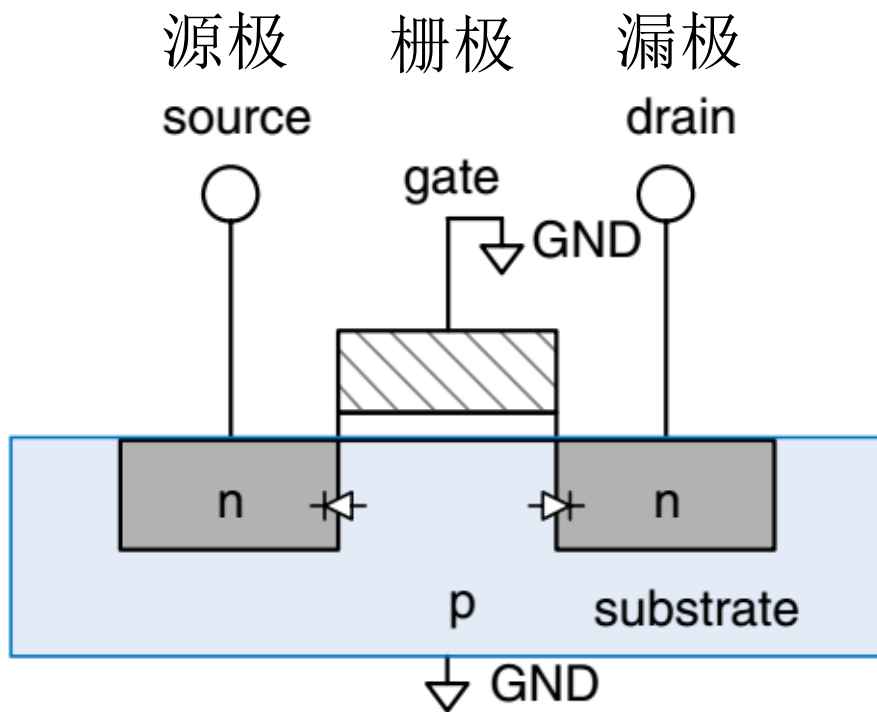


(a) nMOS

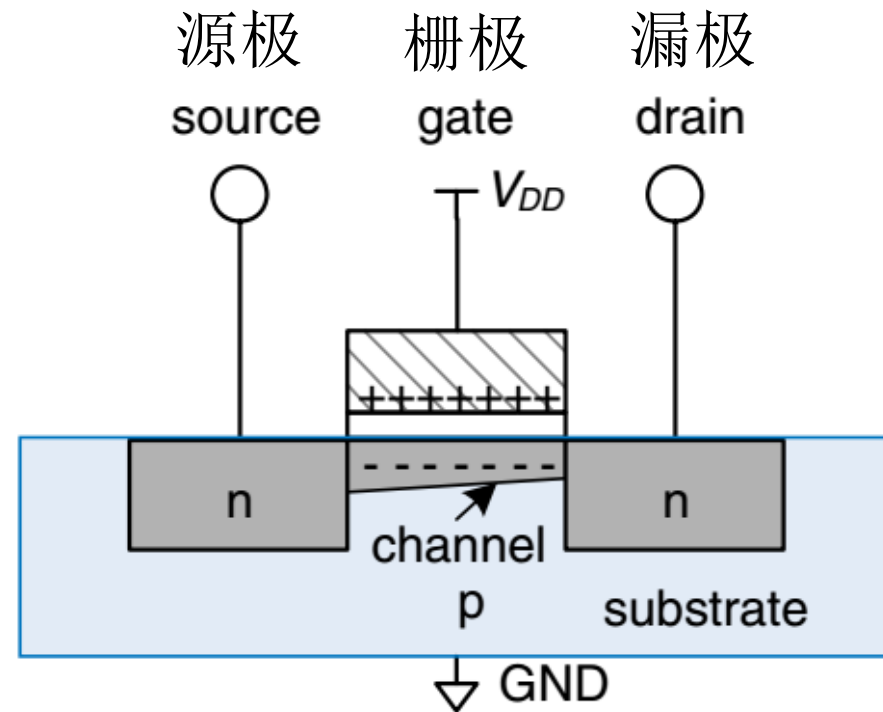


(b) pMOS

# nMOS的操作过程



(a)



(b)

# 两本推荐好书

---

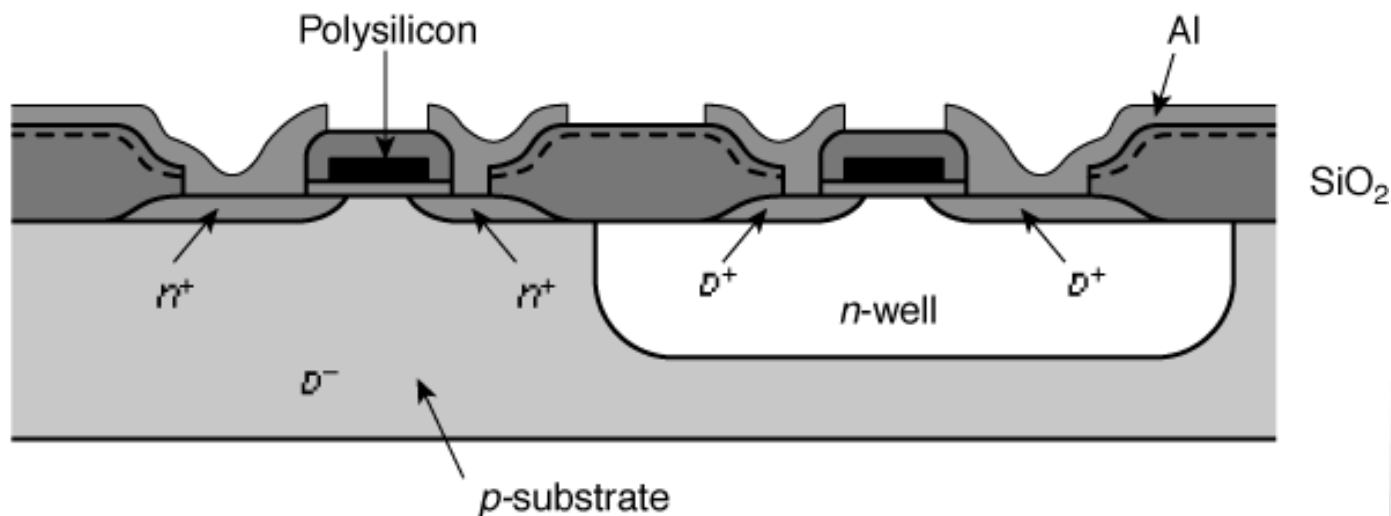
- ❑ Carver Mead and Lynn Conway,  
“**An Introduction to VLSI system**”, 1979.
- ❑ Weste, Neil H. E, **Principles of CMOS VLSI design : a systems perspective**, 2nd ed, Addison-Wesley, 1993。



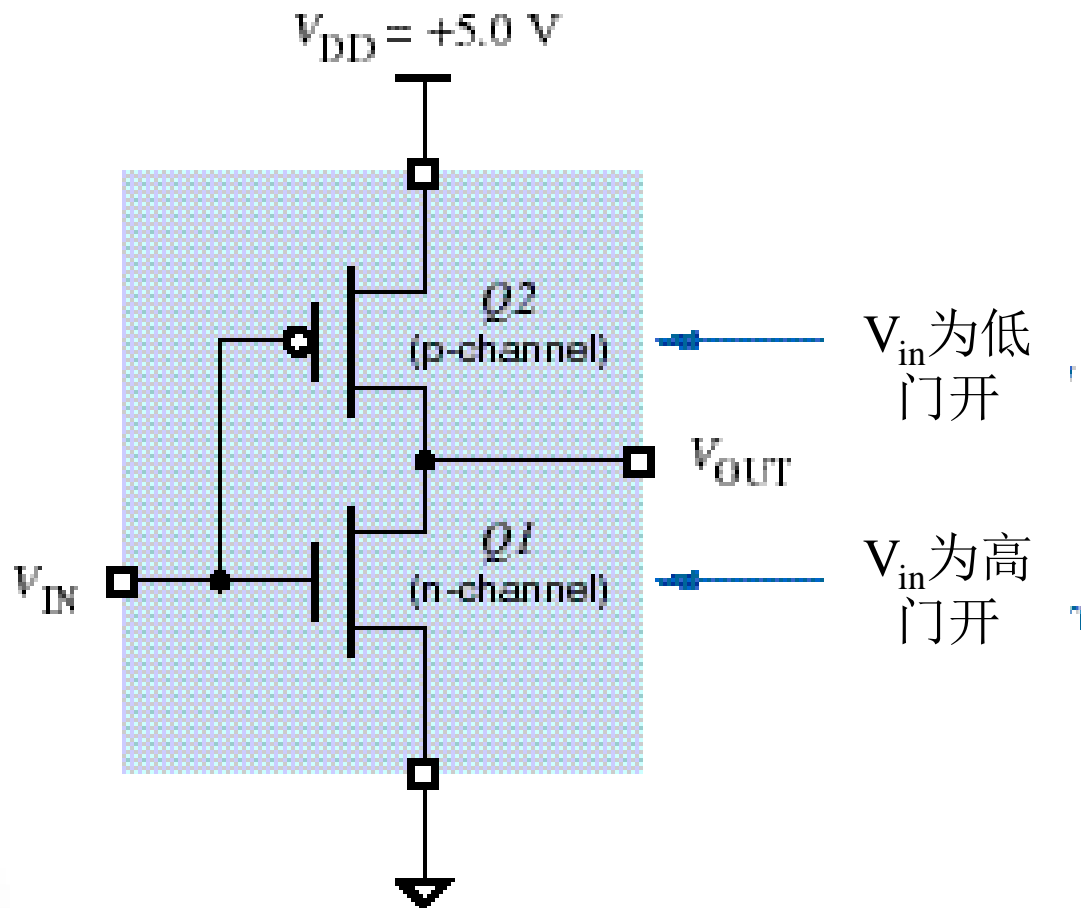
# CMOS系列

## □ nMOS和pMOS形成互补电路

- 电流小，功耗低
- 集成度高
- 速度慢（现代工艺已经解决了这个问题）

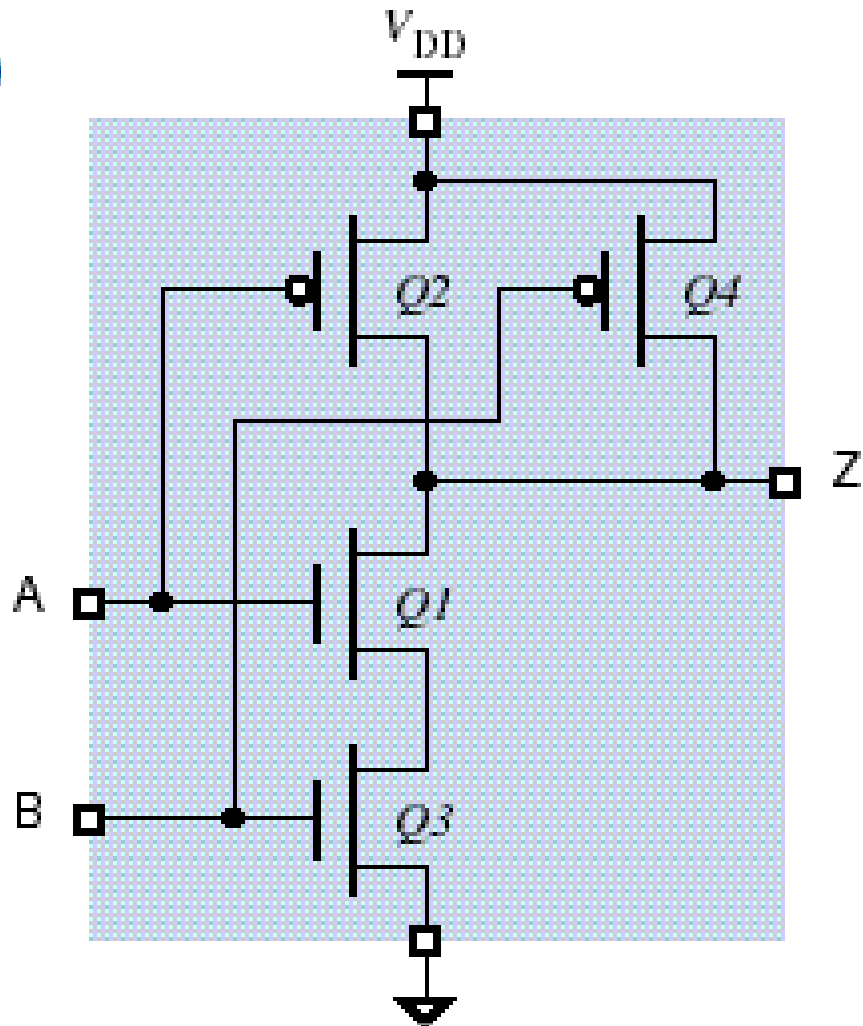


# CMOS反向器



# CMOS与非门(NAND)

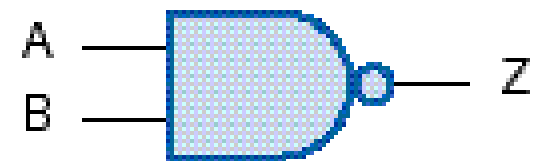
(a)



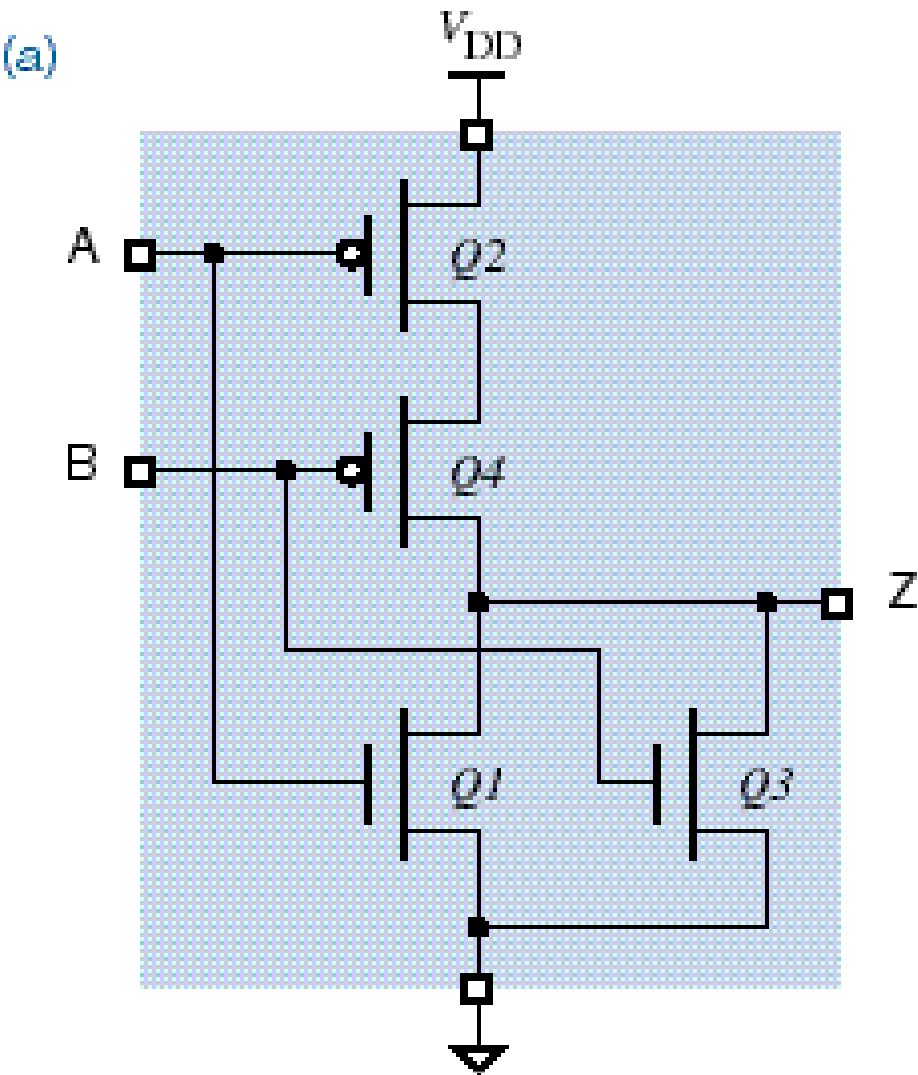
(b)

A	B	$Q1$	$Q2$	$Q3$	$Q4$	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

(c)



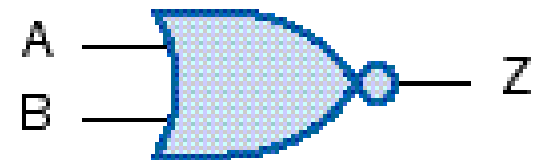
# CMOS或非门(NOR)



(b)

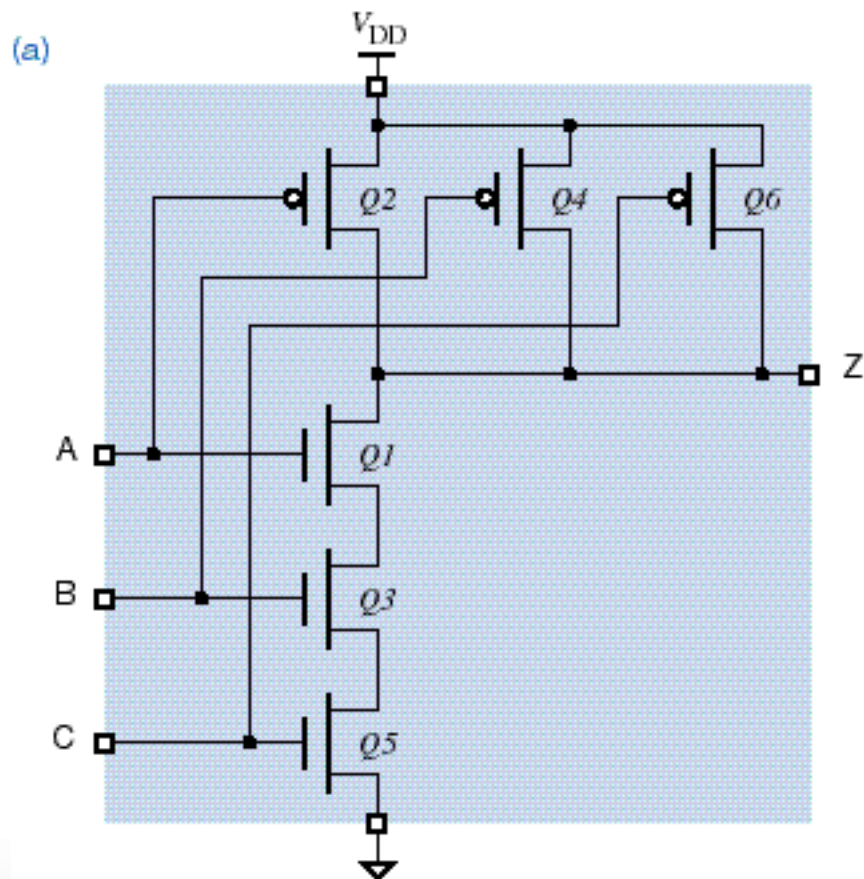
A	B	$Q1$	$Q2$	$Q3$	$Q4$	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

(c)





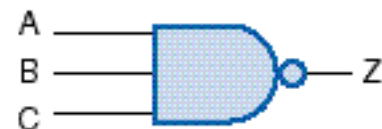
# 多输入CMOS与非门



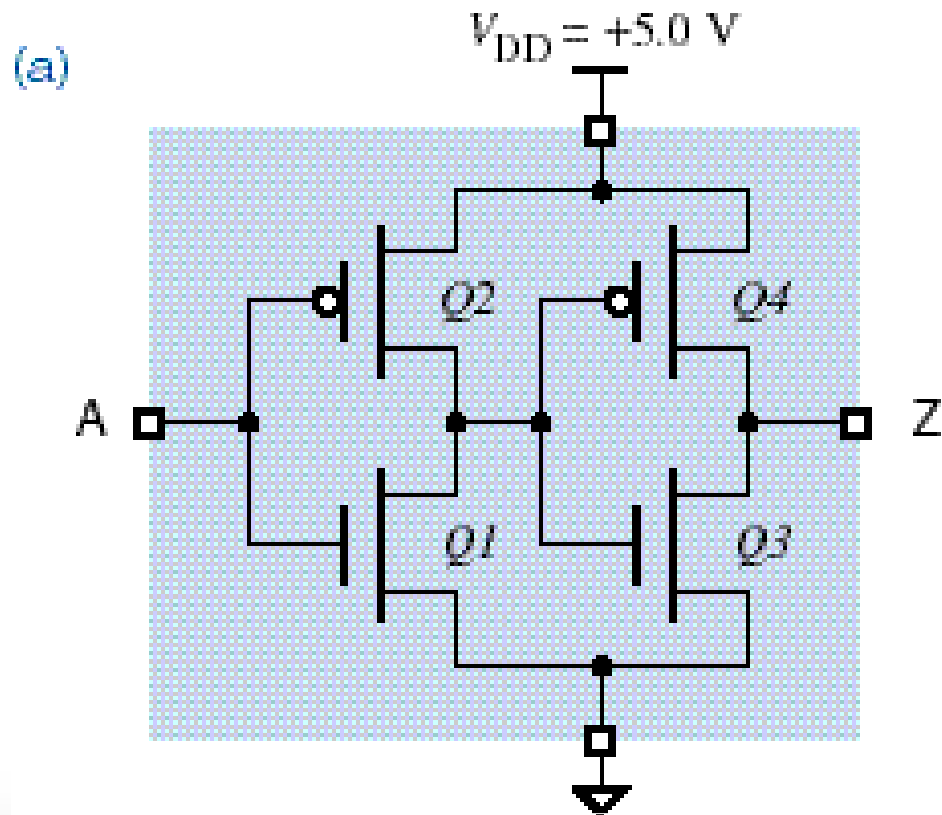
(b)

A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L

(c)



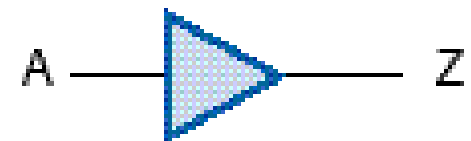
# CMOS缓冲器(buffer)



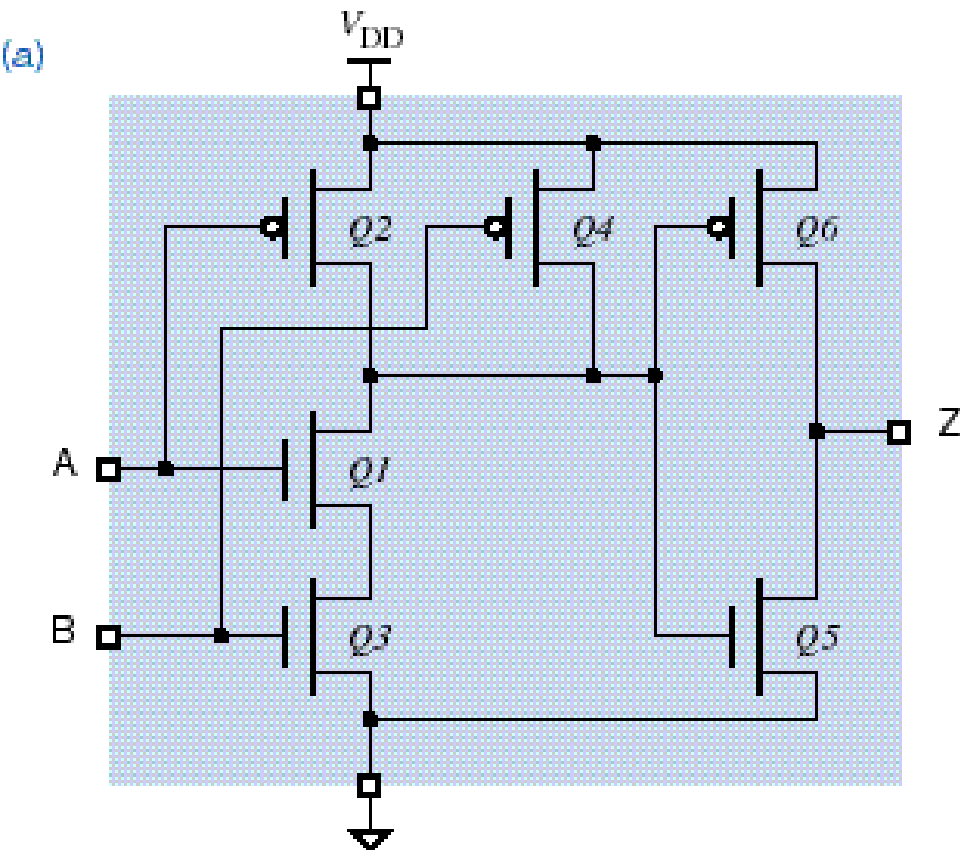
(b)

A	Q1	Q2	Q3	Q4	Z
L	off	on	on	off	L
H	on	off	off	on	H

(c)



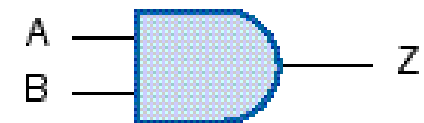
# 2-输入CMOS与门(AND)



(b)

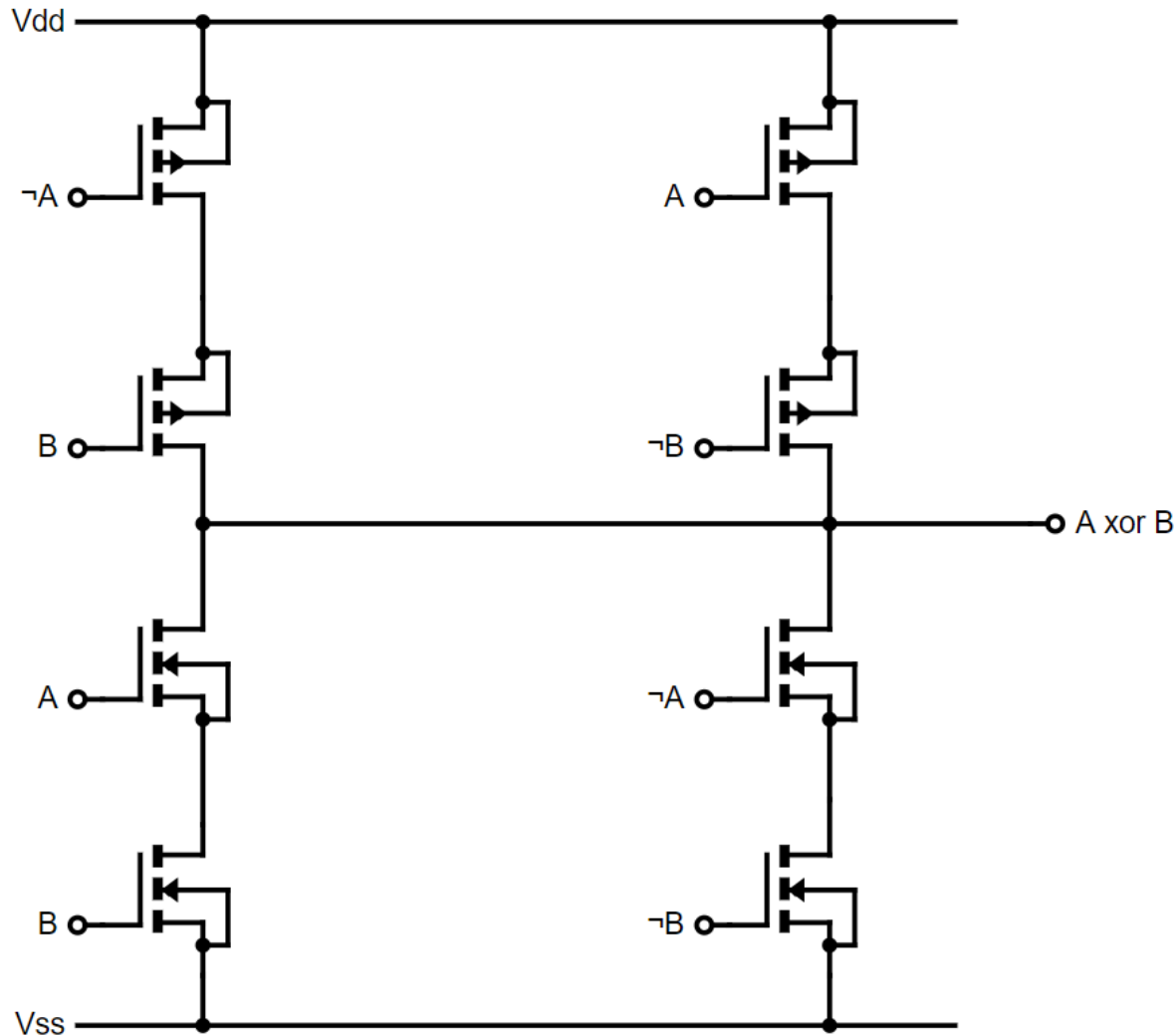
A	B	$Q1$	$Q2$	$Q3$	$Q4$	$Q5$	$Q6$	Z
L	L	off	on	off	on	on	off	L
L	H	off	on	on	off	on	off	L
H	L	on	off	off	on	on	off	L
H	H	on	off	on	off	off	on	H

(c)



# CMOS异或门(XOR)

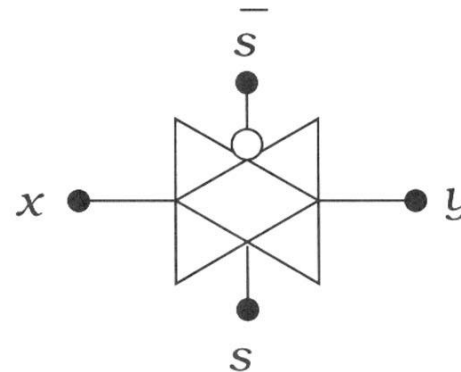
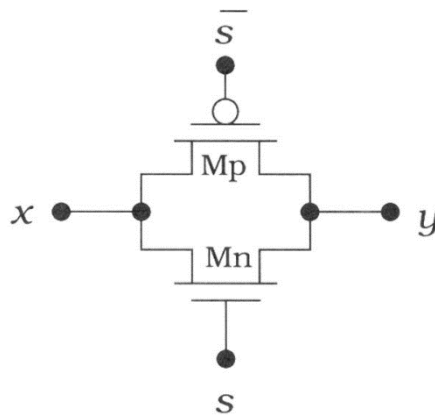
□ 相同为0，不同为1



# 特殊的CMOS门(1)

## □ 传输门(Transmission gate)

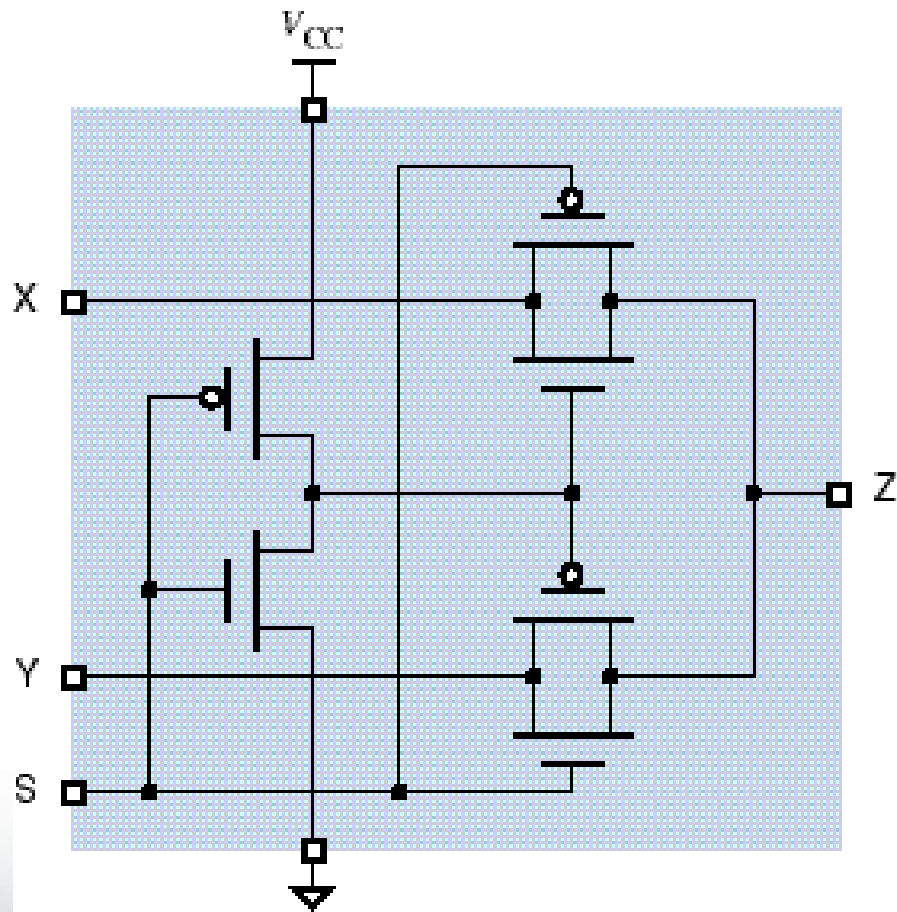
- nMOS开关和pMOS开关对接而成。
- $\overline{EN\_L}$ 和 $EN$ 是互补的。
- 当nMOS和pMOS同时处于开状态，传输门两端的电阻非常小。



# 特殊的CMOS门(2)

## □ 用传输门实现的2选1逻辑

- $S=0$ :  $Z=X$
- $S=1$ :  $Z=Y$
- $Z = \bar{S}X + SY$

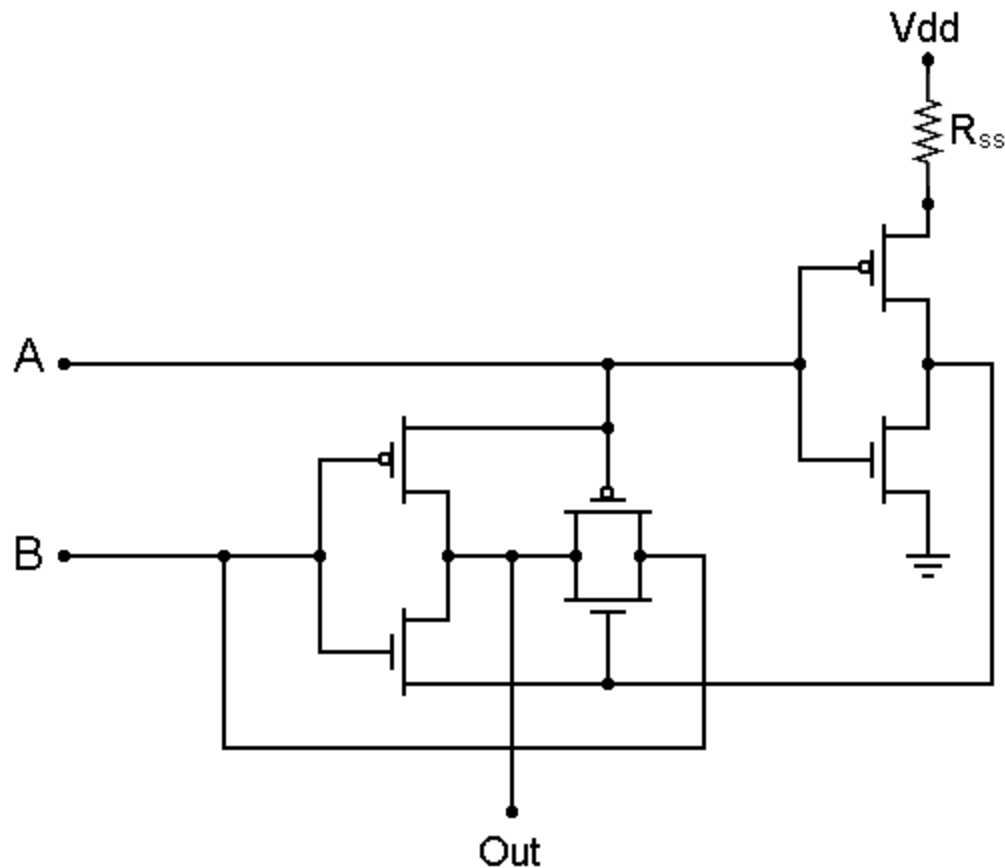


# 特殊的CMOS门(3)

## □ 异或门(XOR)

– 1取反，0通过

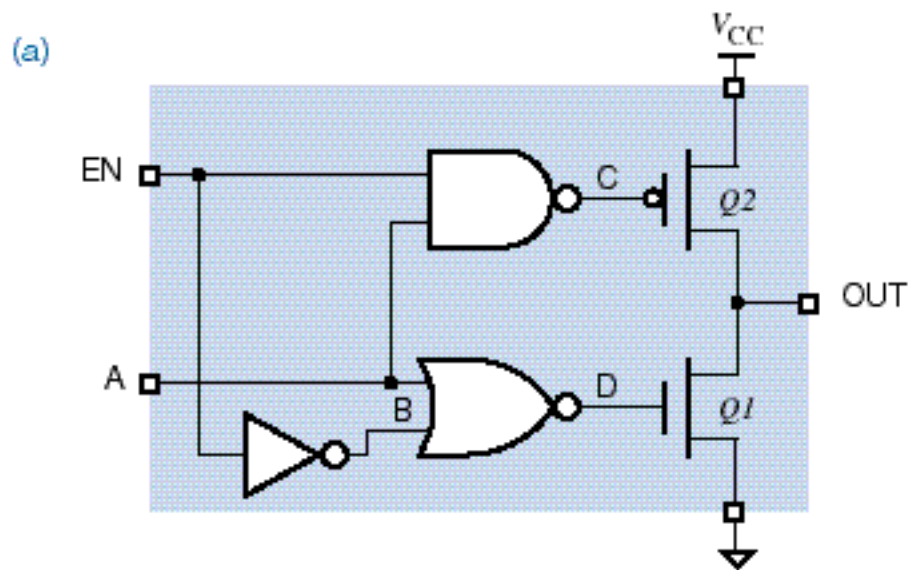
$$- F = A \oplus B = \bar{A}B + A\bar{B}$$



# 特殊的CMOS门(4)

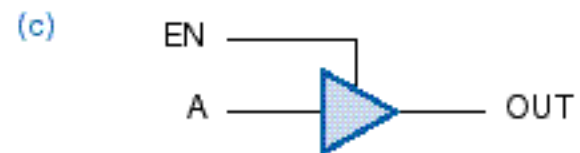
## □ 三态门(Tri-state gate)

– 用于驱动总线



(b)

EN	A	B	C	D	Q1	Q2	OUT
L	L	H	H	L	off	off	Hi-Z
L	H	H	H	L	off	off	Hi-Z
H	L	L	H	H	on	off	L
H	H	L	L	L	off	on	H

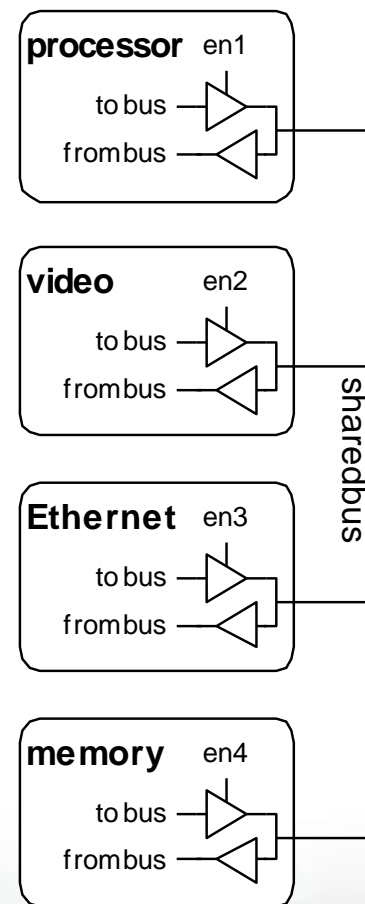
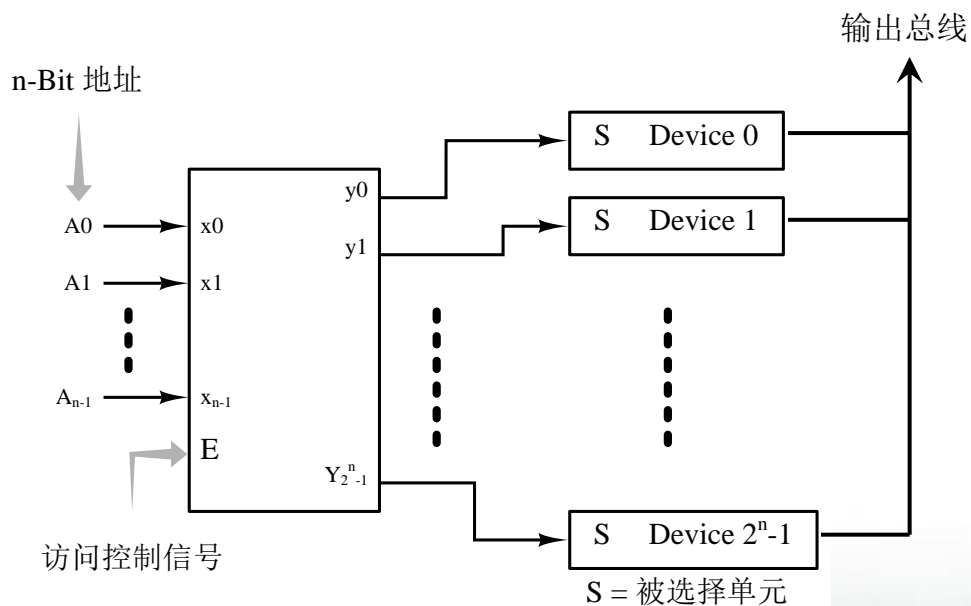




# 三态总线

## □ 三态门可以用来实现三态总线

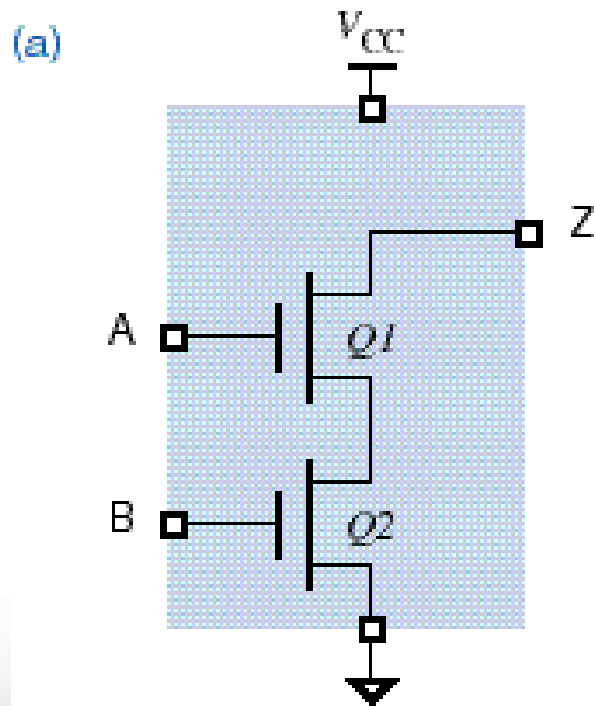
- 多个器件驱动公用输出线
- 每次必须只能有一个输出有效



# 特殊的CMOS门(5)

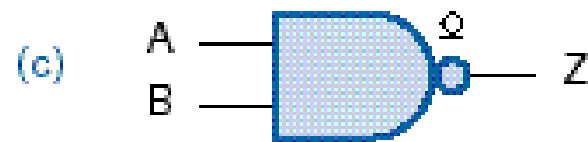
## □ 漏开路门

- 没有pMOS作为上拉电阻
- 高速、低功耗的数据传输：1-free



(b)

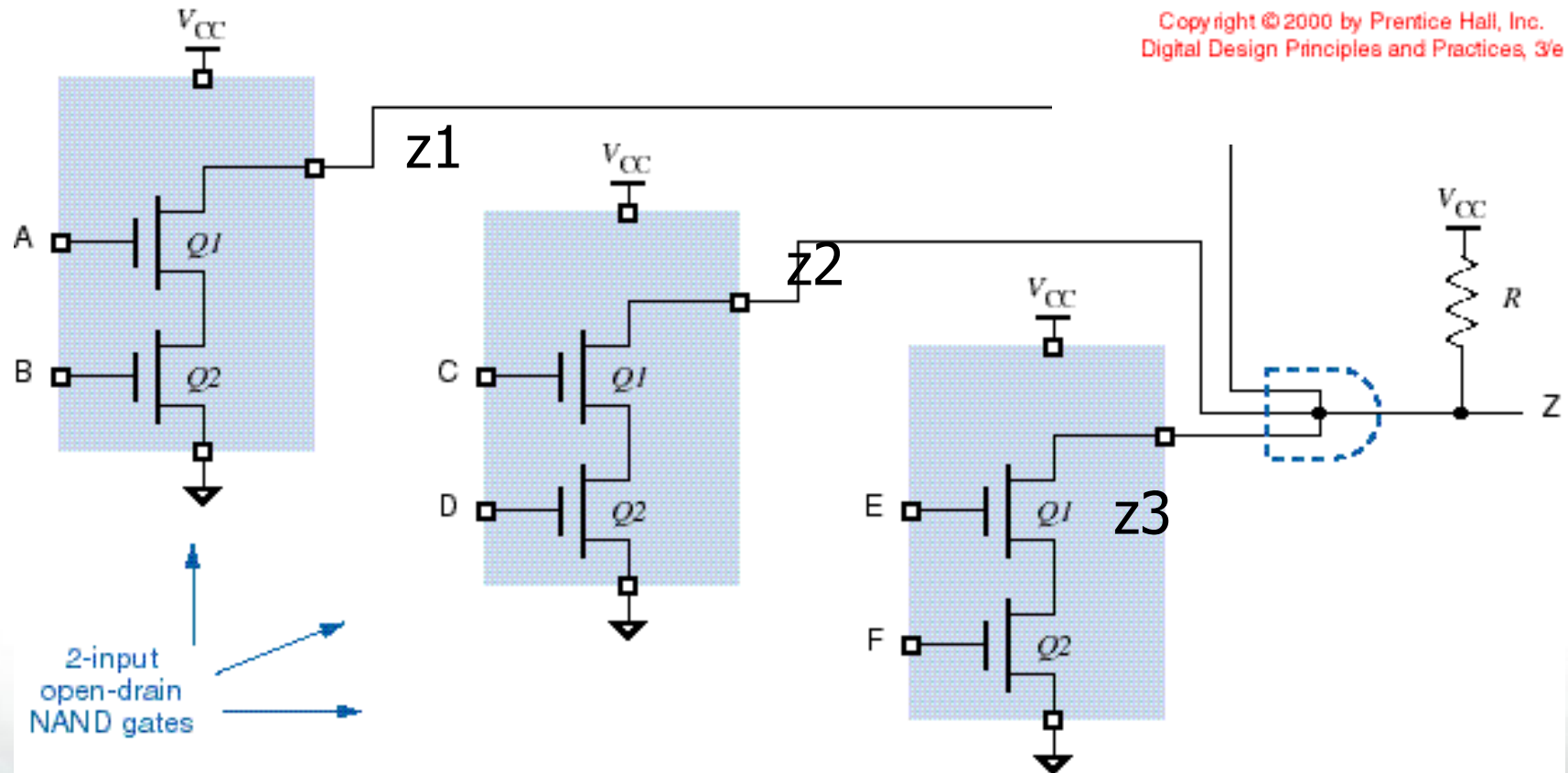
A	B	$Q1$	$Q2$	Z
L	L	off	off	open
L	H	off	on	open
H	L	on	off	open
H	H	on	on	L



# 特殊的CMOS门(6)

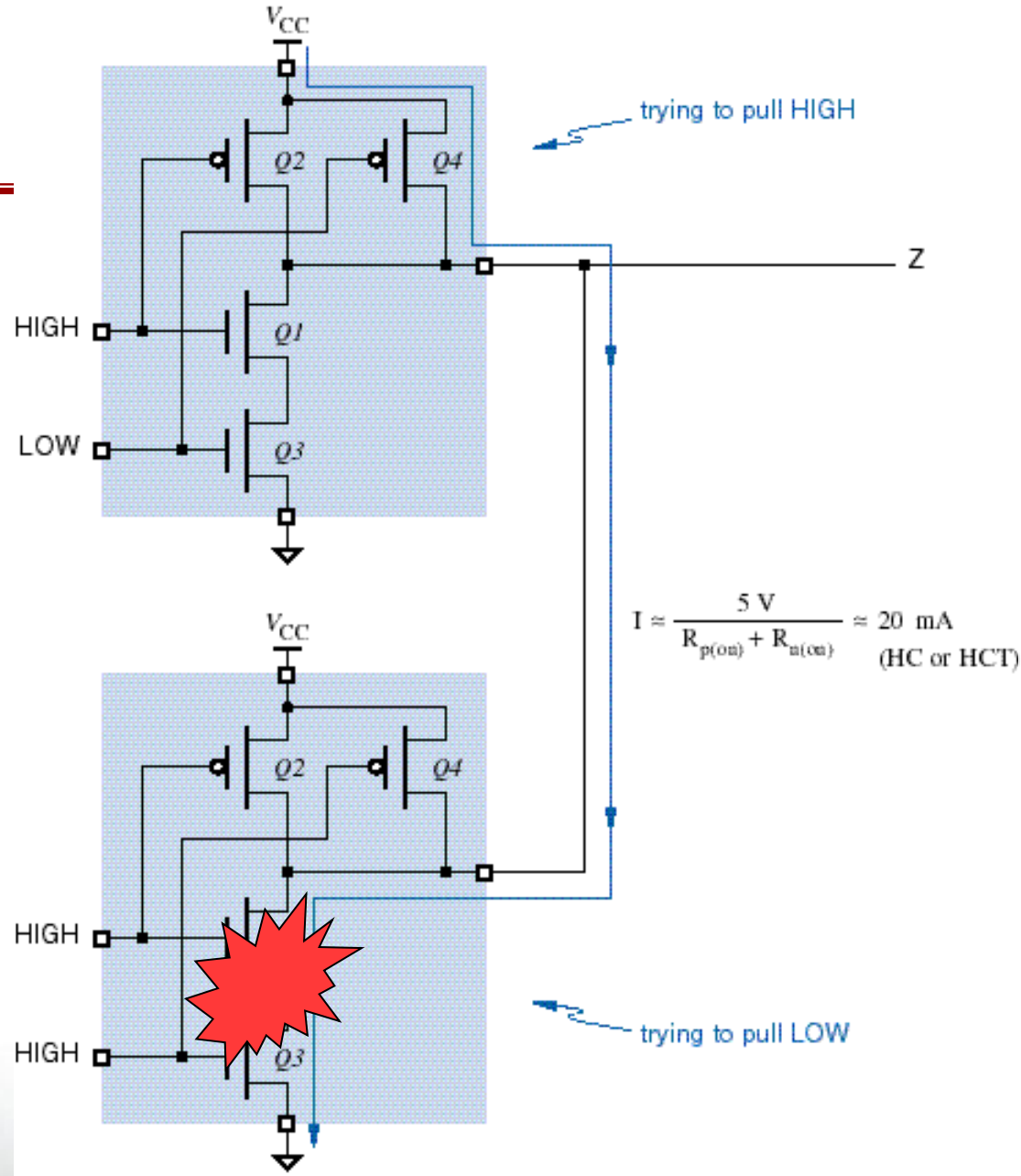
## □ 逻辑开路门的应用

– 线与  $Z = z1 \bullet z2 \bullet z3$



# 注意

## □ 避免输出连接



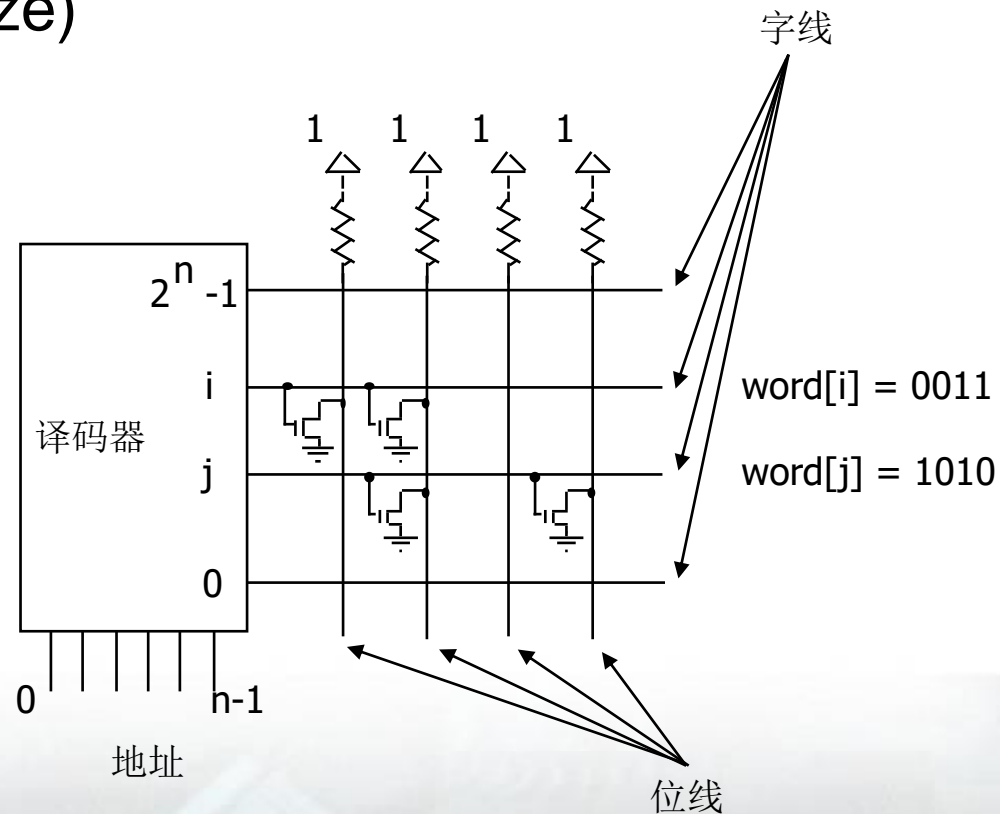
# 存储器直接实现真值表

## □ 存储器：两维的0，1整列

- 每行一个字（word）
- 行大小 = 字长(word-size)
- 地址（address）索引
- 地址(address) 是输入
- 所选的字是输出

## □ ROM只读存储器

## □ RAM随机访问存储器



ROM内部组织

# 存储器和组合逻辑

## □ 用存储器实现组合逻辑

$$F0 = A' B' C + A B' C' + A B' C$$

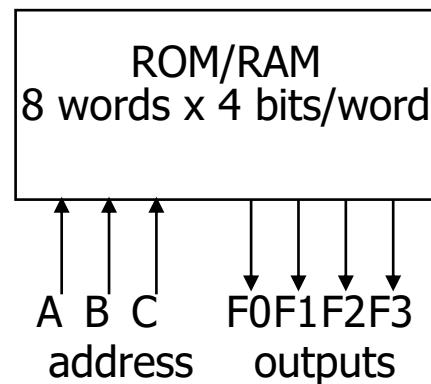
$$F1 = A' B' C + A' B C' + A B C$$

$$F2 = A' B' C' + A' B' C + A B' C'$$

$$F3 = A' B C + A B' C' + A B C'$$

A	B	C	F0	F1	F2	F3
0	0	0	0	0	1	0
0	0	1	1	1	1	0
0	1	0	0	1	0	0
0	1	1	0	0	0	1
1	0	0	1	0	1	1
1	0	1	1	0	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

真值表



框图

# 基础部分总结

---

## □ 布尔代数基础

- 6个公设；9个定理

## □ 开关代数基础

- 开关函数；
- 真值表；SOP；POS

## □ 开关电路基础

- 正逻辑、负逻辑
- 逻辑门：NOT, AND, NAND, OR, NOR, XOR, NXOR

## □ 数字电路基础

- 开关模型
- 逻辑门的实现(CMOS, TTL)

# 总结

