



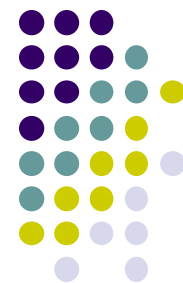
计算机组成与系统结构

第三章 多层次的存储器 (2)

吕昕晨

lvxinchen@bupt.edu.cn

网络空间安全学院



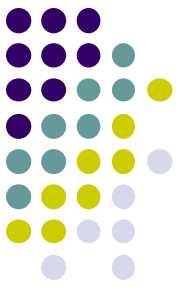
多层次的存储器





存储器结构与扩展

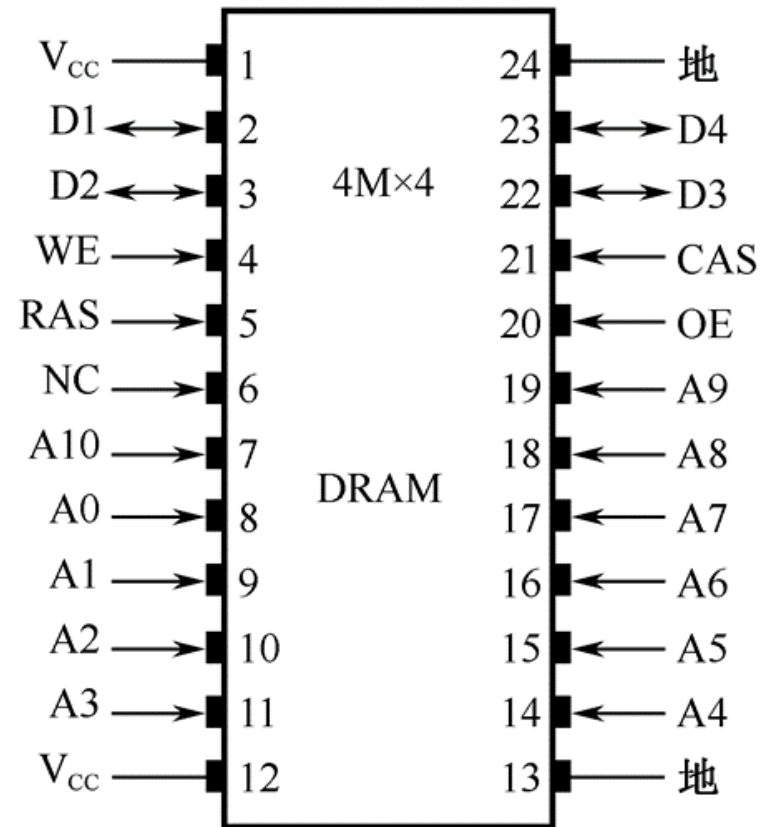
- DRAM存储器结构
 - 逻辑结构与操作
 - DRAM高级传输模式
- 存储器字长与容量扩展
 - 字长、容量扩展
 - 混合扩展习题



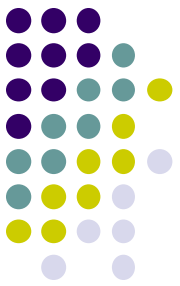
DRAM芯片逻辑图

4位DRAM芯片的管脚图

- 两个电源脚VCC
- 两个地线脚VDD
- 一个空脚 (NC)
- 地址线A
- 数据线D
- 片选信号
 - 行选通信号RAS
 - 列选通信号CAS
- 输入输出控制信号
 - WE、OE

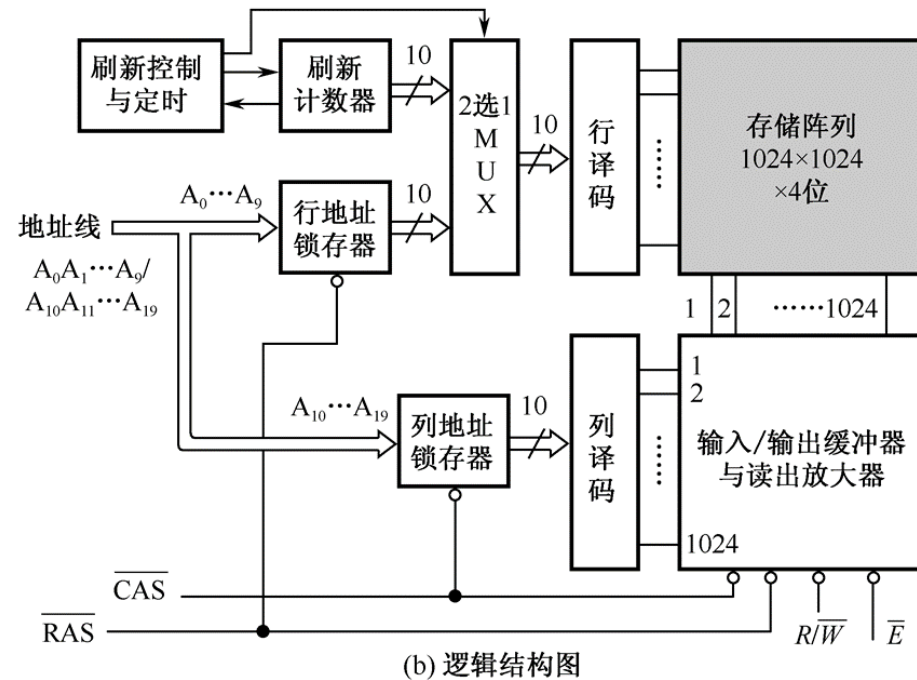


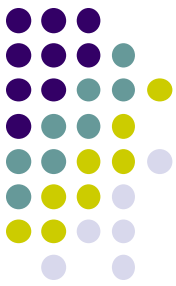
(a) 管脚图



DRAM芯片结构与操作 (1)

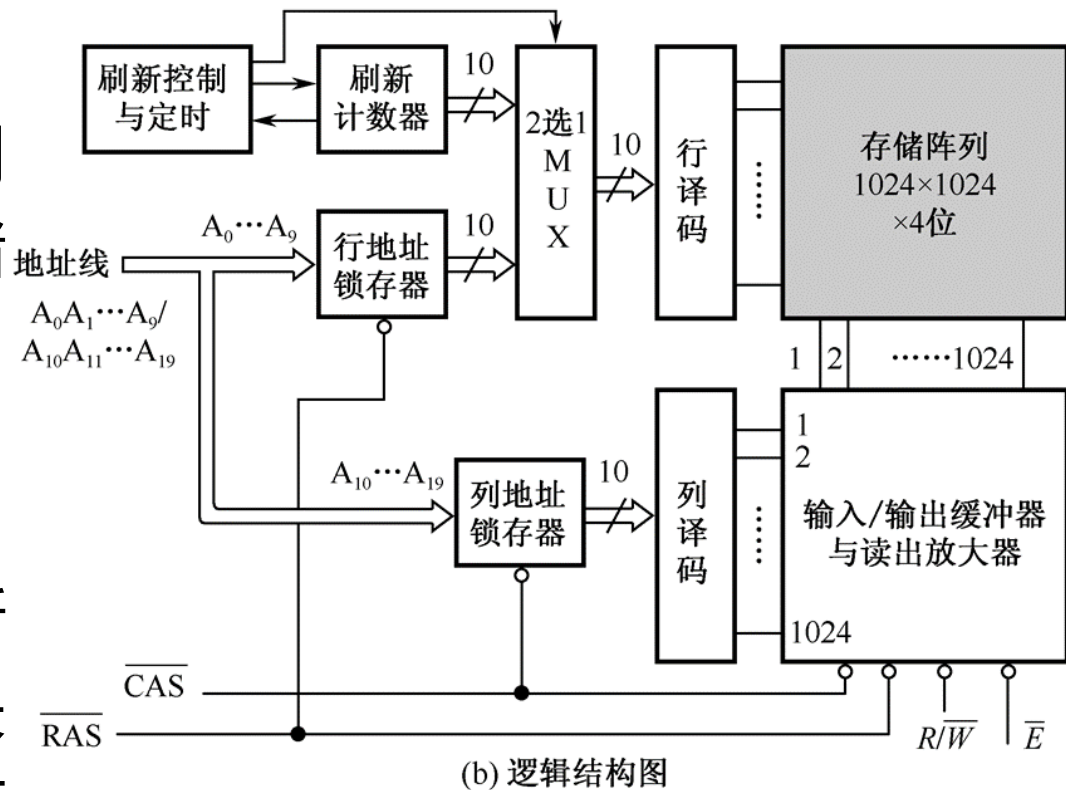
- 行地址锁存器和列地址锁存器
 - 由于DRAM存储器容量很大, 地址线宽度相应要增加, 分时传送地址码 (寻址范围)
 - 先传送地址码 $A_0 \sim A_9$; 由行选通信号RAS打入行地址锁存器
 - 然后传送地址码 $A_{10} \sim A_{19}$, 由列选通信号CAS打入列地址锁存器
 - 10位管脚 \rightarrow 20位地址





DRAM芯片结构与操作 (2)

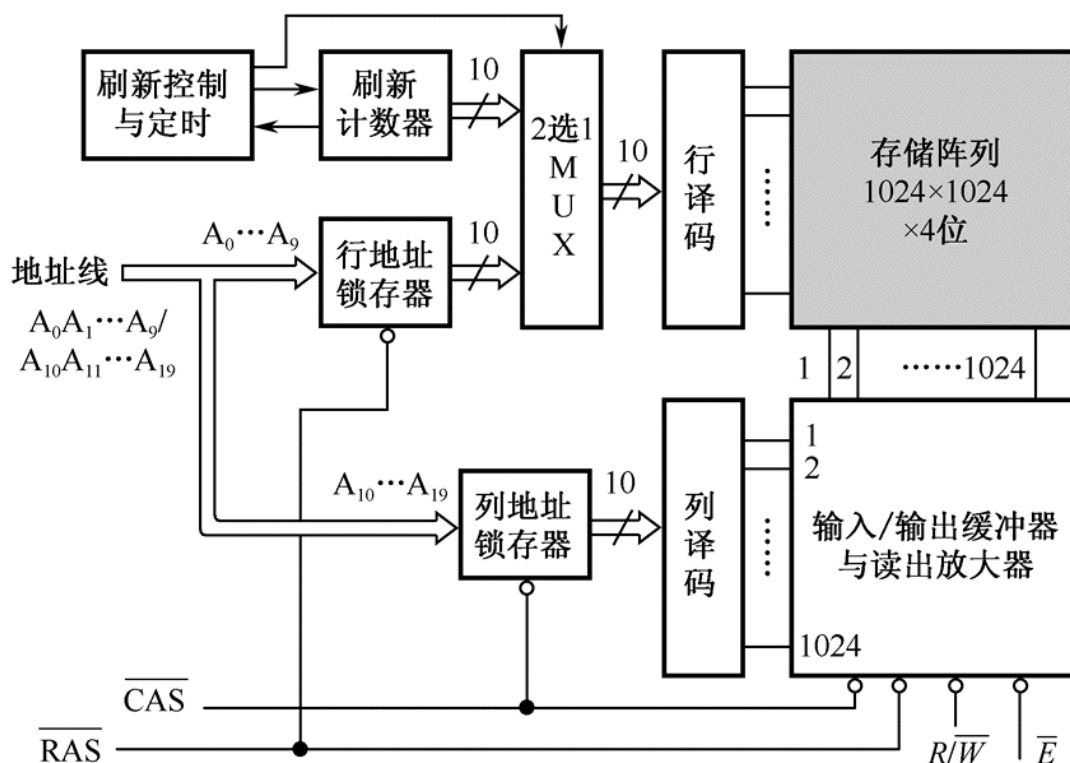
- 增加了刷新计数器和相应的控制电路
 - DRAM读出后必须刷新，而未读写的存储元也要**定期刷新**
 - **按行刷新方式**
 - 刷新操作与读/写操作是交替进行的，所以通过2选1多路开关来提供刷新行地址或正常读/写的行地址



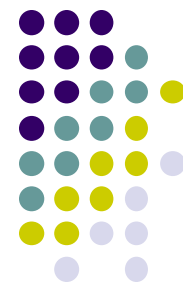
DRAM芯片结构——总结



- DRAM芯片结构特点
 - 分时地址输入
- 控制信号
 - E端口
 - RAS、CAS信号
 - R/W信号
- 刷新方式
 - 按行刷新
 - 定时刷新各行

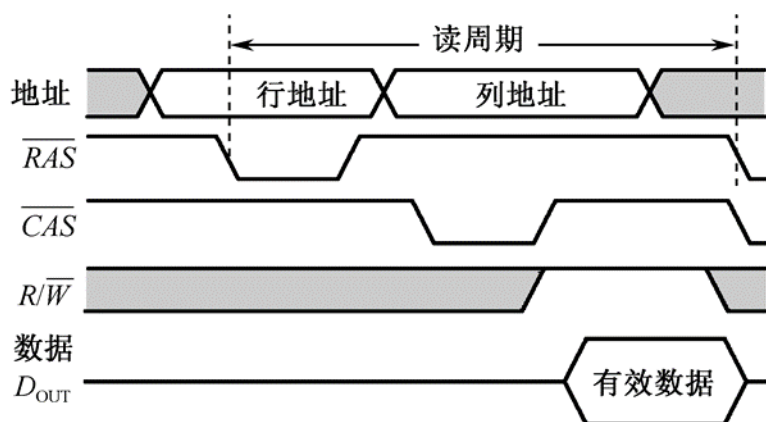


(b) 逻辑结构图

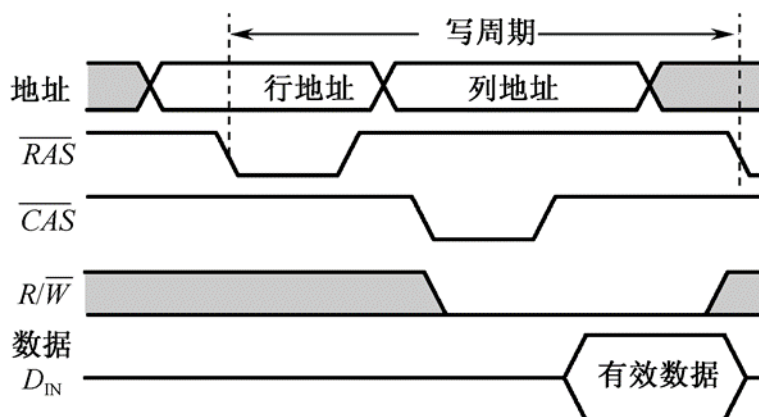


DRAM读/写时序与周期

- 读/写周期
 - 从行选通信号RAS下降沿开始，到下一个RAS信号的下降沿为止的时间，也就是连续两个读写/周期的时间间隔
 - 通常为控制方便，读周期和写周期时间相等



(a) 读周期



(b) 写周期

DRAM刷新周期与方式



- 刷新操作有两种刷新方式：
 - 集中式刷新
 - DRAM的所有行在每一个刷新周期中都被刷新
 - 例如刷新周期为8ms的内存来说，所有行的集中式刷新必须每隔8ms进行一次。前一段时间进行正常的读/写操作，后一段时间做为集中刷新操作时间
 - 读写周期0.5us，256*128*8bit芯片，刷新锁死128us
 - 分散式刷新
 - 每一行的刷新插入到正常的读/写周期之中
 - 如DRAM有1024行，如果刷新周期为8ms，则每一行必须每隔 $8\text{ms} \div 1024 = 7.8\text{us}$ 进行一次
 - 刷新信号设计7.5us



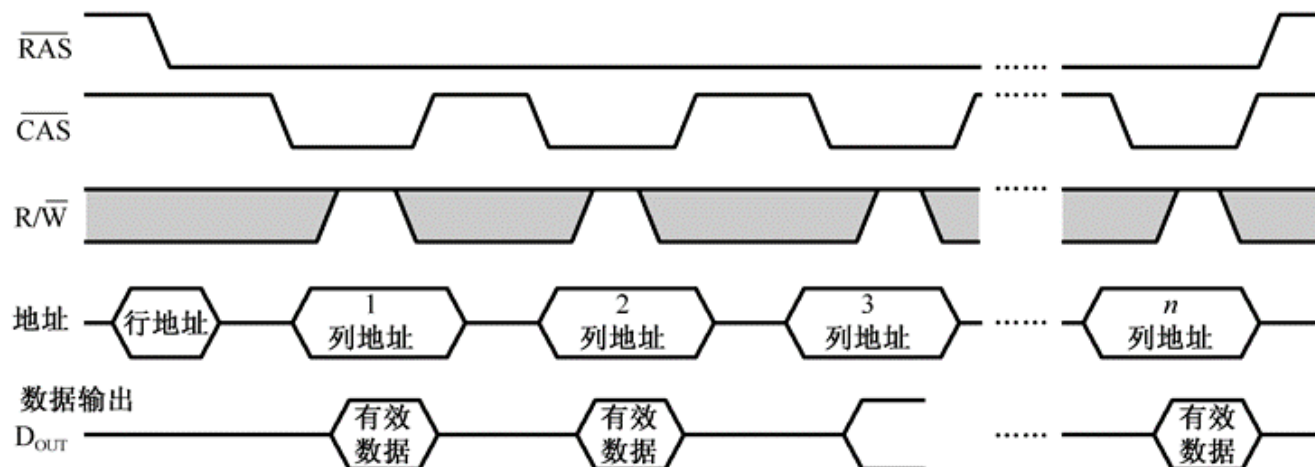
存储器结构与扩展

- DRAM存储器结构
 - 逻辑结构与操作
 - DRAM高级传输模式
- 存储器字长与容量扩展
 - 字长、容量扩展
 - 混合扩展习题



FPM DRAM

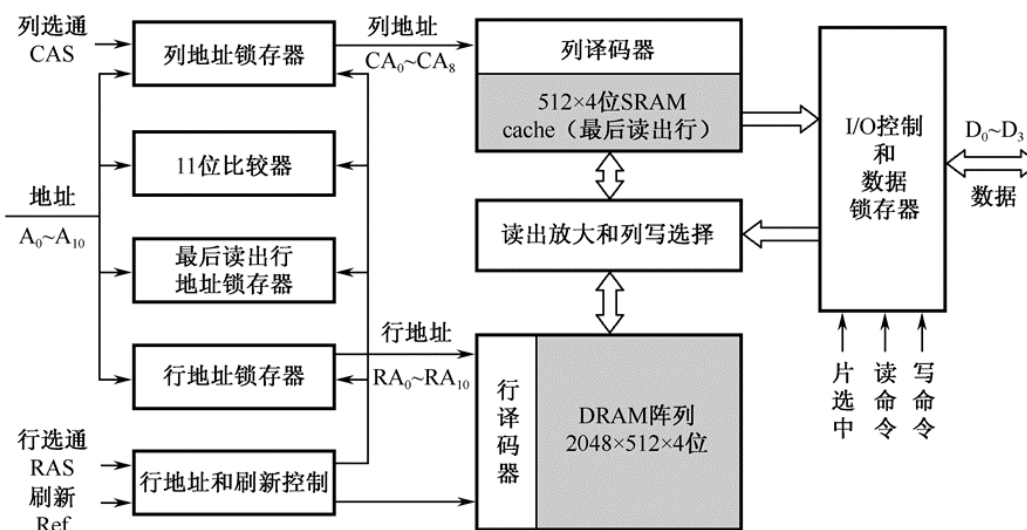
- FPM DRAM是快速页模式动态存储器
 - 根据程序的局部性原理来实现的
 - 一次行选、多次列选（提升数据读写效率）
 - 由低电平的行选通信号RAS确定行地址
 - 由低电平的列选信号CAS确定列地址



CDRAM



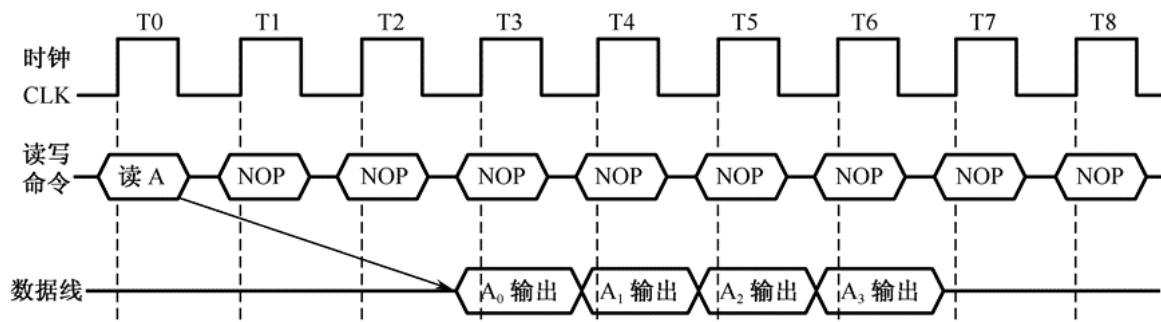
- CDRAM称为带**高速缓冲存储器**的动态存储器
 - 在通常的DRAM芯片内又**集成了一个小容量的SRAM**，从而使DRAM芯片的性能得到显著改进
 - 如图所示出1M×4位CDRAM芯片的结构框图，其中SRAM为512×4位
 - 行地址比较、若命中，从SRAM取出



SDRAM



- SDRAM称为同步型动态存储器
 - 计算机系统中的CPU使用的是系统时钟，**SDRAM的操作要求与系统时钟相同步（提升读写周期性能）**
 - 在系统时钟的控制下从CPU获得地址、数据和控制信息
 - 它与CPU的数据交换同步于外部的系统时钟信号，并且以CPU/存储器总线的最高速度运行

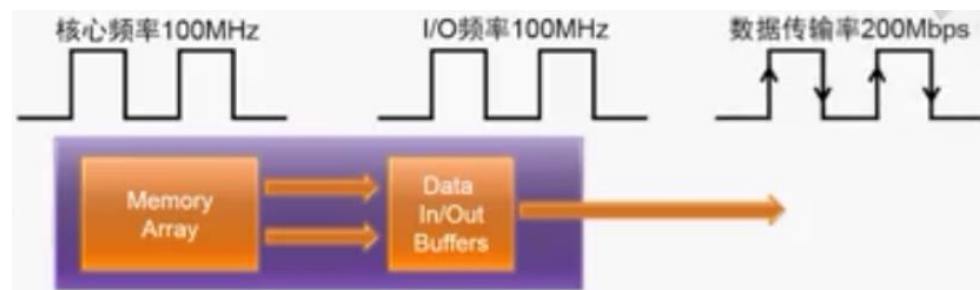
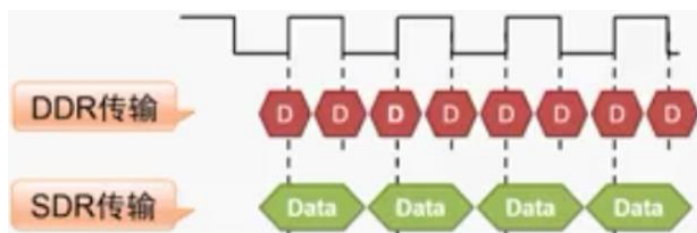


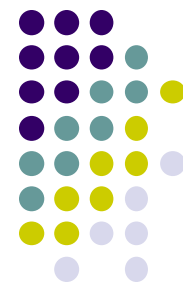
(b) SDRAM 读操作时序（猝发长度=4 $\overline{\text{CAS}}$ 延时=2）



DDR SDRAM

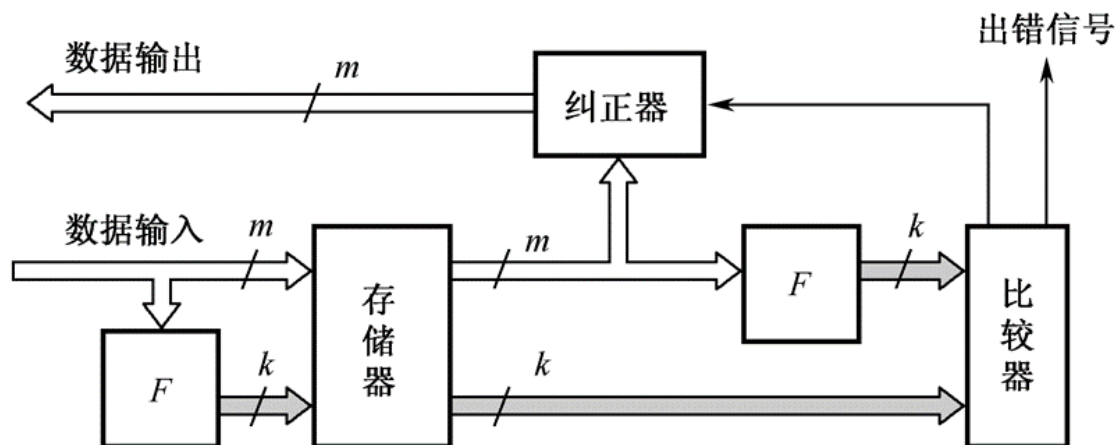
- 在SDRAM之后，又出现了双数据率的DDR SDRAM
 - DDR → Double Data Rate
- DDR SDRAM沿袭了SDR SDRAM内存的制造体系
 - SDRAM仅能在时钟上升沿传输数据
 - DDR SDRAM的最大特点便是在时钟沿的上升沿和下降沿都能传输数据
 - 提升近似一倍带宽





DRAM读写正确性校验

- DRAM通常用做主存储器，其读写操作的正确性与可靠性至关重要（电容不稳定）
- 增加了附加位，用于读/写操作正确性校验，增加的附加位也要同数据位一起写入DRAM
- 采用汉明码等纠错编码（ECC内存，服务器）





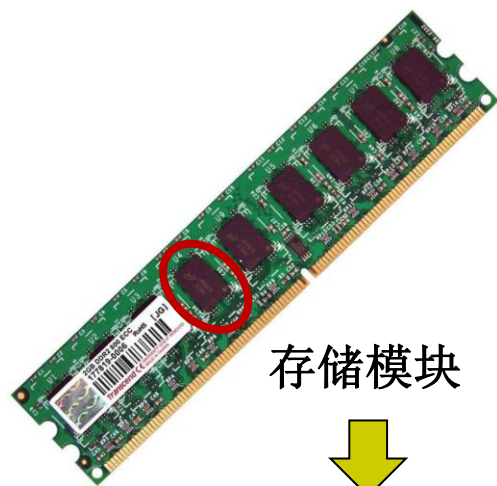
存储器结构与扩展

- DRAM存储器结构
 - 逻辑结构与操作
 - DRAM高级传输模式
- 存储器字长与容量扩展（重点）
 - 字长、容量扩展
 - 混合扩展习题



存储器模块条（内存条）

- 存储器通常以插槽用模块条形式供应市场，称为内存条
- 内存条有管脚数目有多种形式
 - 内存分类：DDR、DDR2、DDR3、DDR4、DDR5



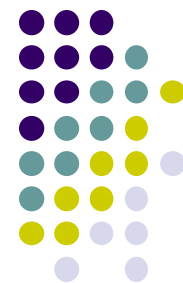
存储模块



内存条



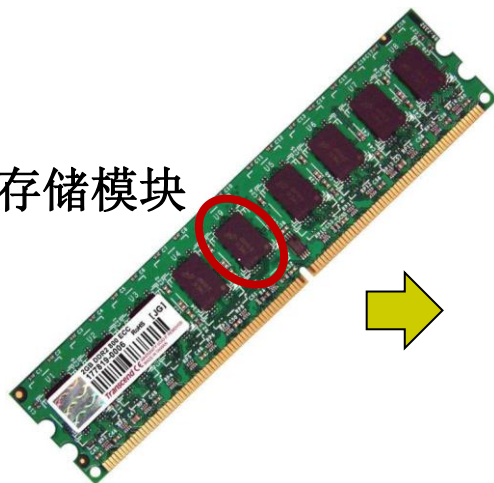
问题：如何组织存储模块，设计符合要求的内存条？



存储器技术指标——字长与容量

- 存储容量
 - 存储字数（存储单元数、**容量**）×存储字长（每单元的比特数、**字长**）
 - 1Mb容量的存储器可以组织成 1M X 1 bit，也可组织成 128K X 8 bit或者 512K X 2 bit
 - 128K X 2 bit模块 → 128K X 8 bit（字长扩展）
→ 512K X 2 bit（容量扩展）
→ 512K X 4 bit（混合扩展）

存储模块



问题：如何组织存储模块，设计符合要求的内存条？



字长位数扩展

- 字长扩展，即数据线扩展
 - 芯片8位，需求32位地址线
 - 多个芯片扩展字长位数
 - $d = \text{设计要求} / \text{芯片能力}$
- 设计方法
 - 共用地址线、控制线
 - 芯片数据线各位连接至数据线不同位

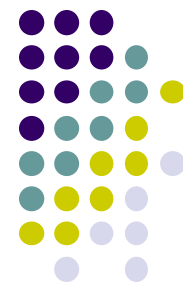
[例2] 利用1M×4位的SRAM芯片，设计一个存储容量为1M×8位的SRAM存储器。

- 位数不足，8位需求 v.s. 4位芯片
- 所需芯片数量 = $(1M \times 8) / (1M \times 4) = 2$ 片

字长位数扩展



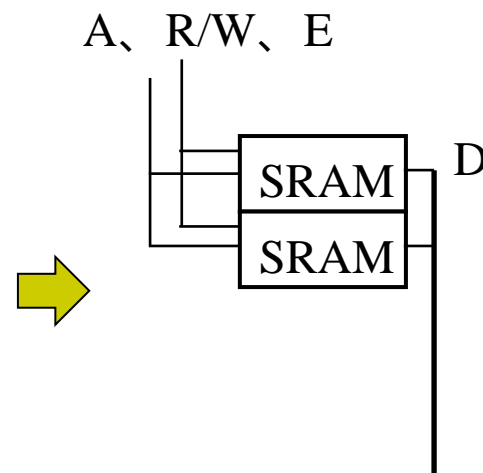
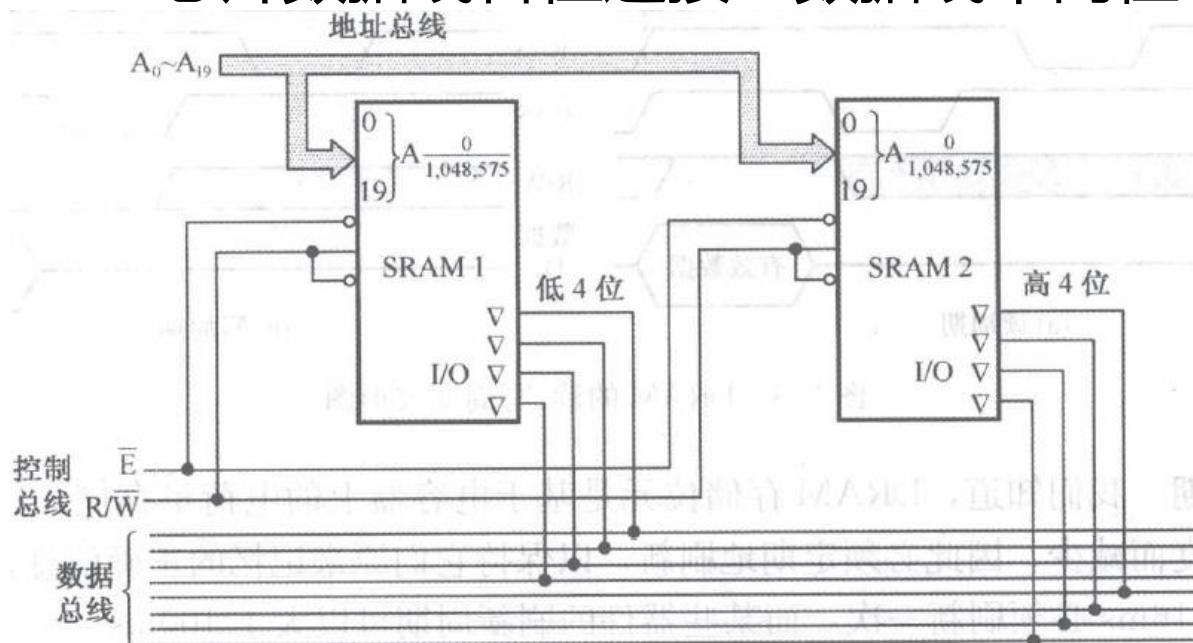
[例2] 利用 $1\text{M} \times 4$ 位的SRAM芯片，设计一个存储容量为 $1\text{M} \times 8$ 位的SRAM存储器。

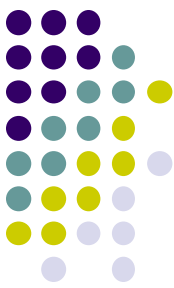


字长位数扩展

[例2] 利用 $1\text{M} \times 4$ 位的SRAM芯片，设计一个存储容量为 $1\text{M} \times 8$ 位的SRAM存储器。

- 设计方法
 - 共用地址线、控制线
 - 芯片数据线各位连接至数据线不同位（高低4位）





存储容量扩展

- 存储容量扩展，即地址线扩展
 - 芯片1M（20位），需求2M（21位）
 - 多个芯片扩展地址线
 - $d = \text{设计要求} / \text{芯片能力}$
- 设计方法
 - 共用部分地址线（低20位）、控制线、数据线
 - 高位地址线用于生成芯片片选信号
 - 1位扩展（非门），多位扩展（译码器）

[例3]利用1M×8位的DRAM芯片设计2M×8位的DRAM存储器

- 容量不足：2M需求 v.s. 1M芯片
- 所需芯片数 $d = (2M \times 8) / (1M \times 8) = 2(\text{片})$



存储容量扩展

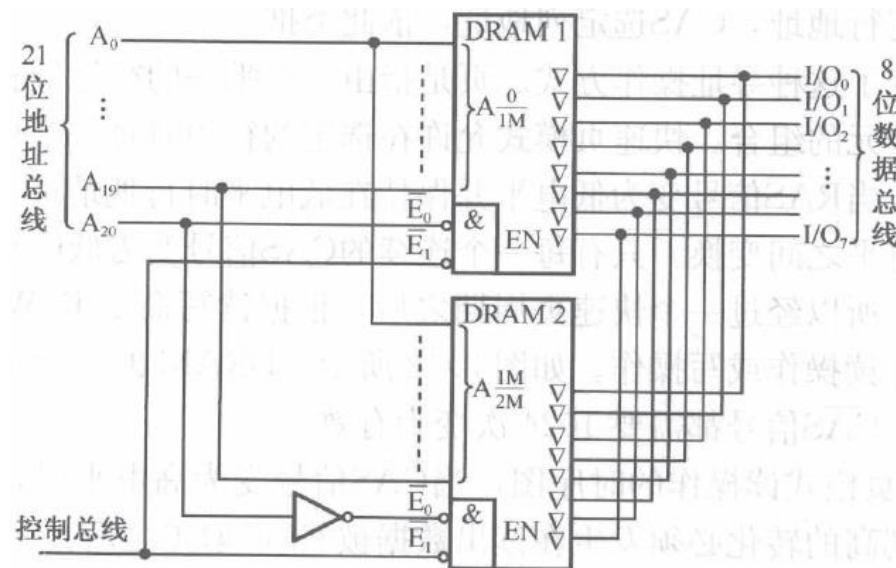
[例3]利用 $1\text{M} \times 8$ 位的DRAM芯片设计 $2\text{M} \times 8$ 位的DRAM存储器

存储容量扩展



[例3]利用 $1\text{M} \times 8$ 位的DRAM芯片设计 $2\text{M} \times 8$ 位的DRAM存储器

- 设计方法
 - 共用控制线、数据线
 - 共用低20位地址线;
A0~A1同时连接到2片DRAM
 - 高位地址线 (A20) 用于生成芯片片选信号
 - 1位扩展 (非门)





存储器结构与扩展

- DRAM存储器结构
 - 逻辑结构与操作
 - DRAM高级传输模式
- 存储器字长与容量扩展（重点）
 - 字长、容量扩展
 - 混合扩展习题（难点）



存储器混合扩展习题-1

设有一个具有20位地址和32位字长的存储器

- 1) 该存储器能存储多少个字节的信息
- 2) 如果存储器由512K*8位SRAM芯片组成, 需要多少片
- 3) 需要多少位地址作芯片选择
- 4) 画出逻辑框图



存储器混合扩展习题-1

设有一个具有20位地址和32位字长的存储器

1) 该存储器能存储多少个字节的信息

$$2^{20} \text{ (地址线)} * 32 \text{ (字长)} / 8 \text{ (Byte)} \\ = 4 \text{ MB}$$

2) 如果存储器由512K*8位SRAM芯片组成, 需要多少片

字长扩展 $32/8=4$

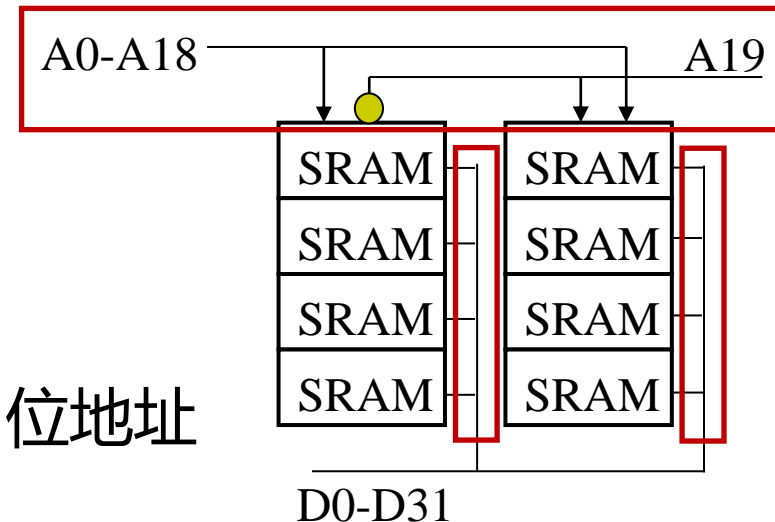
容量扩展 $1\text{M}/512\text{K}=2$

需要 $4*2=8$ 片

3) 需要多少位地址作芯片选择

地址选择 (容量扩展) 2倍 \rightarrow 1位地址

4) 画出逻辑框图





存储器混合扩展习题-2

- 由128K*8位的DRAM芯片构成1024K*32位存储器
 - 1) 总共需要多少DRAM芯片
 - 2) 画出存储器逻辑框图



存储器混合扩展习题-2

- 由128K*8位的DRAM芯片构成1024K*32位存储器

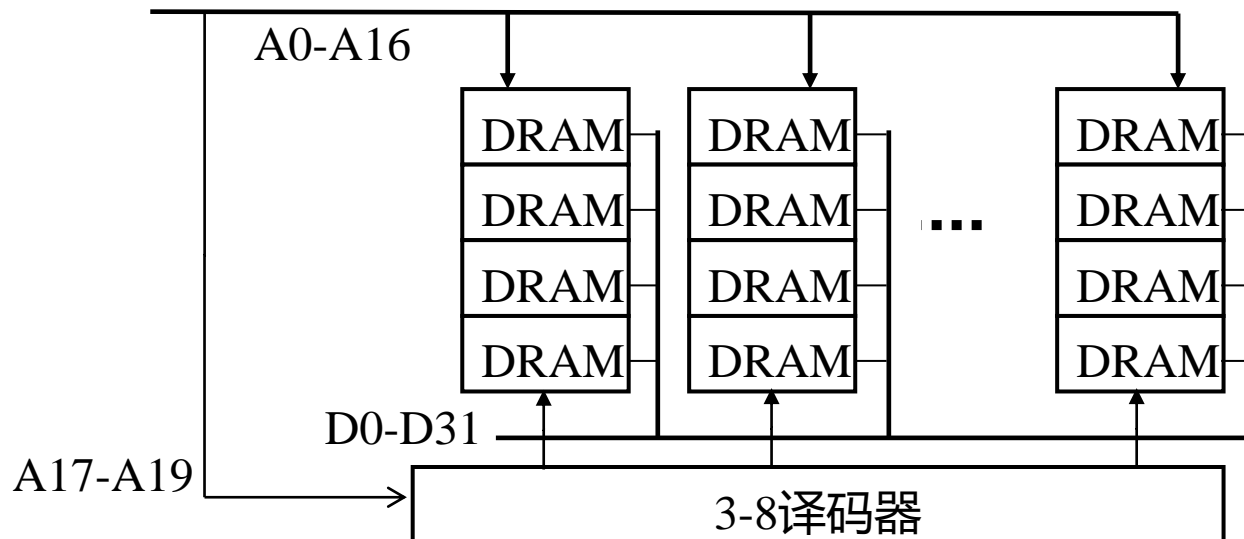
1) 总共需要多少DRAM芯片

字长扩展 $32/8=4$ (4个DRAM组成32位)

容量扩展 $1M/128K=8$ (17位 \rightarrow 20位, 3-8译码器)

需要 $4*8=32$ 片

2) 画出存储器逻辑框图





存储器混合扩展习题-2

- 由128K*8位的DRAM芯片构成1024K*32位存储器
- 3) 存储器为读写周期0.5 μ s, CPU在1 μ s内至少访存一次, 采用何种刷新方式?
- 4) 刷新周期为8ms, 刷新信号周期为?



存储器混合扩展习题-2

- 由128K*8位的DRAM芯片构成1024K*32位存储器
- 3) 存储器为读写周期0.5 μ s, CPU在1 μ s内至少访存一次, 采用何种刷新方式?

假设存储器芯片为512*256*8bit (17位=9位+8位)

集中式刷新: $0.5\mu\text{s} * 512 = 256\mu\text{s} \gg 1\mu\text{s}$, 不可行

采用分散式刷新

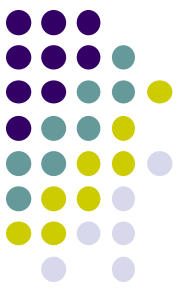
- 4) 刷新周期为8ms, 刷新信号周期为?

刷新信号周期=刷新周期/行数

$$= 8\text{ms} / 512$$

$$= 15.625\mu\text{s}$$

$$= 15.5\text{ }\mu\text{s} \quad (\text{以读写周期向下取整})$$



混合 扩展 习题 3

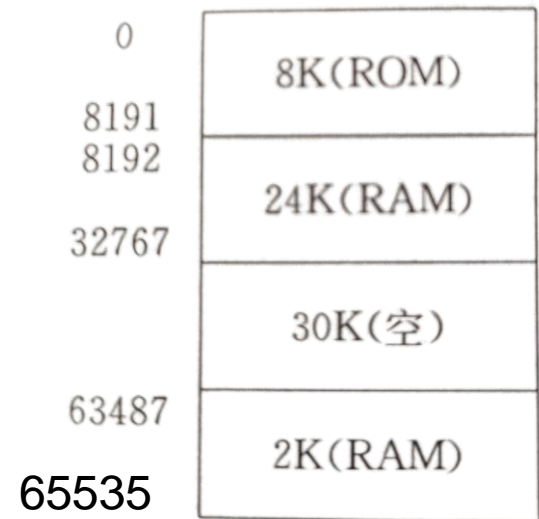
- 某16位计算机，地址总线16根（A15-A0，A0为低位），双向地址总线16根（D15-D0）。控制总线与主存相关包括MERQ（访存允许），R/W（读写控制）
- 主存空间分配如下（按字编址）：
 - 0-8191为系统程序区，由ROM芯片组成
 - 8192-32767为用户程序区
 - 最后的2K地址空间为程序工作区
- 现有如下芯片：
 - ROM：8K*16bit、4K*16bit、8K*8bit（控制端CS）
 - SRAM：16K*1bit、2K*16bit、4K*16bit、8K*16bit
- 1) 画出地址分配示意图
- 2) 从上述芯片中选择芯片设计该计算机系统存储器，说明选择哪些存储器，用多少片
- 3) 画出主存逻辑图（可选译码器与门电路）



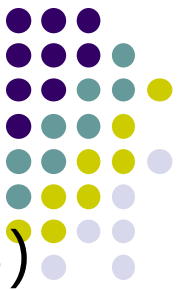
- 某16位计算机，地址总线16根（A15-A0，A0为低位），双向地址总线16根（D15-D0）。控制总线与主存相关包括MERQ（访存允许），R/W（读写控制）
- 主存空间分配如下（按字编址）：
 - 0-8191为系统程序区，由ROM芯片组成
 - 8192-32767为用户程序区
 - 最后的2K地址空间为程序工作区

1) 地址分配如图

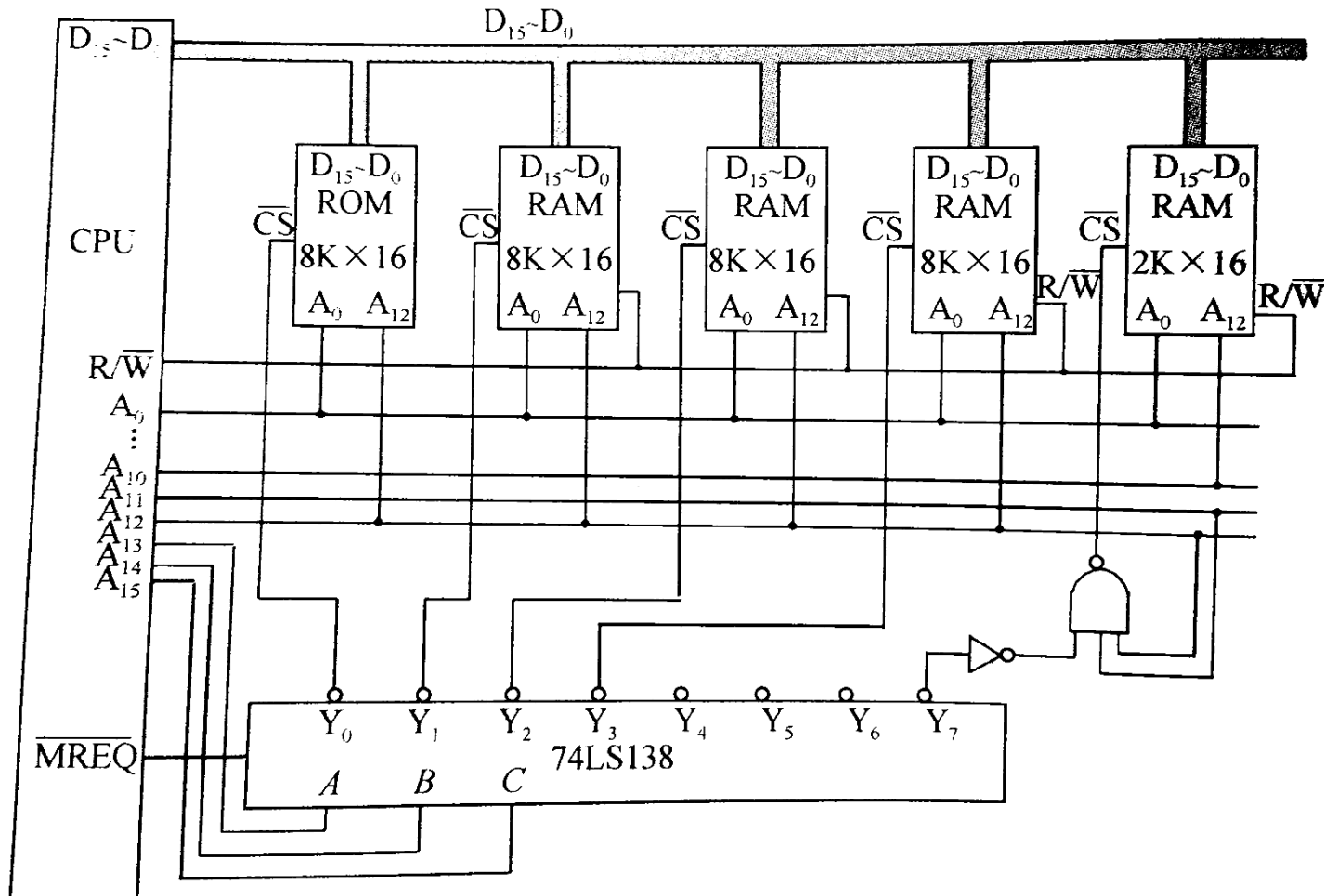
2) 芯片选择情况

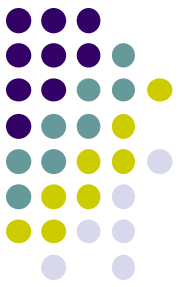


- ROM: 8K*16bit、4K*16bit、8K*8bit（控制端CS）
- SRAM: 16K*1bit、2K*16bit、4K*16bit、8K*16bit
- ROM选择8K*16bit，1片，片内地址13位，片选3位（0）
- SRAM选择8K*16bit，3片，片内地址13位，片选3位（1-3）
2K*16bit，1片，片内地址11位，片选5位（7）



- ROM选择8K*16bit, 1片, 片内地址13位, 片选3位 (0)
- SRAM选择8K*16bit, 3片, 片内地址13位, 片选3位 (1-3)
2K*16bit, 1片, 片内地址11位, 片选5位 (7+2)

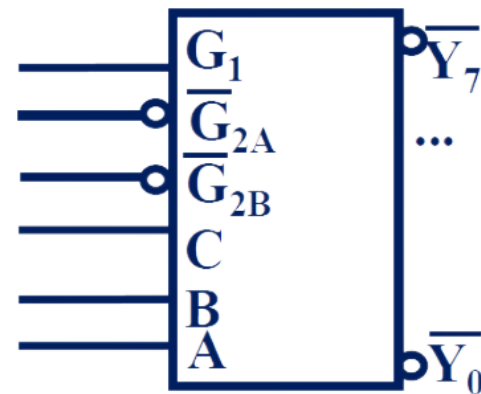




存储器混合扩展习题-4

- 设CPU有16根地址线、8根数据线，MREQ作为访存控制信号（低电平有效），用WR作为读写控制信号（1：读；0：写），现有下列存储芯片：
 - 1K*4 RAM、4K*8 RAM、8K*8RAM
 - 2K*8ROM、4K*8ROM、8K*8ROM、译码器、若干门电路，画出CPU与存储器的连接图，要求主存地址空间分配：
 - 6000H—67FFH为系统程序区；
 - 6800H—6BFFH为用户程序区。

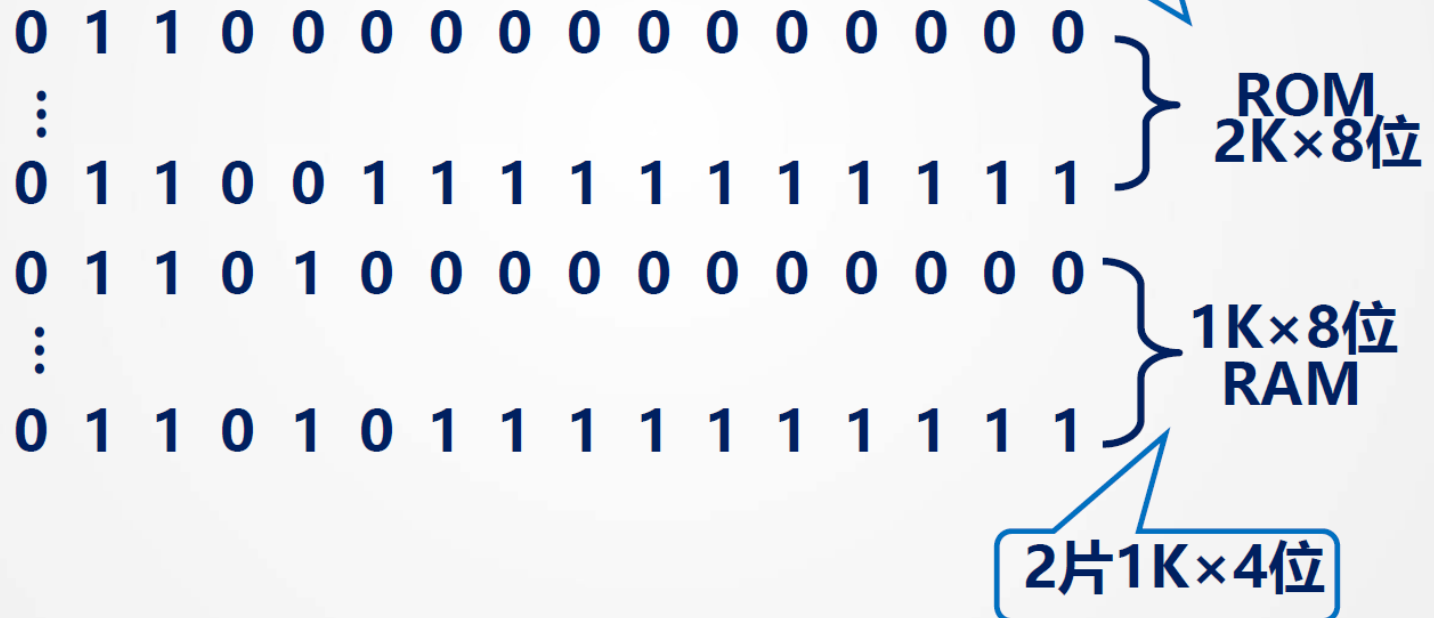
详细画出存储器芯片的片选逻辑图





存储器混合扩展习题-4

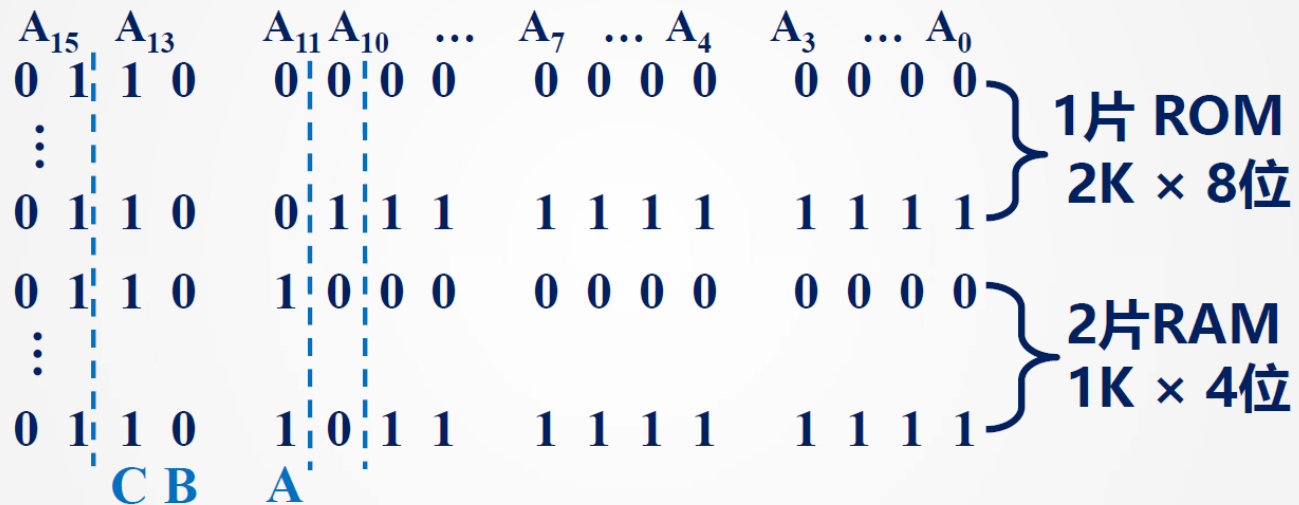
1. 写出对应的二进制地址码以及确定芯片的数量及类型





存储器混合扩展习题-4

2. 分配地址线

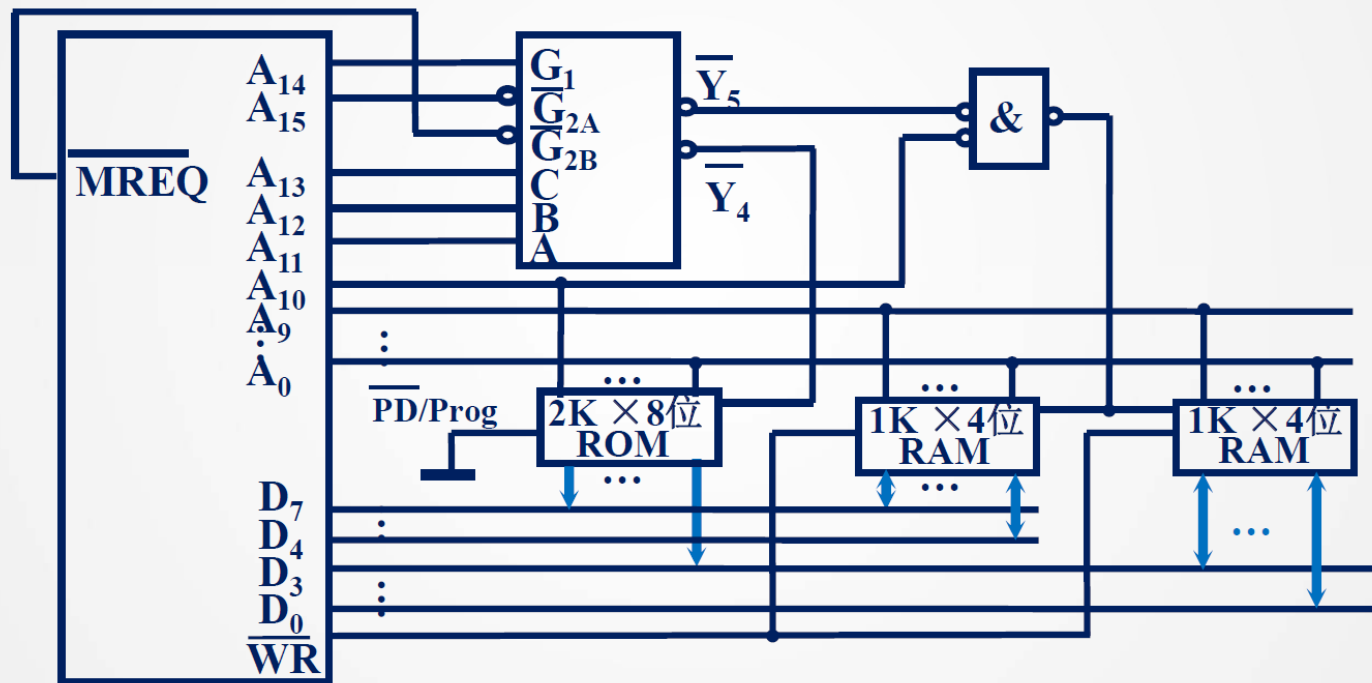


- $A_{10} \sim A_0$ 接 2K × 8位 ROM 的地址线
- $A_9 \sim A_0$ 接 1K × 4位 RAM 的地址线

存储器混合扩展习题-4



3. 确定片选信号





DRAM

逻辑结构

分时送地址码，扩大寻址范围

刷新计数器

输入输出缓冲放大器

读写时序

行地址、列地址分别使能

刷新

结构特点：按行刷新（一次一行）

刷新方法

集中刷新（连续对所有行进行刷新）

分散/异步刷新（刷新信号穿插）

刷新周期/行数、向下取整（按存储周期）

行数计算（单芯片）： $2^{17}=2^9$ （行数） $\times 2^8$ （列数）

存储容量扩展

位扩展

地址线、控制线公用，数据线分别连接至各芯片

多个存储芯片作为整体，当作一个新的存储体

字扩展

低位地址线、数据线公用；高位地址线用作译码（控制线端口）

多个芯片分时工作，每次仅一个芯片选中（控制）

混合扩展

高级DRAM方式

异步存储：FPM DRAM、CDRAM

同步存储：SDRAM、DDR