



计算机组成与系统结构

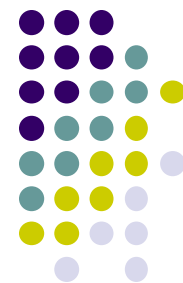
第六章 总线系统

吕昕晨

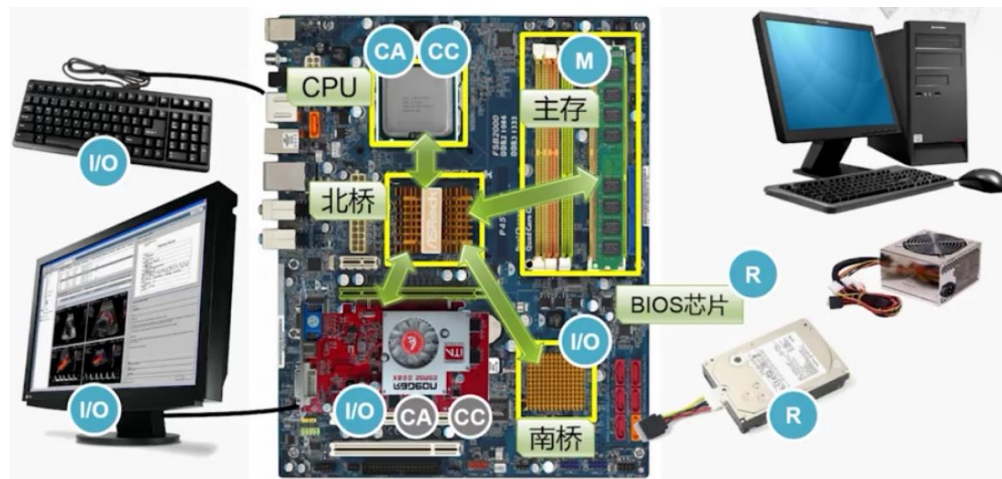
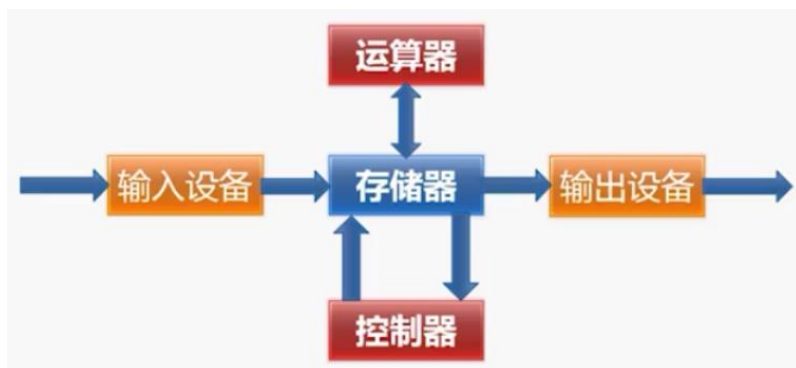
lvxinchen@bupt.edu.cn

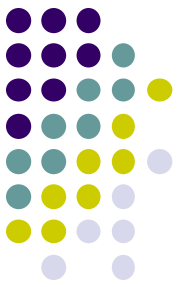
网络空间安全学院

总线基本概念

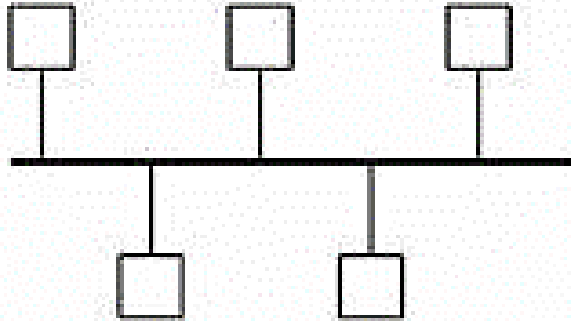


- 总线系统
 - 定义：连接计算机各功能部件的结构
 - 功能：各部件间的数据传输
 - 要求：高速率（主存、显卡）
可扩展性/通用性（I/O）

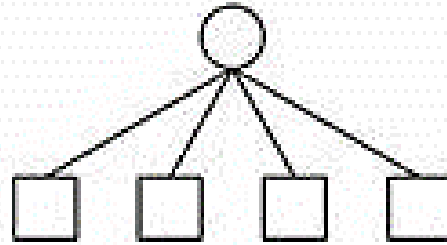




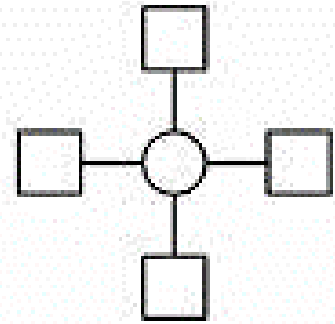
为什么要有总线—复杂度



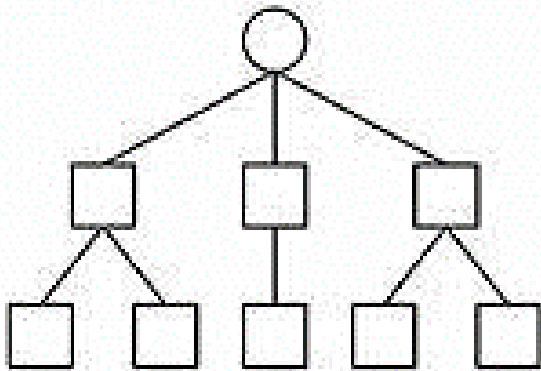
(一) 总线型拓扑结构图



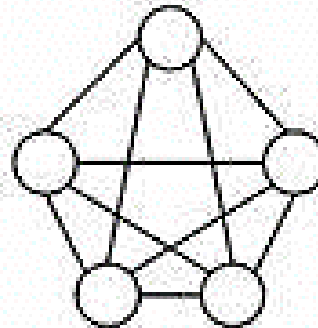
(二) 星型拓扑结构图



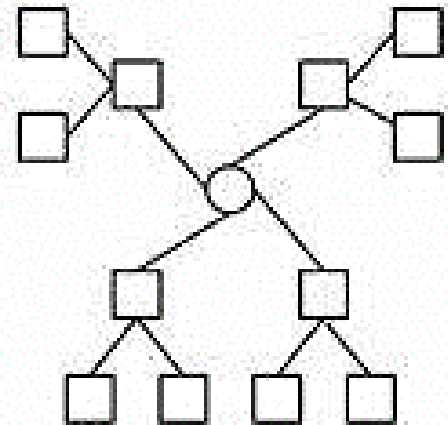
(三) 环型拓扑结构图



(四) 树型拓扑结构图

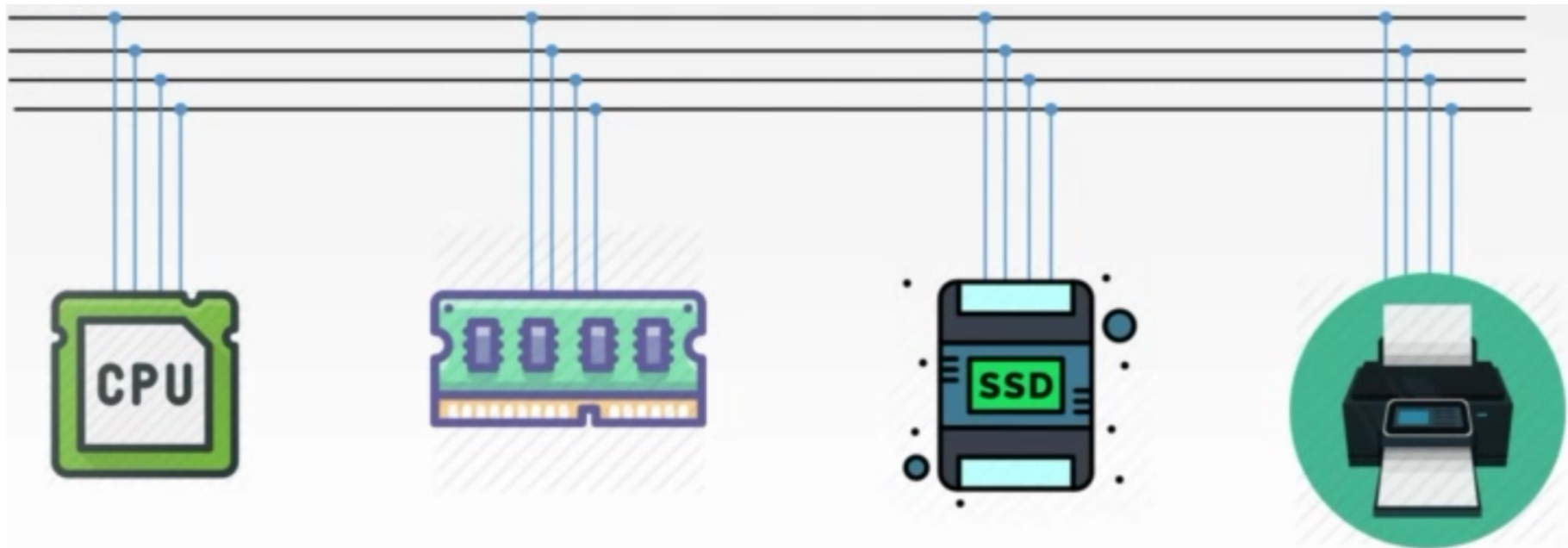
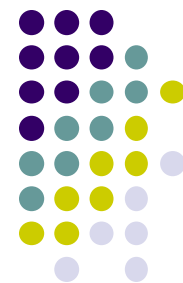


(五) 网状型拓扑结构图

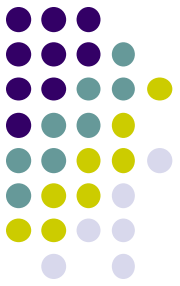


(六) 混合型拓扑结构图

数据总线物理实现

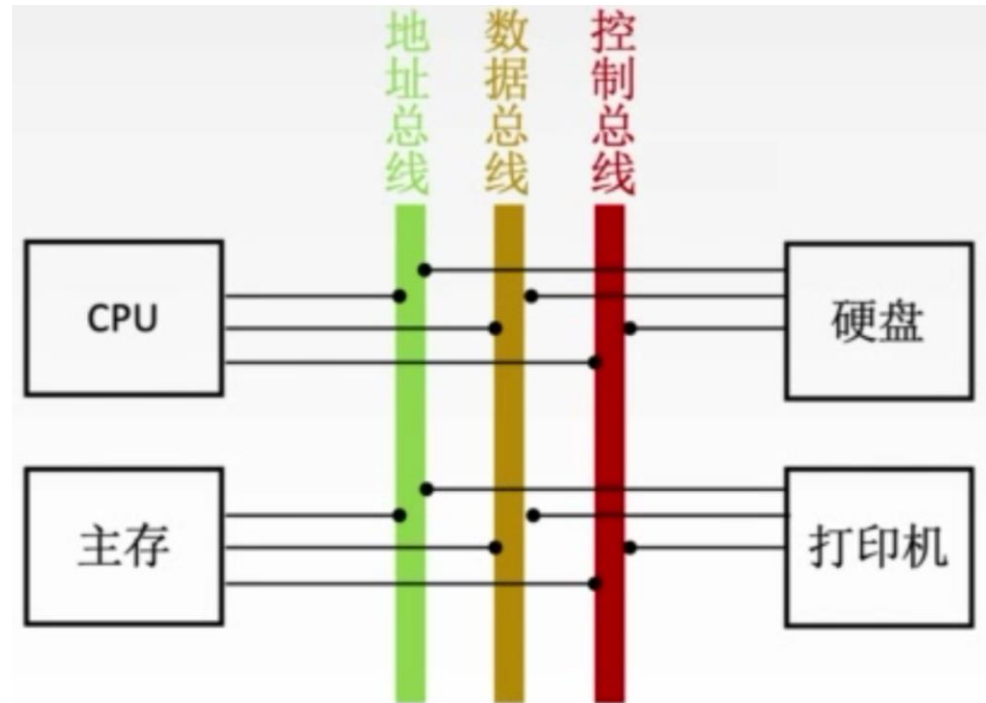


- 物理：信号线（主板）+三态门
- 组成：多根信号线组成数据总线
- 特性：单一时刻仅可一个部件发送数据 **（可多接收）**



总线的定义与关键问题

- 问题1：总线是多个系统功能部件之间进行数据传送的**公共通路**，在**争用资源**的基础上工作
- 问题2：计算机在各系统功能部件之间实现**地址、数据和控制**信息的**正确传输与交互**



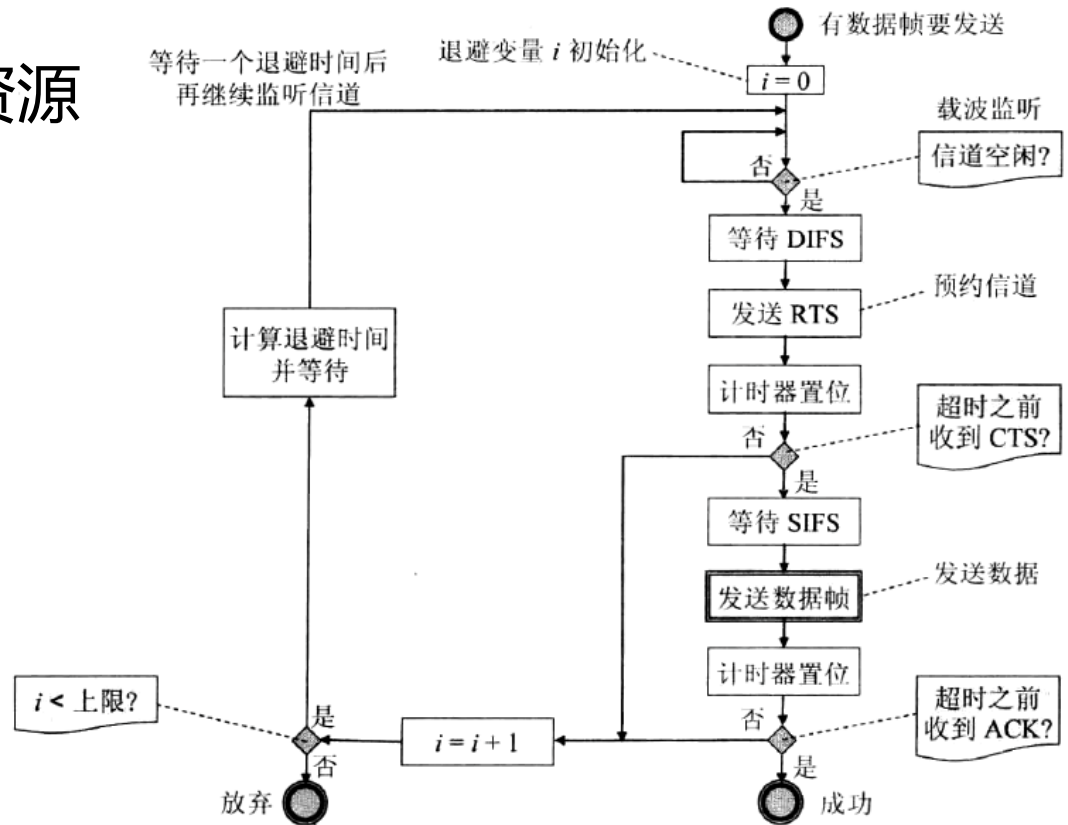
总线的关键问题与类比

- 总线关键问题

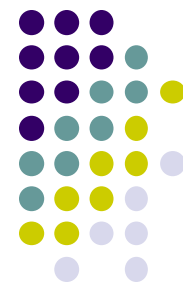
- 公用通路、争用资源
- 正确数据传送

- 类比

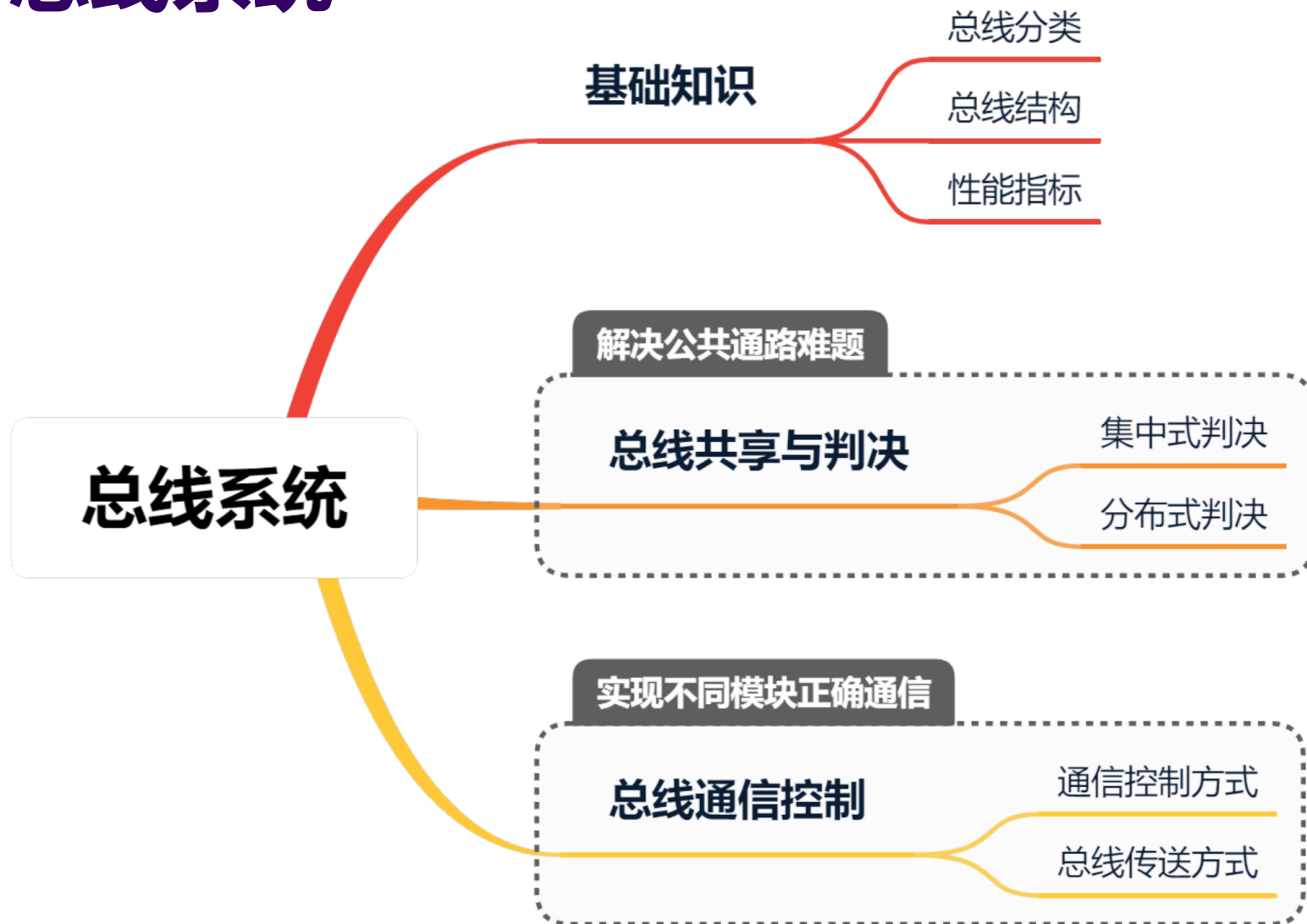
- 总线型局域网
 - CSMA/CD
- 无线通信
 - WLAN/WIFI
 - CSMA/CA

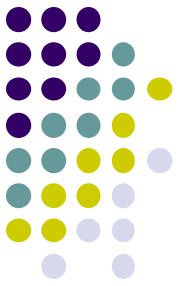


CSMA机制



总线系统

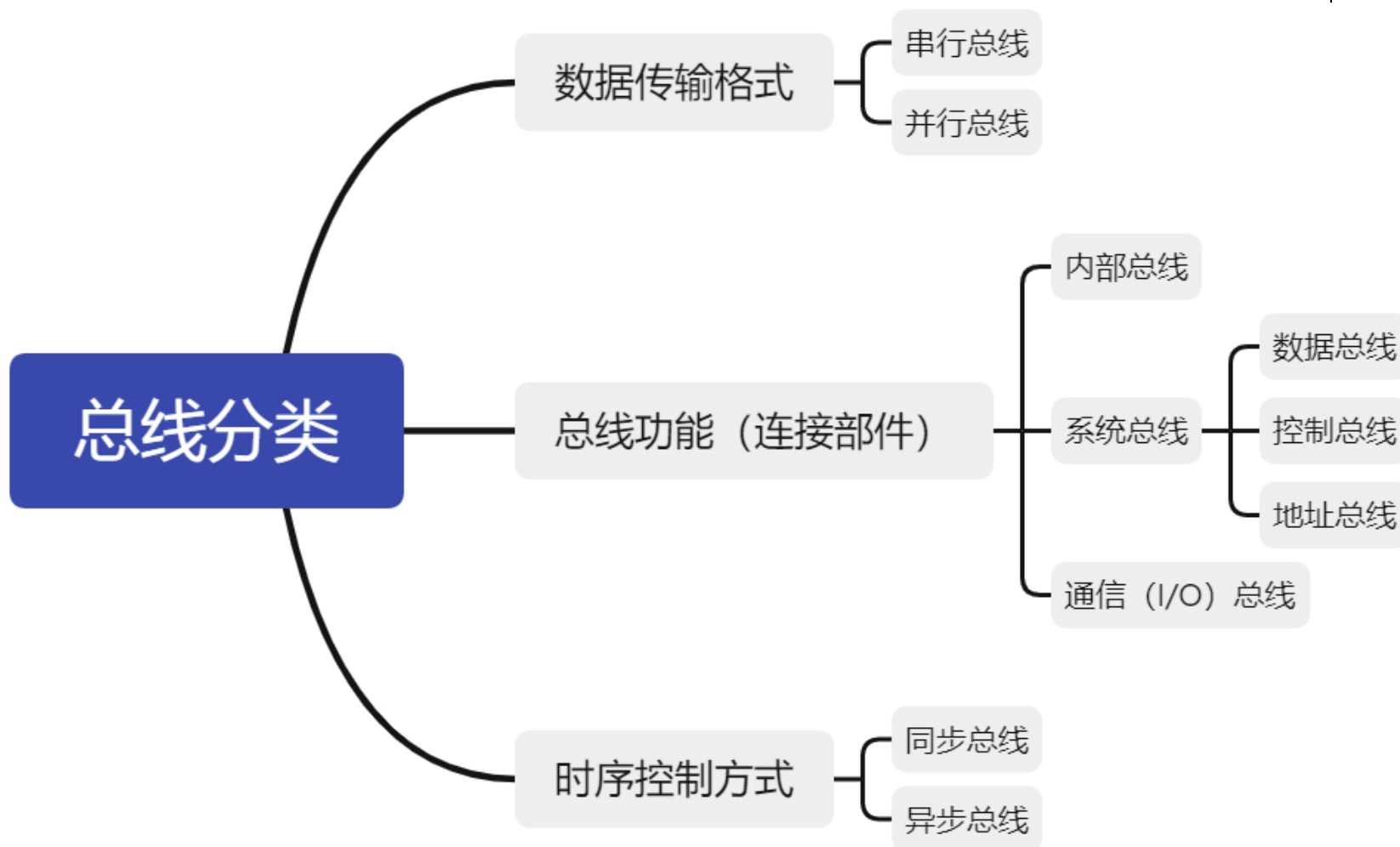




第六章 总线系统

- 总线的特性与分类
- 总线结构
- 总线的性能指标

总线的分类



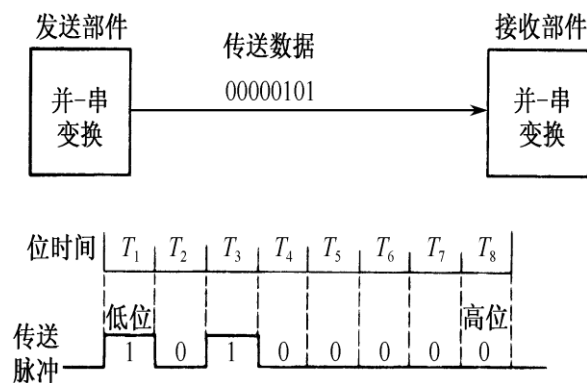


第六章 总线系统

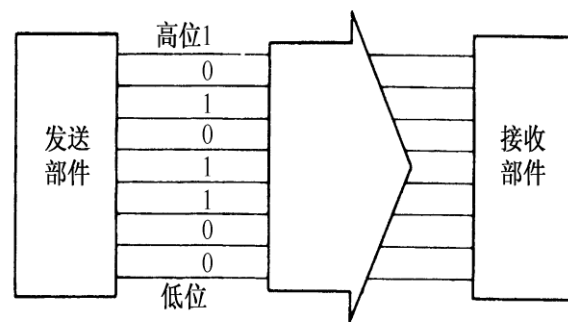
- 总线的特性与分类
 - 串行/并行总线（数据传输格式）
 - 内部/系统/通信总线
 - 同步/异步总线
 - 总线特性与标准化
- 总线结构
- 总线的性能指标

信息传送方式 (1)

- 计算机系统中，传输信息基本有两种方式：
 - 串行传送
 - 并行传送
- 出于速度和效率上的考虑，系统总线上传送的信息多采用并行传送方式

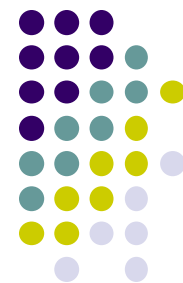


(a) 串行传送

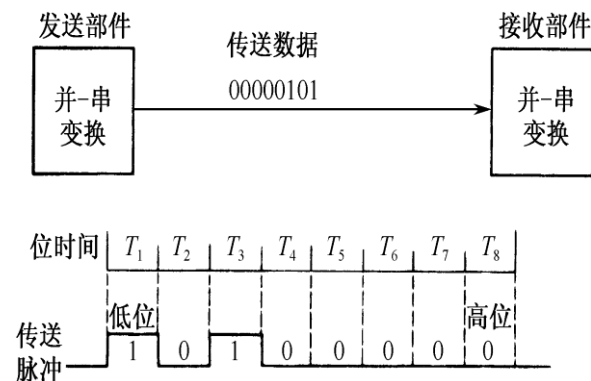


(b) 并行传送

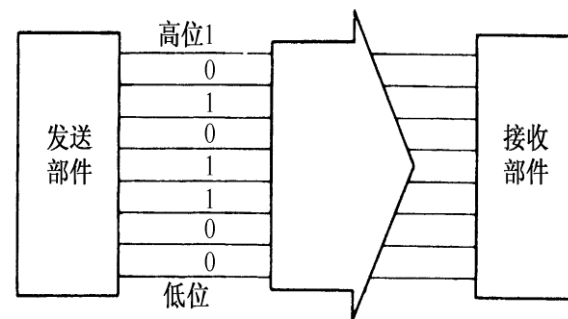
信息传送方式 (2)



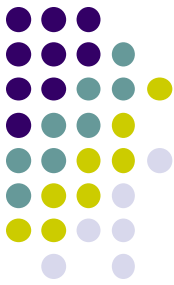
- 串行传送
 - 使用一条传输线，采用脉冲传送
 - 优点：只需要一条传输线，这一点对长距离传输显得特别重要，不管传送的数据量有多少，只需要一条传输线，成本比较低廉
- 并行传送
 - 每一数据位需要一条传输线，一般采用电位传送。



(a) 串行传送



(b) 并行传送

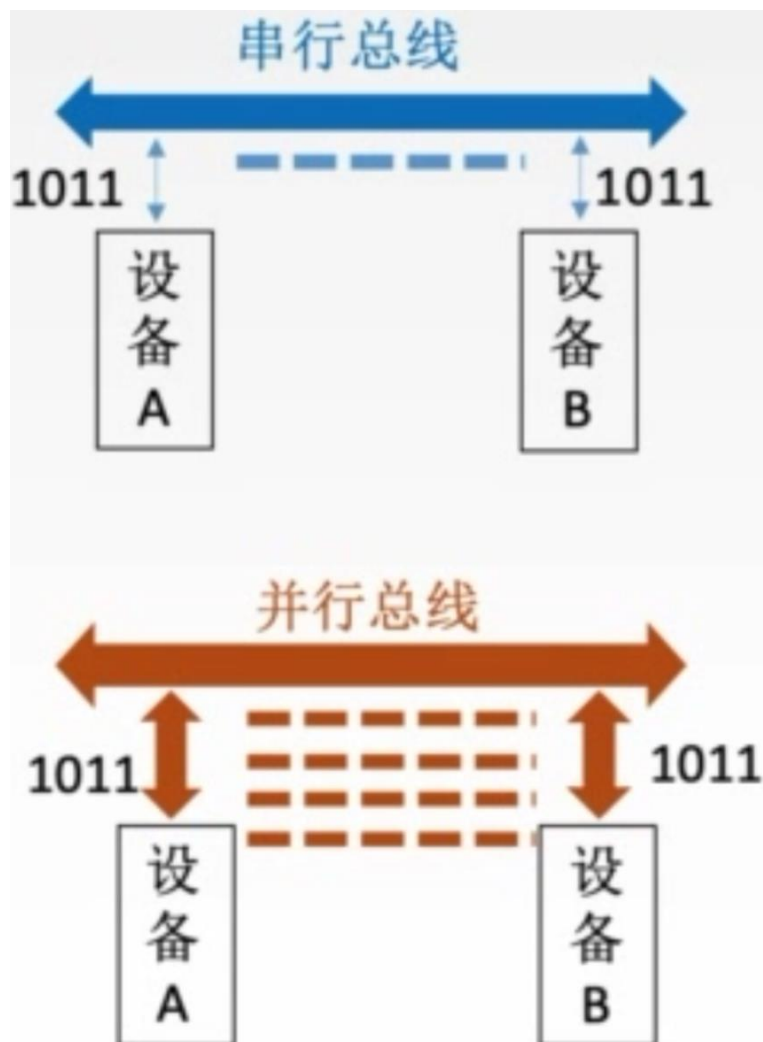


常见串行接口协议

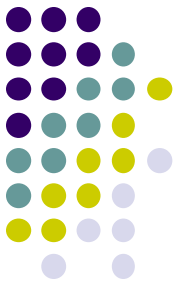
- SPI (Serial Peripheral Interface, 串行外设接口)
 - 2条数据线、1时钟线、1CS
 - 同步工作方式、全双工通信
- I2C总线 (Inter-Integrated Circuit Bus)
 - 1数据线、1时钟线
 - 同步工作方式、半双工通信
- UART (通用异步收发传输器)
 - 2数据线
 - 异步通信、全双工通信
 - 适合设备间通信
- 通信方式对比
 - 同步：数据传输过程中，需要时钟线同步，速度快
 - 异步：采样电平值，在字符范围内同步，恢复波特率
 - 传输速率：SPI>I2C>UART



串行/并行总线总结



- 串行传送
 - 优点：便于布线，适用于长距离传输
 - 缺点：需考虑串并/并串转换问题，接口需单独硬件
- 并行传送
 - 优点：电路实现简单
 - 缺点：
 - 布线占用空间大，成本高
 - 并行信号线间干扰，工作频率受限



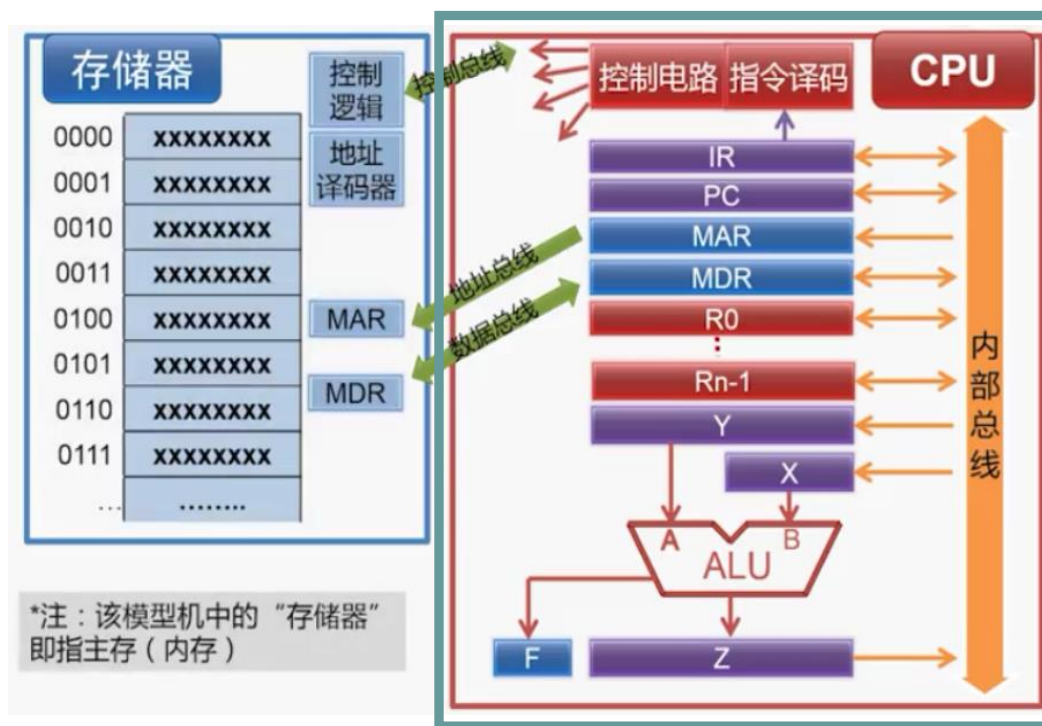
第六章 总线系统

- 总线的特性与分类
 - 串行/并行总线
 - 内部/系统/通信总线（总线功能）
 - 同步/异步总线
 - 总线特性与标准化
- 总线结构
- 总线的性能指标



1 内部总线

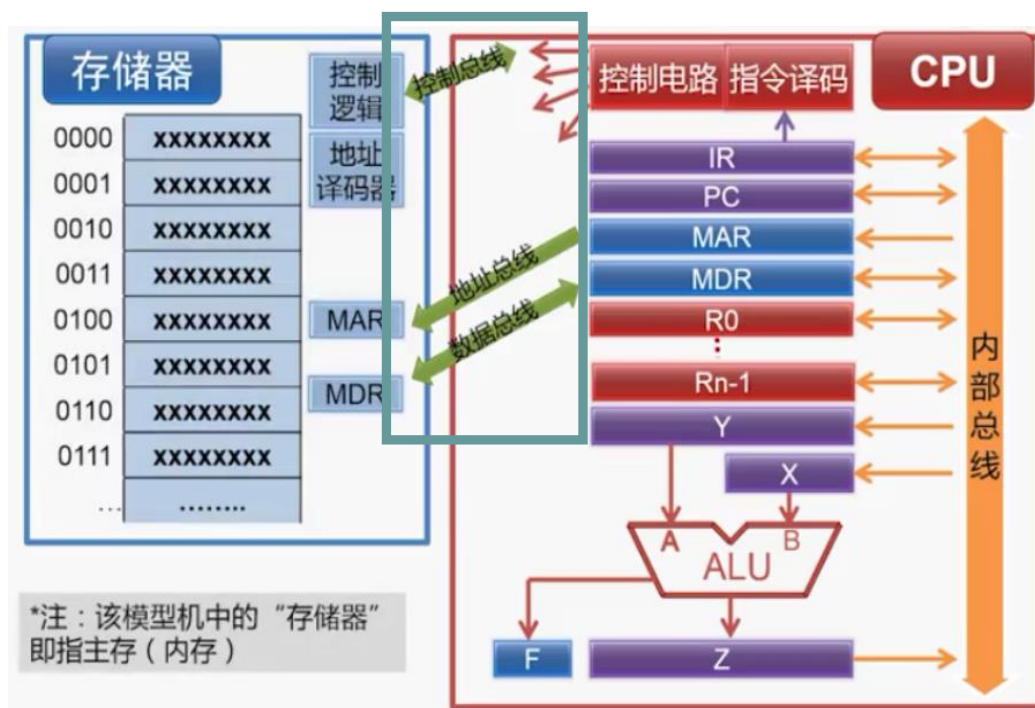
- 内部总线
 - CPU内部连接各寄存器及运算器部件之间的总线
 - 又称：片内总线





2 系统总线

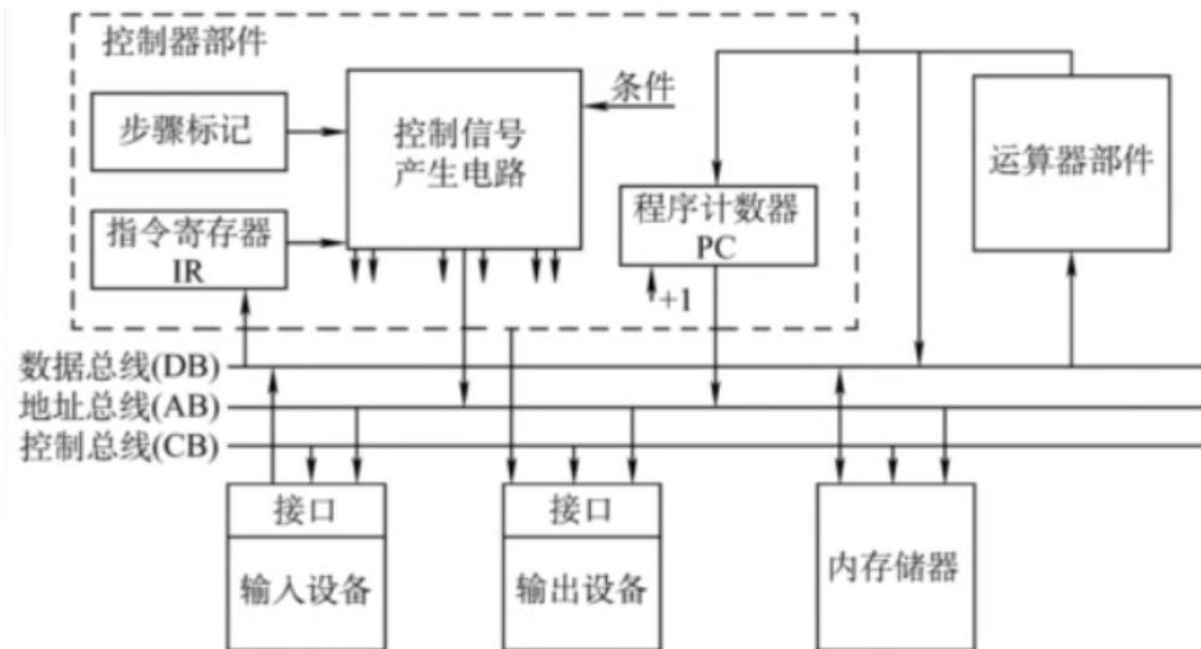
- 系统总线
 - 连接计算机系统各功能部件（CPU、主存、I/O接口）
 - 分为：数据总线、地址总线、控制总线（根数、方向）

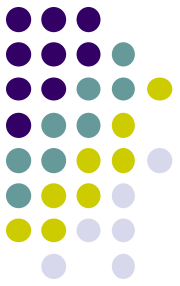




2 系统总线——数据总线

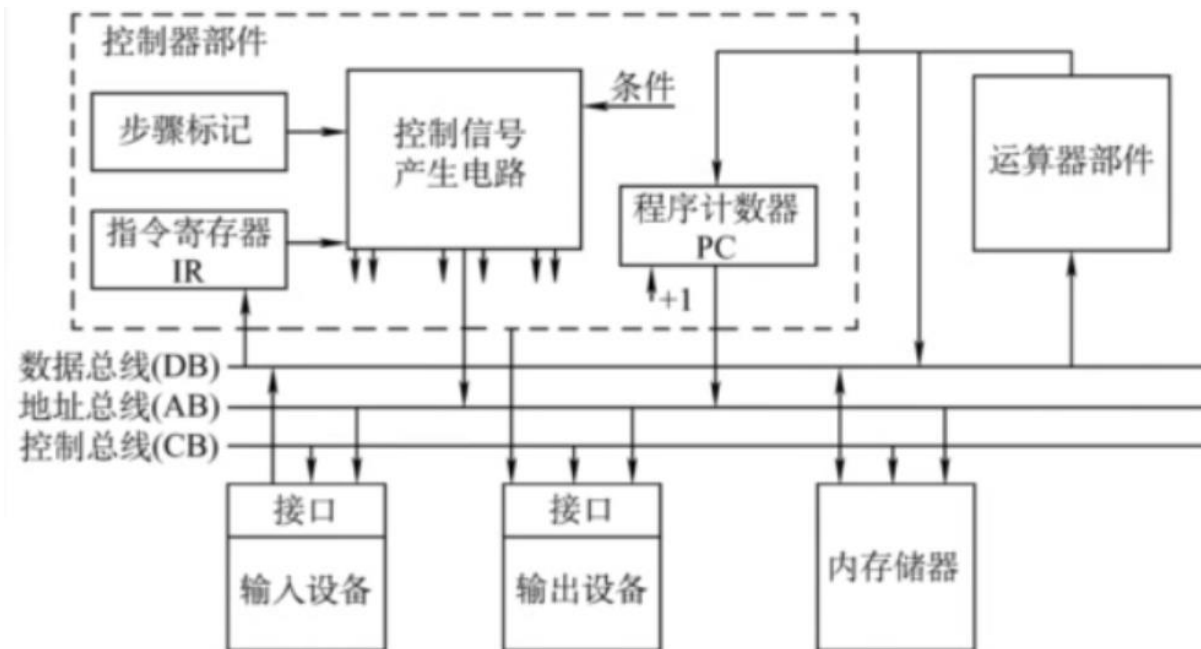
- 数据总线 (DB)
 - 传输各功能部件的数据信息 (指令、操作数等)
 - 根数：与机器字长、存储字长对应
 - 方向：双向

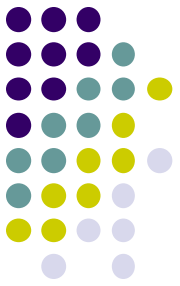




2 系统总线——地址总线

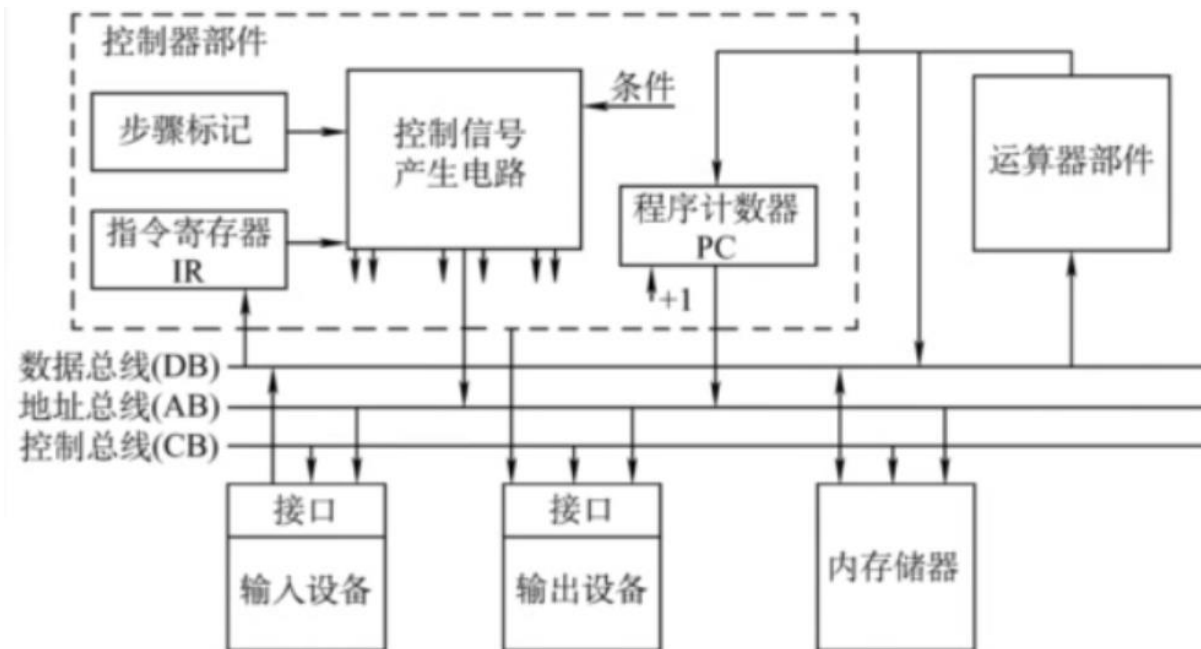
- 地址总线 (AB)
 - 传输地址信息 (主存/IO端口地址)
 - 根数：与主存地址空间大小、设备数量有关 (2^N)
 - 方向：单向





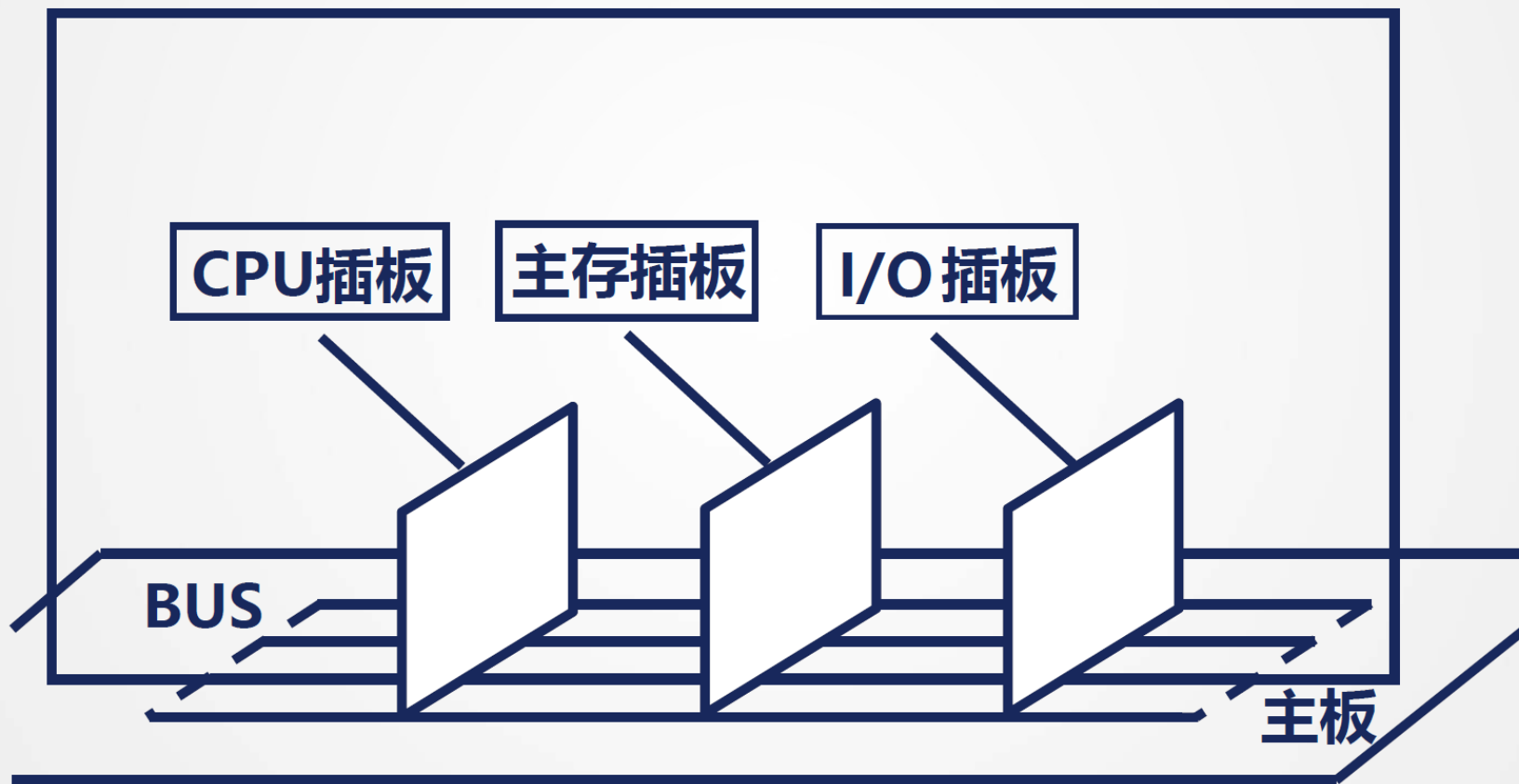
2 系统总线——控制总线

- 控制总线 (CB)
 - 传输控制信息
 - 根数：一根控制线传输一个控制信号
 - 方向：单根单向，有出有入





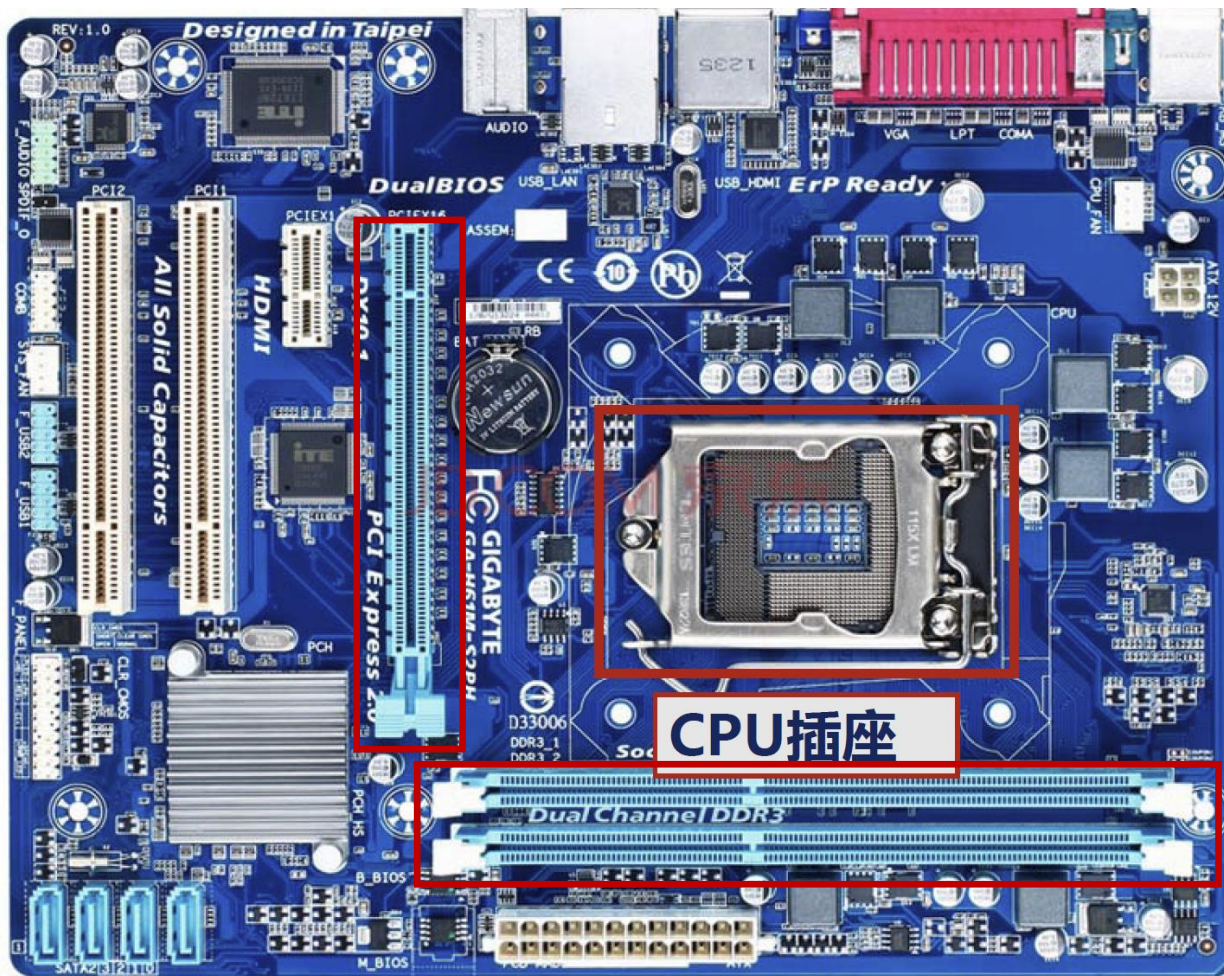
2 系统总线——物理实现





2 系统总线——物理实现

- 显卡/光口.....

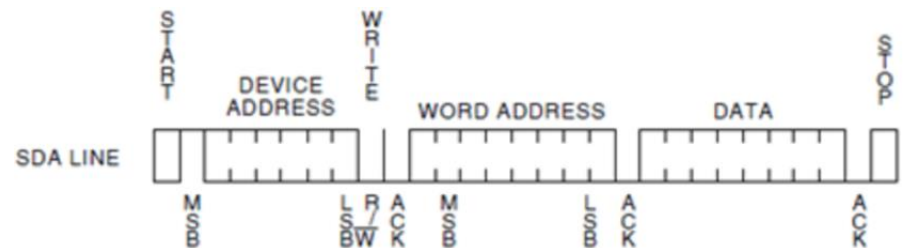
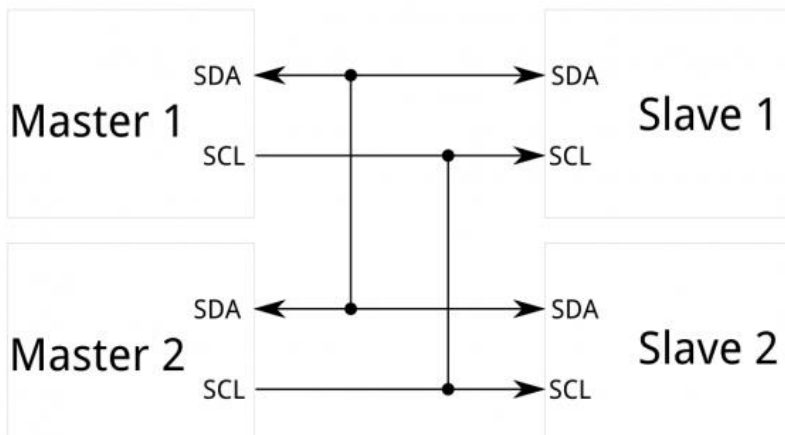


- 内存

3 通信总线



- 通信总线
 - 计算机系统之间、计算机系统与其它系统（如远程通信、测试设备）的连接
 - 实例：网线
 - 协议：SPI、I2C、UART等





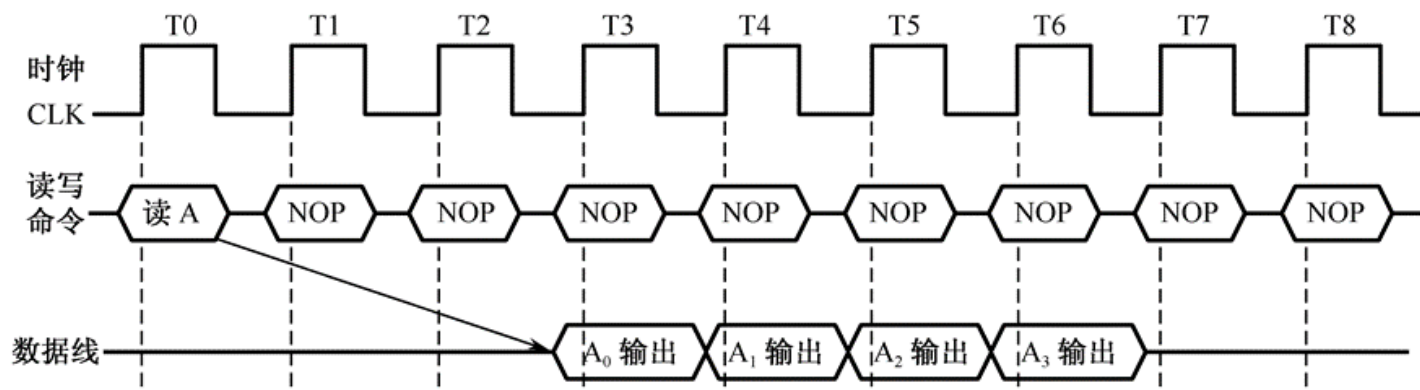
第六章 总线系统

- 总线的特性与分类
 - 串行/并行总线
 - 内部/系统/通信总线
 - 同步/异步总线（时序控制方式）
 - 总线特性与标准化
- 总线结构
- 总线的性能指标



同步/异步总线

- 同步总线
 - 控制线中有**统一时钟信号**，挂接在总线上的所有设备都从这个公共的时钟线上获得特定的信号，从而进行定时交互
- 异步总线
 - 非时钟定时，采用握手协议（应答方式），**没有一个公共的时钟标准**

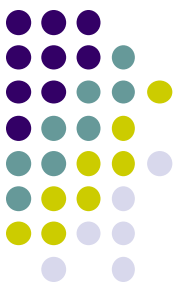


(b) SDRAM 读操作时序（猝发长度=4 $\overline{\text{CAS}}$ 延时=2)



第六章 总线系统

- 总线的特性与分类
 - 串行/并行总线
 - 内部/系统/通信总线
 - 同步/异步总线
 - 总线特性与标准化
- 总线结构
- 总线的性能指标



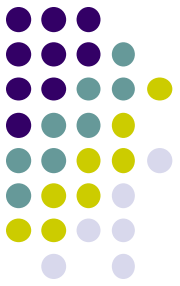
总线的特性

- 物理特性
 - 总线的物理连接方式（根数、插头、插座形状，引脚排列方式）
- 功能特性
 - 每根线的功能
 - 地址总线宽度→访存范围；数据总线宽度→一次交换数据位数
- 电气特性
 - 每根线上信号的传递方向及有效电平范围
 - 与CPU关系：输入（IN）/输出（OUT）；高电平/低电平有效
- 时间特性
 - 规定了每根总线在什么时间有效（时序关系）



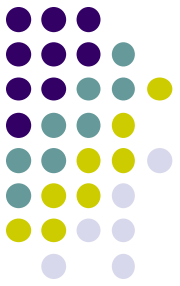
总线的标准化

- 标准化目的
 - 现状：不同厂家各功能部件在实现方法上几乎不相同
 - 目的：各部件可替换性
 - 使不同厂家生产的相同功能部件可以互换使用
 - 规定接口/交互特性、整体性能，不规定实现方法
 - 总线标准：PCI、ISA等
 - 固态硬盘：SATA3、PCI-E
- 采用标准总线的优点
 - 简化系统设计
 - 简化系统结构，提高系统可靠性
 - 便于系统的扩充和更新



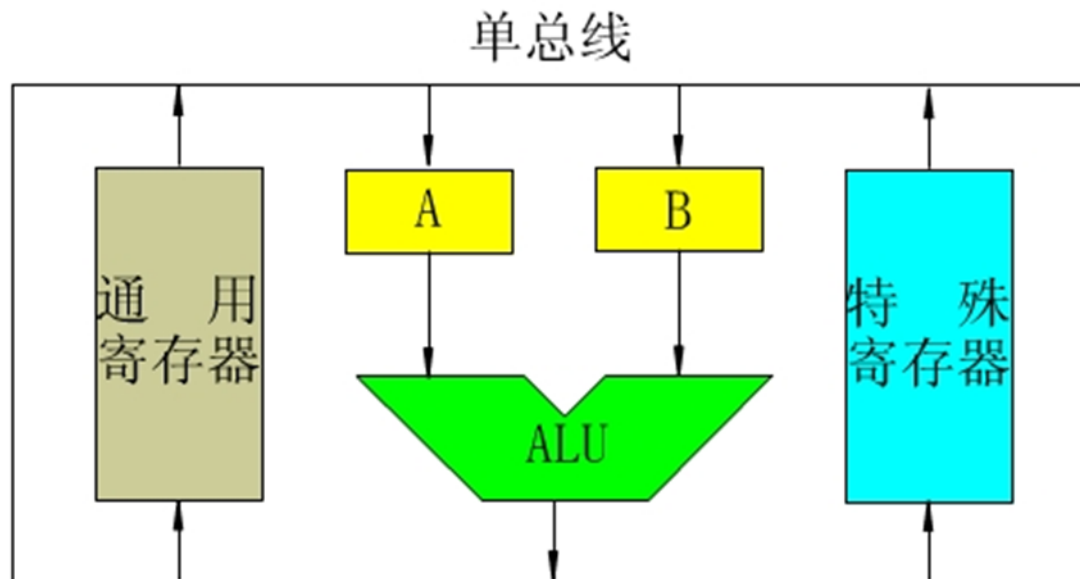
第六章 总线系统

- 总线的特性与分类
- 总线结构
 - 内部（CPU）总线结构
 - 系统总线结构
 - 多总线结构实例
- 总线的性能指标



单总线结构运算器

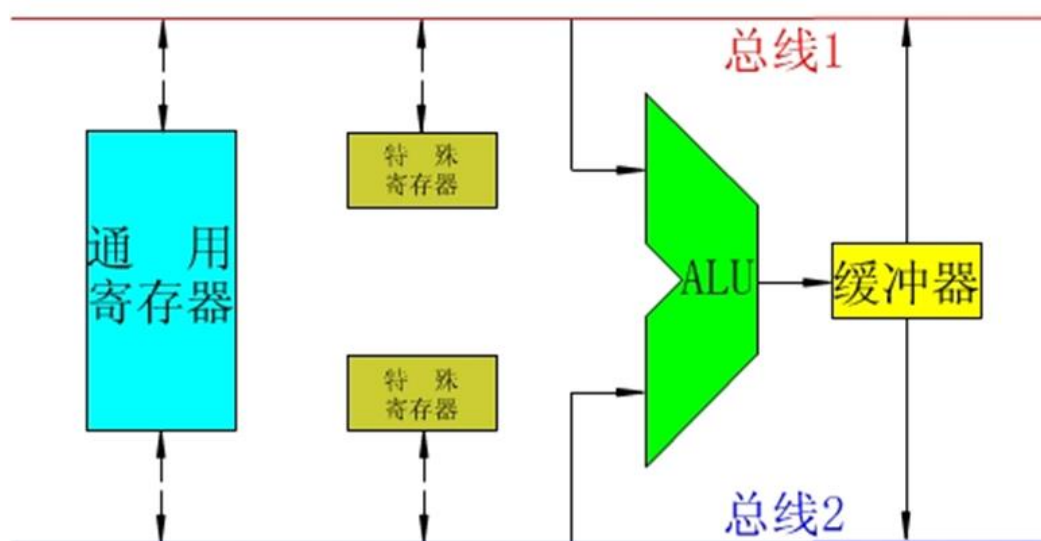
- 特点：所有部件连接到同一总线上，控制简单
- 性能
 - 同一时刻仅允许一个操作数出现在总线上
 - 数据存入A、B寄存器：2个时钟周期
 - 结果输出：1个时钟周期





双总线结构运算器

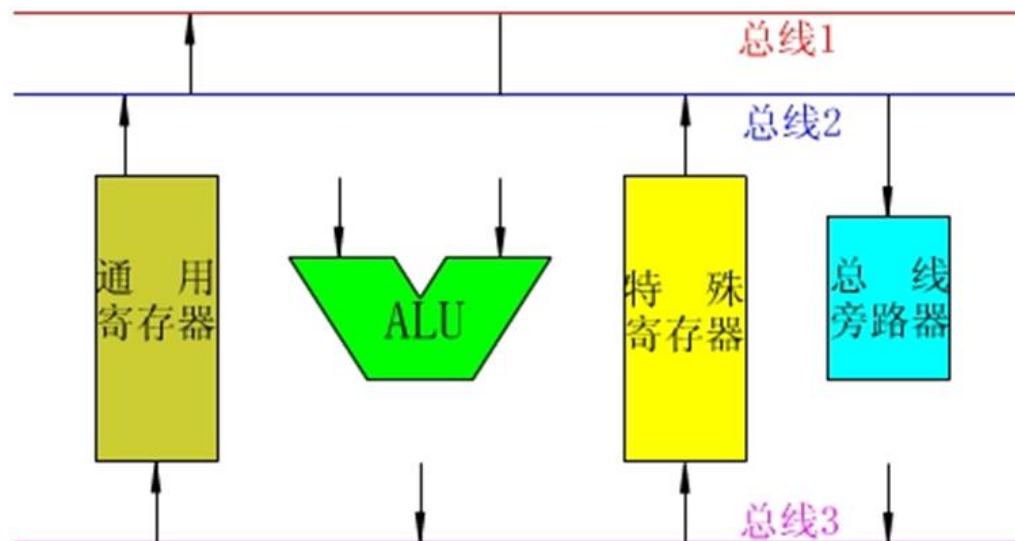
- 特点：ALU输入端由不同总线连接
- 性能
 - 两个操作数可同时送入ALU
 - 数据输入：1个时钟周期
 - 结果输出：1个时钟周期





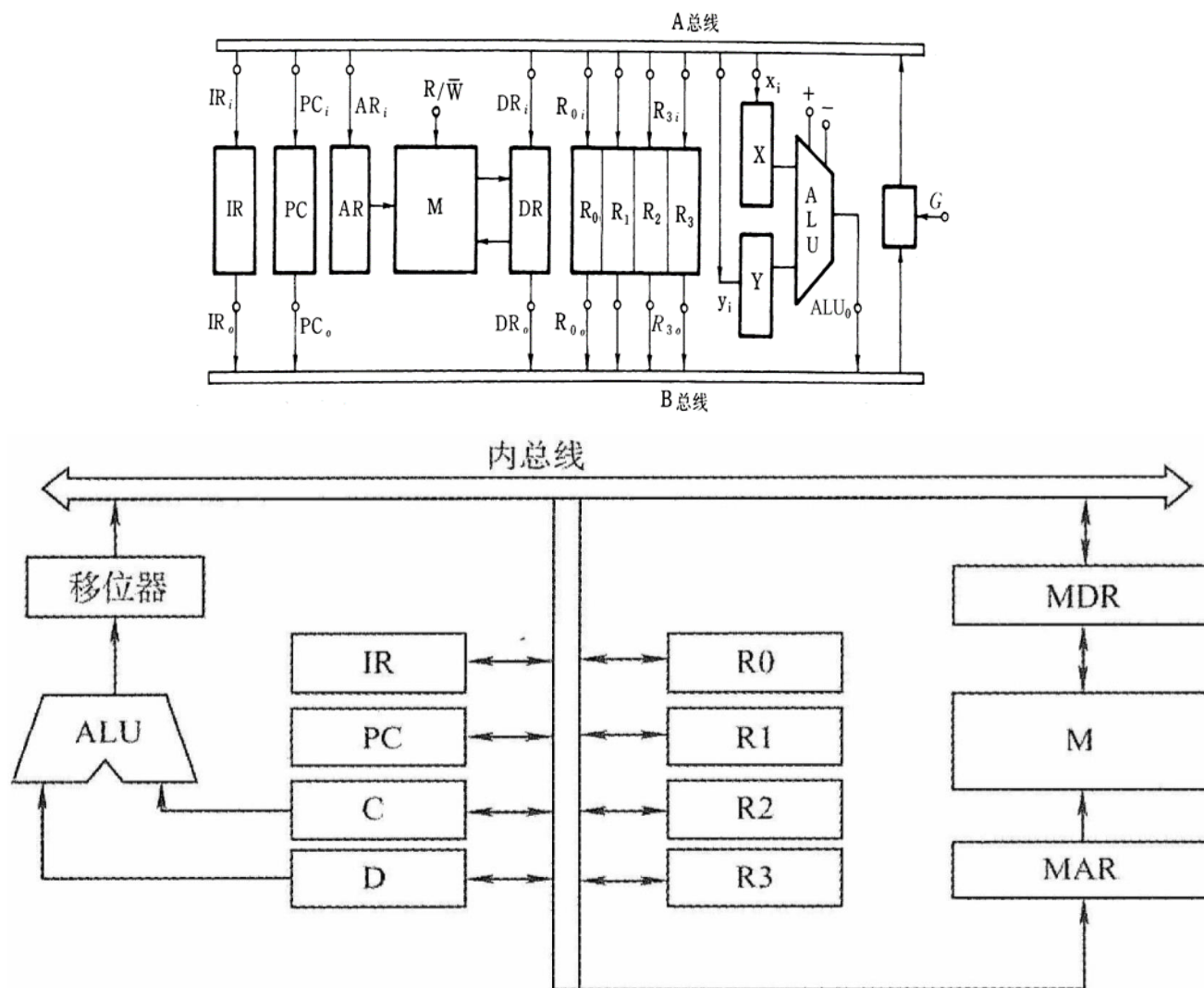
三总线结构运算器

- 特点：ALU输入端、输出端由不同总线连接
- 性能
 - 1个时钟周期，进行输入输出
 - 选通脉冲，考虑ALU延迟
 - 总线旁路器：操作数不需要修改





数据通路图——实例





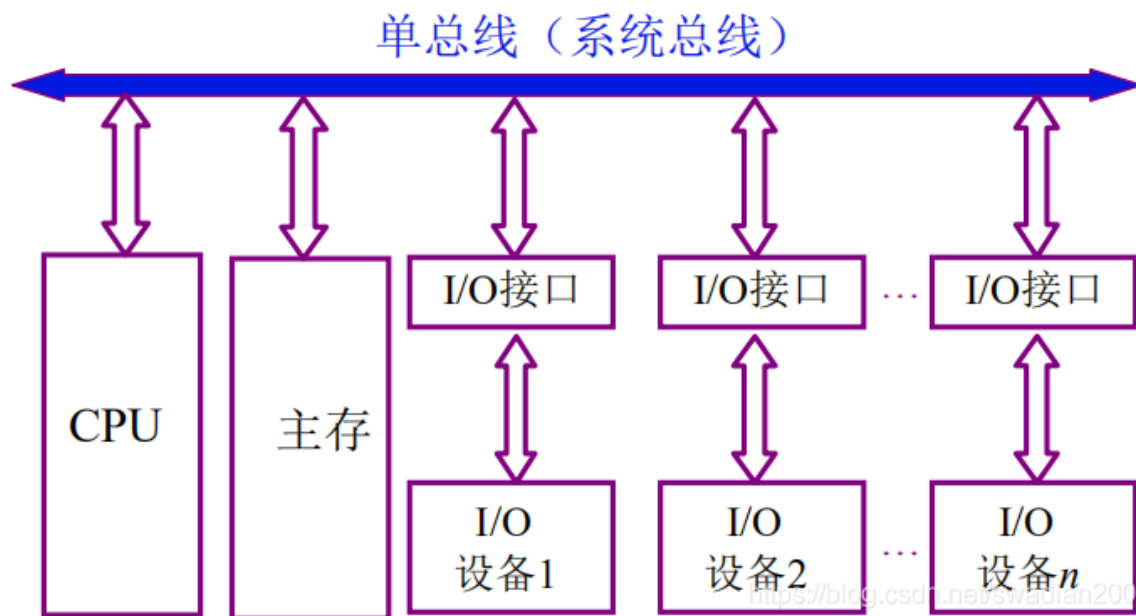
第六章 总线系统

- 总线的特性与分类
- 总线结构
 - 内部总线结构
 - 系统总线结构
 - 多总线结构实例
- 总线的性能指标



单总线结构

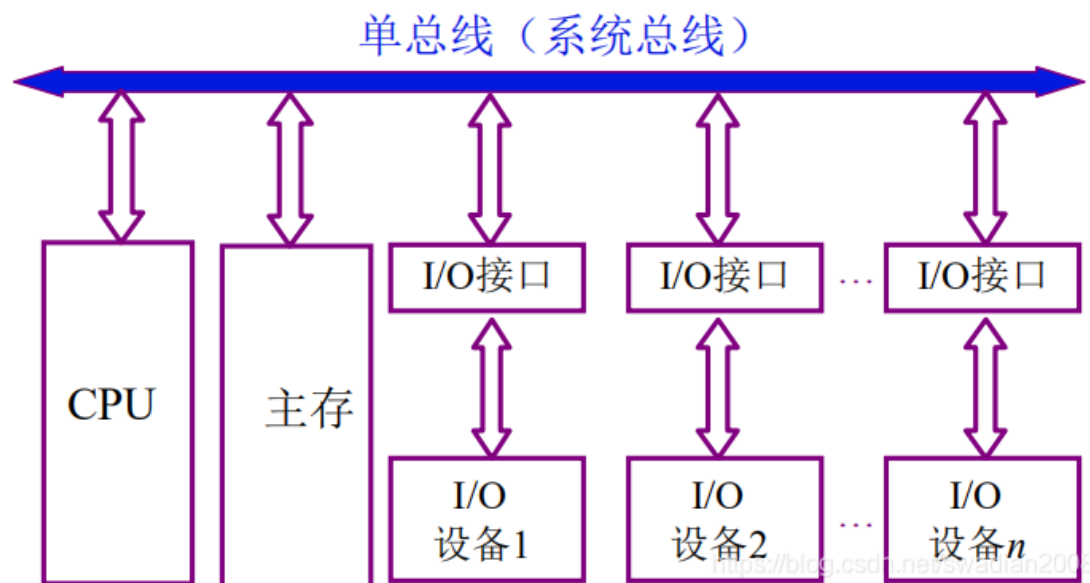
- 单总线结构
 - 使用一条单一的系统总线来连接CPU、内存和I/O设备
- 适配器（接口）
 - 实现高速CPU与低速外设之间工作速度上的匹配和同步，并完成计算机和外设之间的所有数据传送和控制





单总线结构——编址

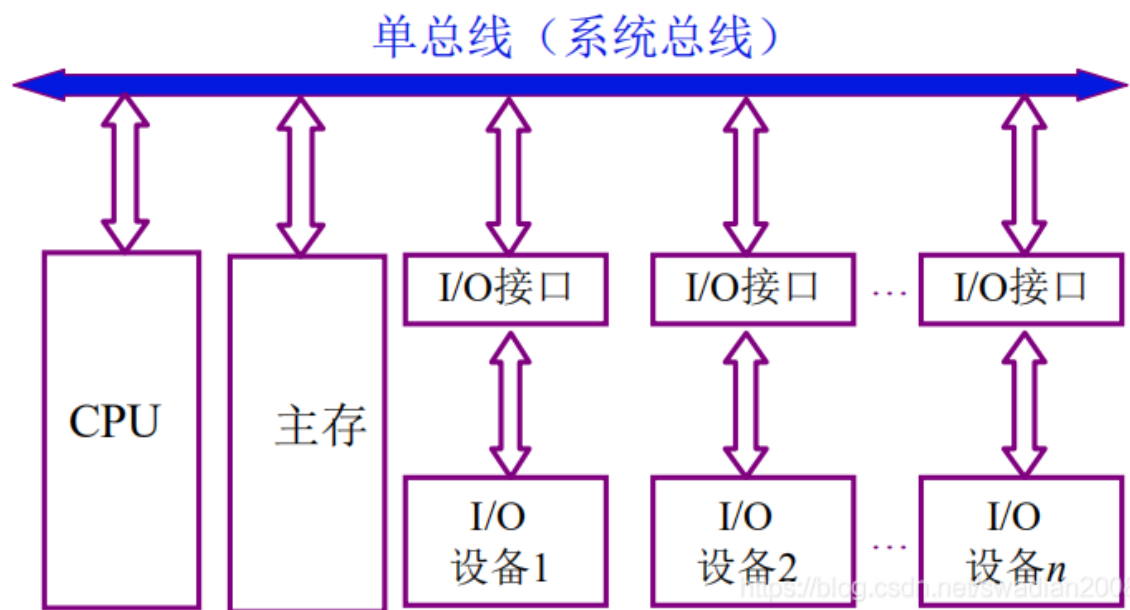
- 外部设备与内存**统一编址**
- 统一编址传输流程：
 - CPU将地址送至总线
 - 通过地址区分内存与外设，对应地址设备完成相应
 - 外设/内存根据指令功能完成数据传输





单总线结构——优点

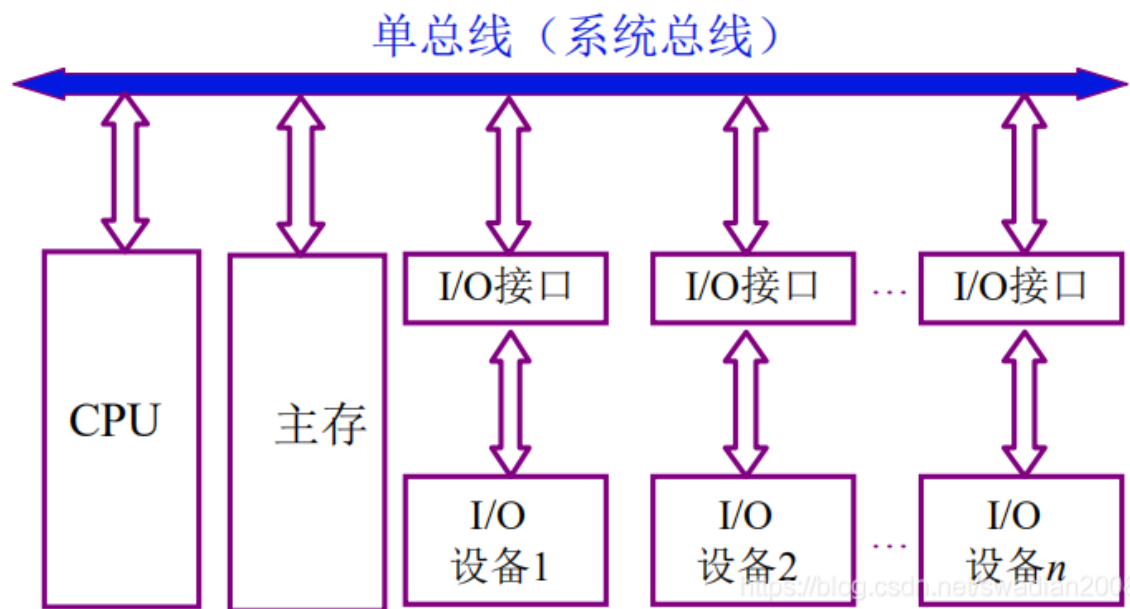
- 易扩展：容易扩展成多CPU系统，只要在系统总线上挂接多个CPU即可
- 控制逻辑简单，硬件易实现：仅需单个系统总线，控制简单，CPU是单总线的唯一控制器，硬件容易实现

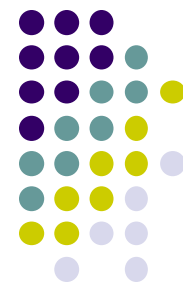




单总线结构——缺点

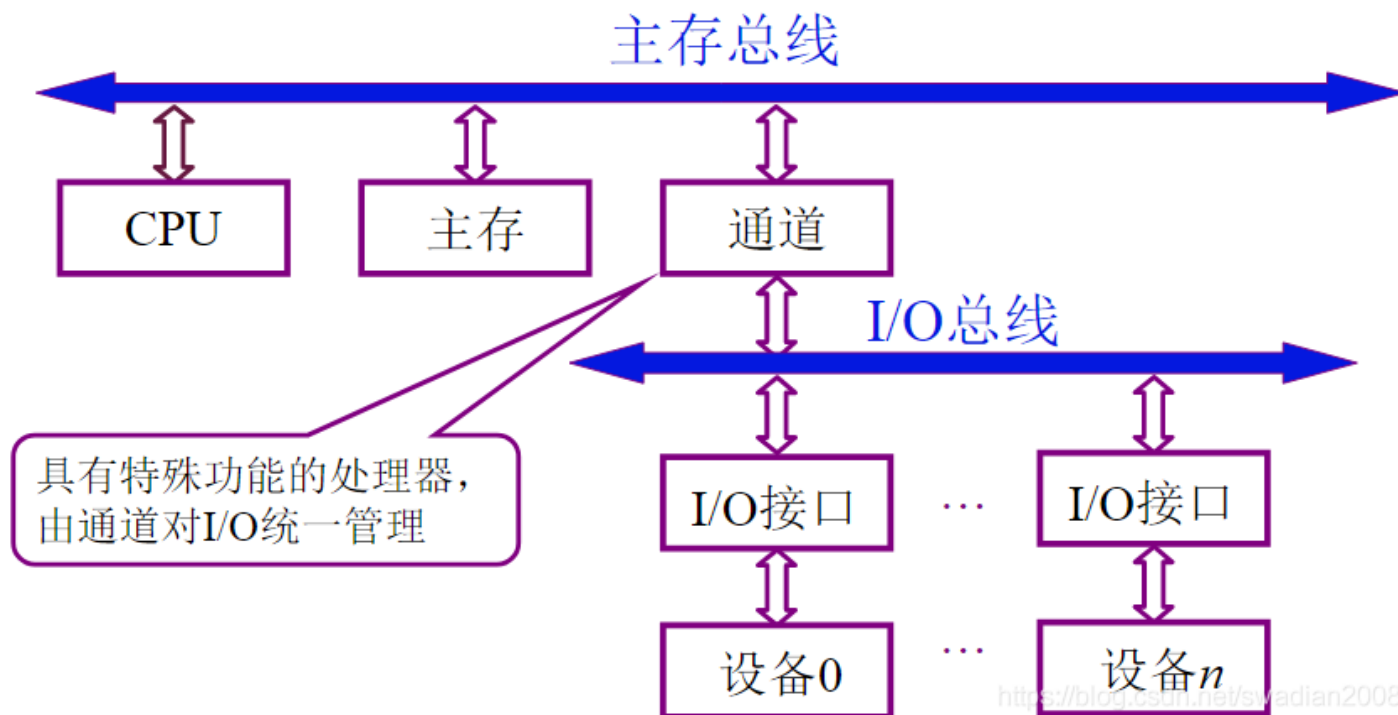
- 高低速设备：不同设备运行速度差异很大，慢速设备（**IO设备**）将极大影响总线使用效率与时延
- 吞吐量：总线只能分时工作，即某一个时间只能允许一对部件之间传送数据，这就使信息传送的吞吐量受到限制

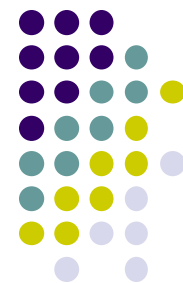




双总线结构

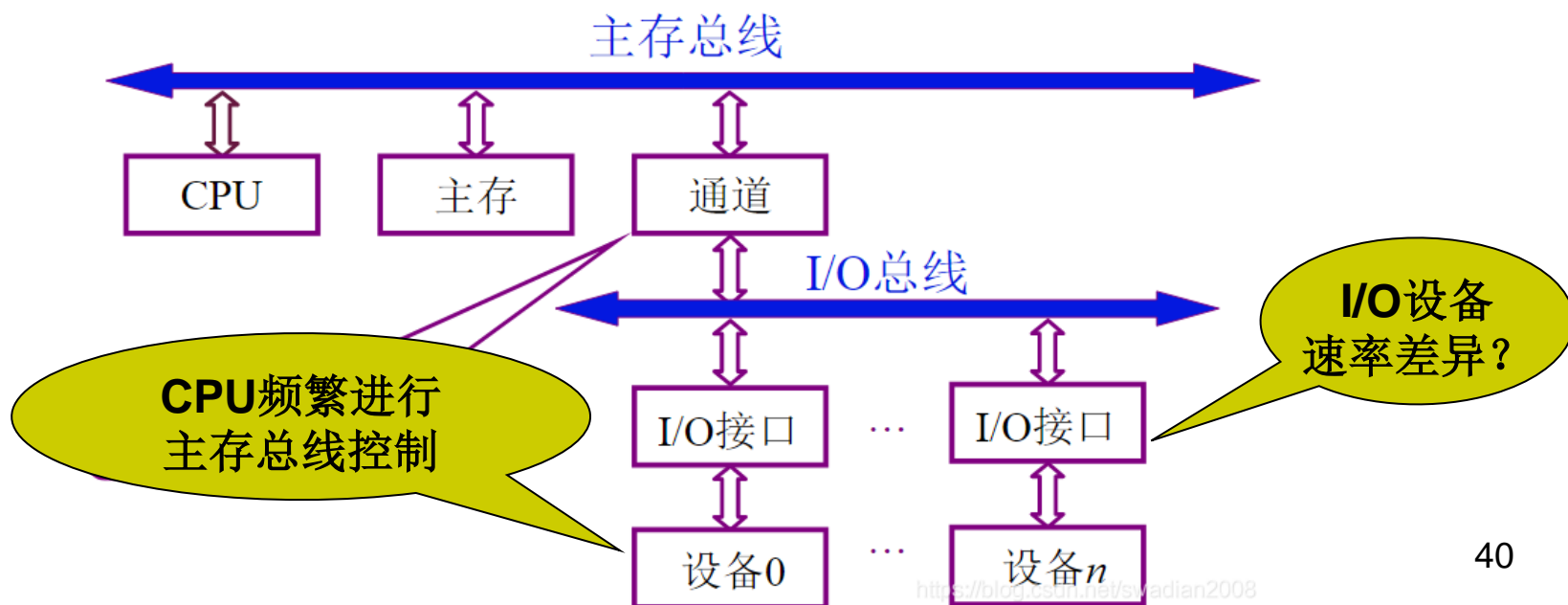
- 主存总线：用于CPU、主存和通道间的数据传送
- I/O总线：用于多个外部设备与通道的数据传送
- 通道：特殊功能处理器，管理IO设备，提高效率的目的





双总线结构——优点与问题

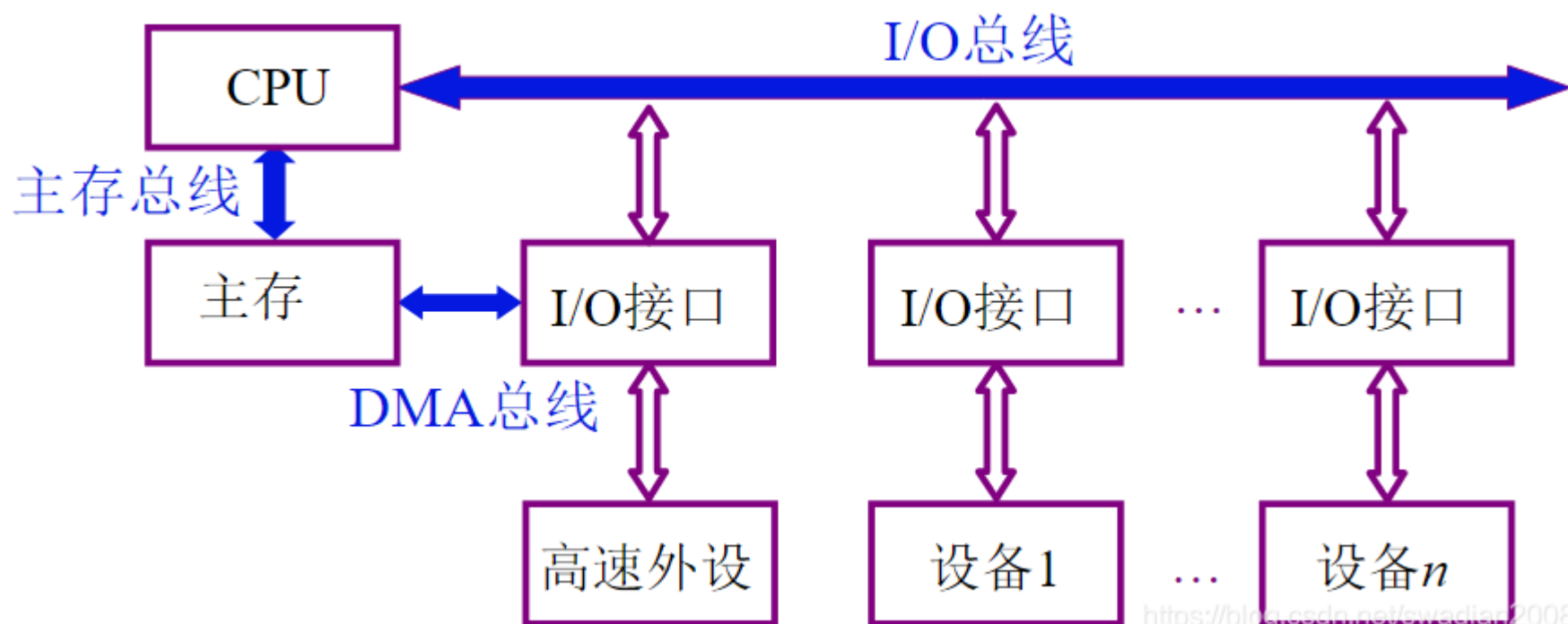
- 所有高速设备共享高速的主存总线
- 通道可以统一管理下级的I/O总线上的I/O设备
- 从相对速率较低的I/O设备到高速的CPU之间具有一定缓冲
- 相对平衡了CPU和各个设备之间的同步





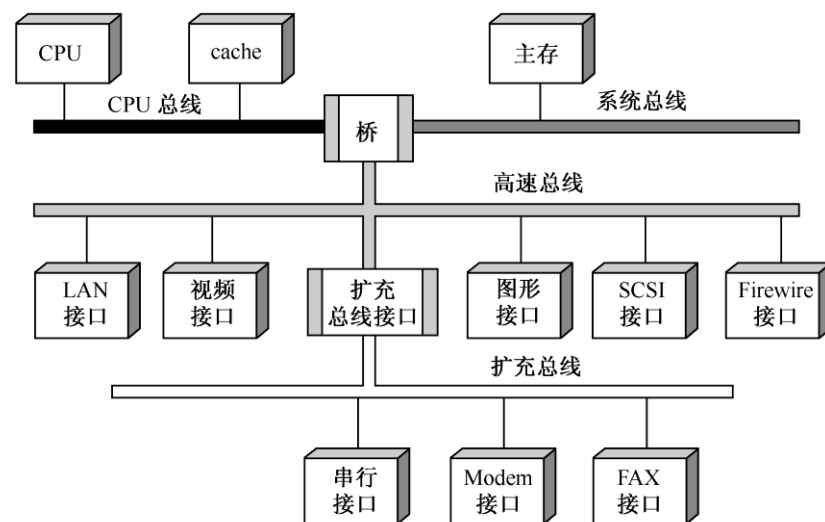
三总线结构

- 三总线结构，双总线结构中加一条DMA总线
- DMA（Direct Memory Access）：直接内存存取
- 提升IO高速设备的支持能力，提升主存效率

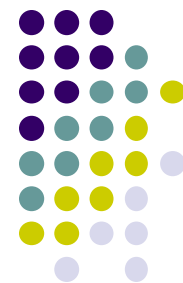


多总线结构—样例

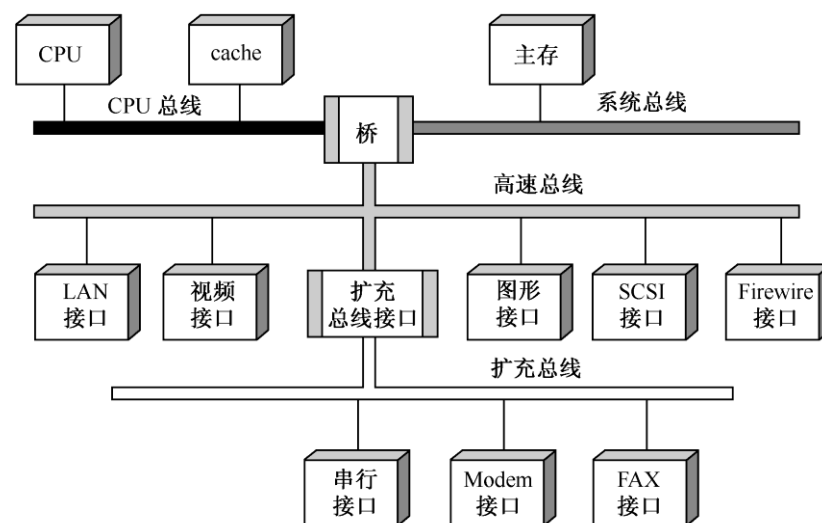
- 多总线结构
 - 在CPU、主存、I/O之间互联采用多条总线
- 高速的CPU总线
 - CPU和cache之间采用
- 系统总线
 - 主存连在其上
- 桥
 - 不同总线标准不相同
 - 具有缓冲、转换、控制功能的逻辑电路

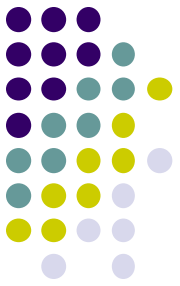


多总线结构——优点



- 多总线结构优点
 - 高速、中速、低速设备连接到不同的总线上同时进行工作
 - 提高总线的效率和吞吐量
 - 处理器结构的变化不影响高速总线



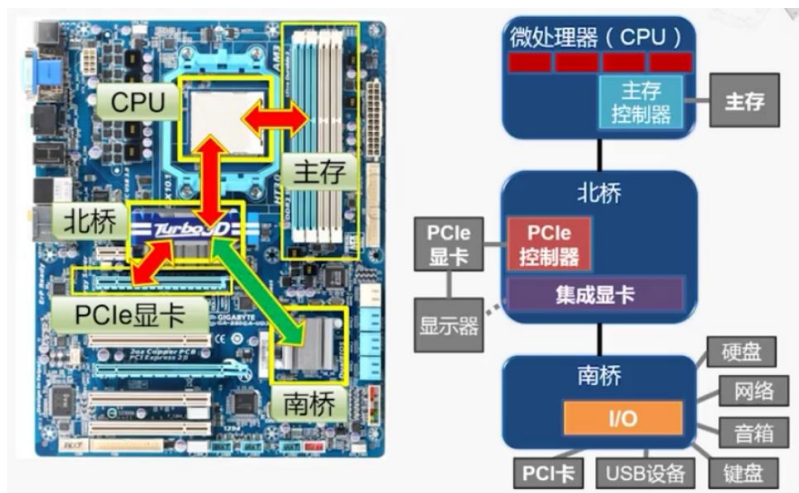
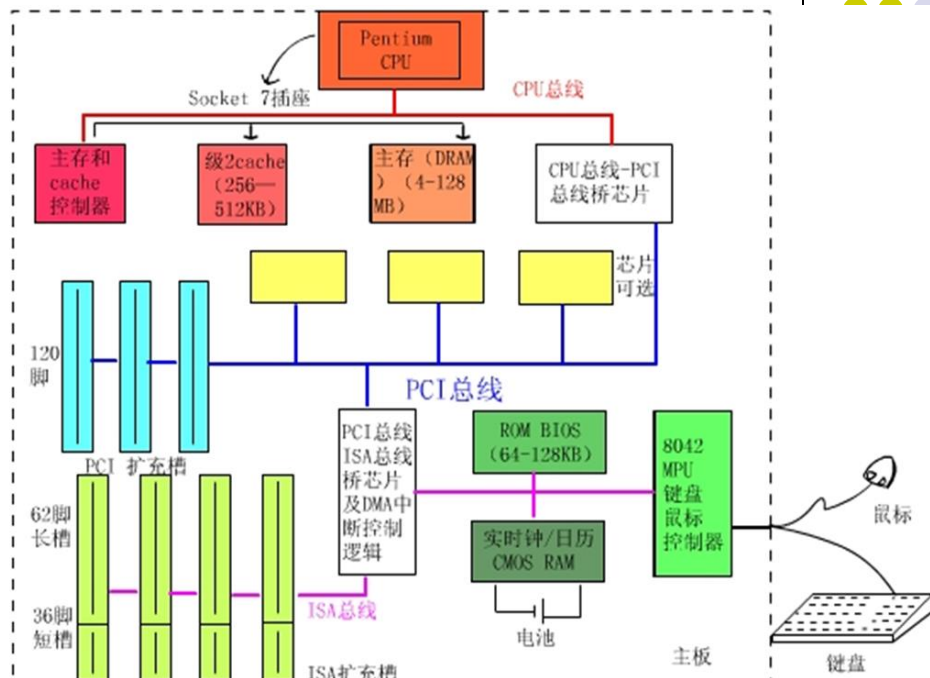


第六章 总线系统

- 总线的特性与分类
- 总线结构
 - 内部总线结构
 - 系统总线结构
 - 多总线结构实例（了解）
- 总线的性能指标

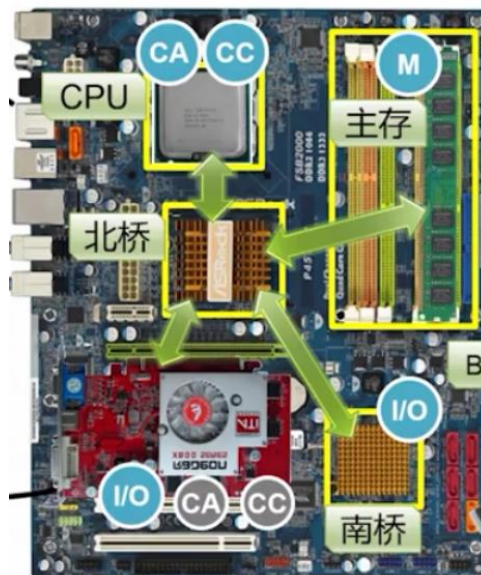
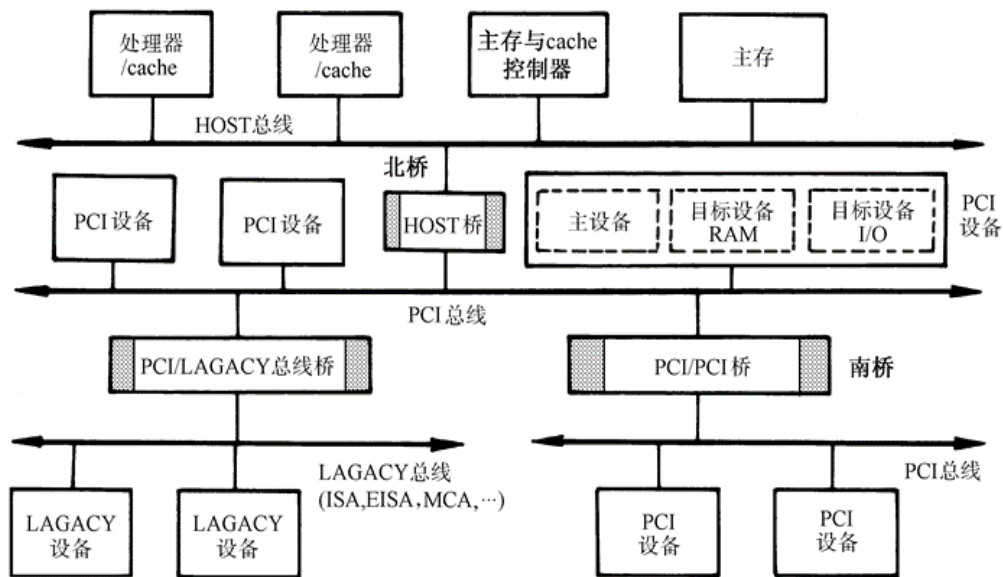
多总线结构实例

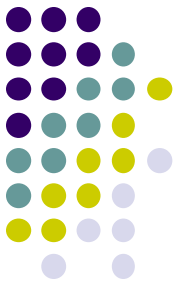
- 大多数计算机采用了分层次的多总线结构
- 右图它是一个三层次的多总线结构
 - CPU总线
 - PCI总线
 - ISA总线
- 桥
 - CPU/HOST-PCI: 北桥
 - PCI-PCI/ISA: 南桥



多总线结构实例

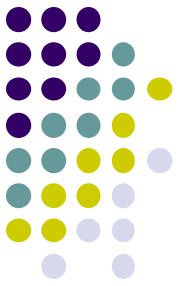
- 下面典型的多总线结构框图





第六章 总线系统

- 总线的特性与分类
- 总线结构
- 总线的性能指标



总线性能指标——周期/频率

- **总线传输周期/工作频率**

- 一次总线操作（传输）所需的时间（频率）
- 通常包括申请阶段、寻址阶段、传输阶段、结束阶段
- 通常由若干总线时钟周期构成（一对多）

- **总线时钟周期/频率**

- 总线（计算机）的时钟，控制计算机各个部件工作
- 总线按照时钟周期进行定时操作

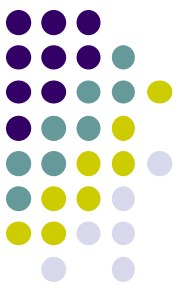
- **关系**

- 一对多、一对一、多对一



总线性能指标——位宽

- **总线位宽/宽度：**
 - 一次操作可以传输的数据位数
 - 单位：位、bit
- 总线位宽发展
 - S100为8位，ISA为16位
 - EISA/VESA为32位，PCI-2可达64位
- 计算机内部与外部数据总线宽度可能不一致
 - 8086、80286、80386内外数据总线宽度相等
 - Pentium外数据总线64位，内部数据总线32位



总线性能指标——带宽

- 总线带宽
 - 总线本身所能达到的最高传输速率（区别于有效速率）
 - 单位：Mbps、MB/s
- 理论计算方法
 - 总线位宽 * 总线工作频率（1/总线周期）
 - 总线周期是CPU完成一次访问MEM或I/O端口操作所需要的时间，由几个时钟周期组成。
- 实际带宽无法达到理论上限
 - 信号在总线上产生畸变与延时
 - 布线长度、总线驱动器/接收器性能
 - 总线模块数（竞争）



带宽计算例题

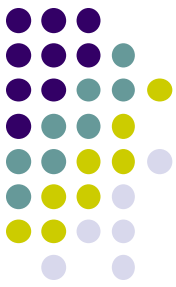
- 例1：计算总线带宽
 - 某总线在一个总线周期中并行传送4个字节的数据
 - 假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz
 - 问总线带宽是多少？
- 总线位宽 * 总线工作频率 (1/总线周期)
 - 总线位宽D：4Byte
 - 总线频率f：33MHz
- $D_r = D * f = 4B \times 33MHz = 132MB/s$



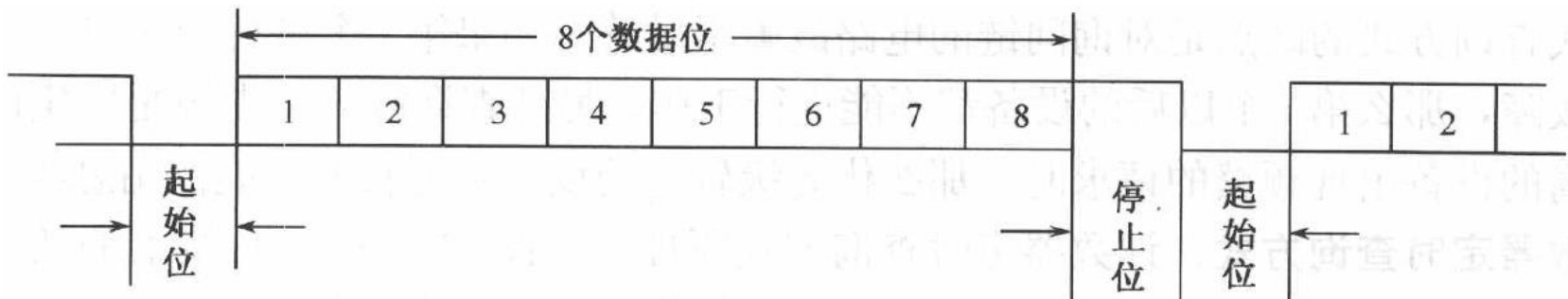
某总线在一个总线周期中并行传送64位的数据
假设一个总线周期等于一个总线时钟周期，总线
时钟频率为66MHz
问总线带宽是多少？

- ☒ A 528MB/s
- ☐ B 512MB/s
- ☐ C 4224MB/s
- ☐ D 4228MB/s

- 总线位宽 * 总线工作频率
(1/总线周期)
 - 总线位宽D:
64bit=8Byte
 - 总线频率f: 66MHz
- $D_r = D * f = 8B \times 66MHz = 528$
MB/s



【例2】利用串行方式传送字符（如图），每秒钟传送的比特（bit）位数常称为波特率。
假设数据传送速率是120个字符/秒，每一个字符格式规定包含10个比特位（起始位、停止位、8个数据位），
问传送的波特率是多少？每个比特位占用的时间是多少？



解：

波特率为： $10\text{位} \times 120/\text{秒} = 1200\text{波特}$

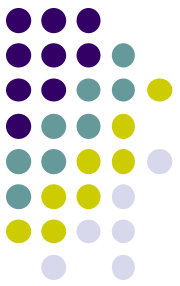
每个比特位占用的时间 T_d 是波特率的倒数：

$$T_d = 1/1200 = 0.833 \times 10^{-3}\text{s} = 0.833\text{ms}$$



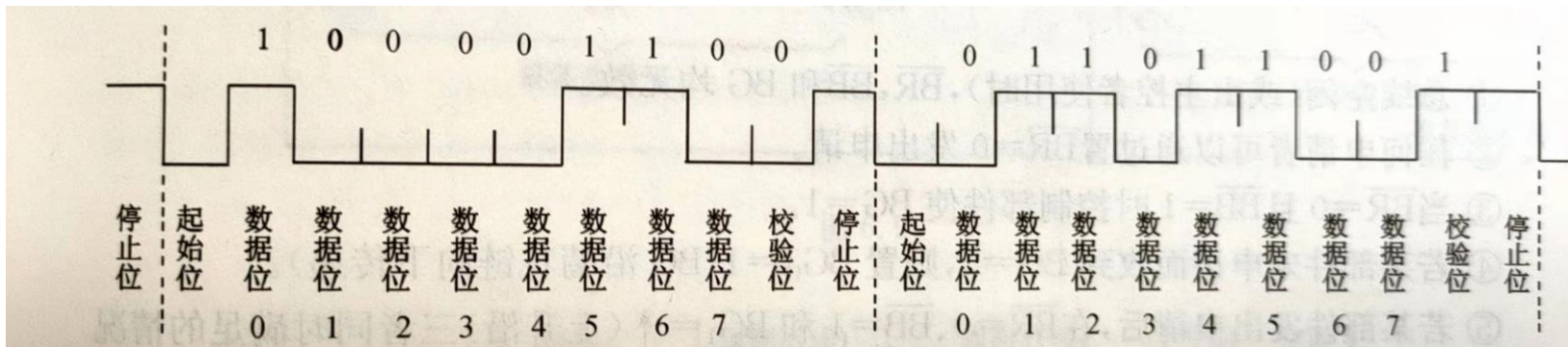
习题

- ① 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线频率为33MHz，求总线带宽？
 - ② 如果一个总线周期中并行传送64位数据，总线时钟频率提升至66MHz，求总线带宽？
 - ③ 分析影响总线带宽的因素。
-
- ① $Dr = 4(\text{Byte}) \times 33(\text{MHz}) = 132\text{MB/s}$
 - ② $Dr = (64/8)\text{Byte} \times 66(\text{MHz}) = 528\text{MB/s}$
 - ③ 总线带宽是总线的最大传输数据速率，用每秒传送字节数、位数表示，影响因素主要包括：总线宽度、总线工作频率、数据传送方式等。



习题

- 已知 “a” ASCII码为61H, “b” ASCII码值为36H
- 采用异步方式连续传送字符 “a” 和 “6” , 数据位为8位, 起始位1位 (低电平), 停止位1位 (高电平), 奇偶校验1位 (奇校验)
- 请画出数据传送波形图
- 61H=0110 0001, 校验位 0; 36H=0011 0110, 校验位1



总结

