

《数字逻辑与数字系统》课程教学大纲

一、课程基本信息

课程名称	中文：数字逻辑与数字系统		课程编号	3182100030	
	英文：Digital logic and digital system				
学分/学时	4.0/64	必修（√）/ 选修（）		开课学期	2
课程类别	学科基础（工程基础）		适用专业	信息安全专业	
先修课程	计算导论与程序设计、网络空间安全导论				
授课教师	王春露、张勔				

二、课程教学目标

本课程属于信息安全专业的学科基础（工程基础）课程。通过学习本课程，使学生深刻理解数制码制、逻辑代数、基本门电路、组合逻辑电路、触发器、时序逻辑电路等数字电路和数字系统基本概念；系统地掌握数字逻辑部件级和数字系统级分析设计原理、利用新型数字器件和硬件描述语言设计/调试各种功能部件涉及的技术；培养信息安全数字系统研发领域中的复杂工程问题解决能力、创新能力和实践能力。通过应用专业 EDA 软件设计一定功能的数字系统，培养学生终身学习、刻苦努力、积极进取精神，以及严谨认真的工作学习态度。

课程目标 1：掌握数字逻辑基础知识，能够运用物理知识理解二极管、三极管、集成逻辑门和可编程逻辑器件的基本原理。培养学生运用逻辑代数方法表达、求解和优化实际数字电路的能力，并能够理解安全功能与硬件实现间的关系。（支撑毕业要求指标点 1.2）

课程目标 2：能够分析小规模、中规模组合逻辑电路和时序逻辑电路，解释各种逻辑门、基本触发器、中规模集成器件的功能及基本应用。能够利用逻辑门、基本触发器、中规模集成器件和可编程逻辑器件设计一定功能的组合逻辑电路和时序逻辑电路，并进行优化。（支撑毕业要求指标点 3.3）

课程目标 3：能够应用专业 EDA 软件设计一定功能的数字系统，并能进行仿真和验证。培养利用软件进行数字电路综合设计的能力。（支撑毕业要求指标点 5.2）

课程目标 4：扩展逻辑电路分析设计练习、EDA 工具比较和综合实验内容，建立自主学习意识，掌握自学思路，培养终身学习能力。（支撑毕业要求指标点 12.2）

三、课程目标与支撑的毕业要求指标点

本课程的知识点支撑信息安全专业毕业要求中的 4 个指标点：1.2、3.3、5.2 和 12.2。如下表所示，本课程的 4 个课程教学目标，分别对应工程教育专业认证标准规定的毕业要求中的 4 个指标点。

毕业要求指标点	课程目标	达成途径	评价依据
1.2 掌握信息安全领域工程基础知识，能够将基本概念、基本理论和基本方法应用于实际的信息安全系统。	课程目标 1： 掌握数字逻辑基础知识，能够运用物理知识理解二极管、三极管、集成逻辑门和可编程逻辑器件的基本原理。培养学生运用逻辑代数方法表达、求解和优化实际数字电路的能力，并能够理解安全功能与硬件实现间的关系。	通过课堂讲授等方式使学生理解数字逻辑中的基本概念、理论基础、与安全功能和系统的关联关系，通过课后作业巩固课堂知识；在期中考试和期末考试试卷中考察对于基本概念和基本原理的理解掌握。	考核内容约占总成绩的30%，包括作业、期中考试和期末考试。
3.3 综合考虑各种工程因素，给出解决方案，能够利用软件模块，进行信息安全领域系统的整体设计与开发。	课程目标 2： 能够分析小规模、中规模组合逻辑电路和时序逻辑电路，解释各种逻辑门、基本触发器、中规模集成器件的功能及基本应用。能够利用逻辑门、基本触发器、中规模集成器件和可编程逻辑器件设计一定功能的组合逻辑电路和时序逻辑电路，并进行优化。	针对组合逻辑电路和时序逻辑电路的分析与设计，通过课堂讲授、小组讨论等方式让学生能够比较、论证工程分析设计方法，并通过作业和实验加深理解，通过中期末期末考试中的问题解答及分析设计等综合应用类题目考察学生分析问题和解决问题的能力。	考核内容约占总成绩的20%，包括作业、实验完成情况、实验报告、期中考试、期末考试。
5.2 能够选择并合理使用信息技术工具、安全工具和软件资源，用于信息安全领域复杂工程问题的分析、设计和实现，并能运用图表、公式等手段表达和解决信息安全系统的设计问题。	课程目标 3： 能够应用专业 EDA 软件设计一定功能的数字系统，并能进行仿真和验证。培养利用软件进行数字电路综合设计的能力。	通过课堂讲授 EDA 软件和分组讨论、提交 EDA 软件分析比较报告，培养学生选择和合理使用 EDA 软件进行仿真和验证的能力；采用实验方式完成数字电路综合设计题目，培养学生利用软件进行数字电路综合设计的能力。	考核内容约占总成绩的25%，包括作业、实验完成情况和实验报告。

12.2 具有终身学习的知识基础和意识，能够针对个人或职业发展需要，采用合适的方法，自主学习，适应社会发展。	课程目标 4: 扩展逻辑电路分析设计练习、EDA 工具比较和综合实验内容，建立自主学习意识，掌握自学思路，培养终身学习能力。	通过布置分析设计扩展题目、EDA 工具软件比较报告、综合实验自主题目，促使学生建立自主学习意识，培养终身学习能力。	考核内容约占总成绩的 25%，包括作业、实验完成情况、实验报告。
--	---	---	----------------------------------

四、课程落实立德树人的举措

以《高等学校课程思政建设指导纲要》（教高〔2020〕3 号）为依据，科学设计课程思政教学体系，将思政教育融入课程中的适当章节，主要包括：

1、培养学生热爱科学、勇于探索的精神

详细讲述电子芯片发展历程，激发学生的科研灵感，培养学生热爱科学、勇于探索的精神。

2、培养学生的团队意识

在数字电路实验中，强调实验应采用分组方式进行，组内成员需分工协作，一起完成课程实验的需求分析、系统设计、系统实现、文档撰写、系统测试和验收等工作，学生可对团队活动进行组织、协调及配合，进而培养学生的团队意识。

3、培养学生在工作学习中做出正确的选择

在电路设计的实验中，所采用的实现方案有多种选择，不同的选择产生的结果可能会有差异。通过实验中的选择和对于所选方案的分析和比较，可以让学生意识到在后续的工作和生活中也会涉及到选择的问题，在选择中需要做出正确的决定。

4、培养学生坚持实事求是，树立科学思辨意识

教学过程中采用 2-3 人分组制，进行专题分析作业和实验。在分析报告中要求学生对检索文献进行客观描述、对课后作业和实验的完成情况如实记录；组织学生对数字电路的历史和我国自主研发制造的可行性展开讨论（课后线上方式）。

五、教学内容及学时安排

参见附表 1。

六、教学方法

1. 课堂教学：本课教学以教师课堂讲授为主，授课过程应能灵活运用板书和多媒体教学、加强师生互动、注重启发式教学。

2. 研讨教学：根据具体教学内容以及同学学习情况，适当开展研讨活动。由教师提供扩展学习资料、提出研讨问题，同学自主探索，在此基础上展开以小组为单位的研讨式教学。
3. 课内实验：使用数字电路设计软件，要求同学完成设计和仿真任务，实验采用现场验收的形式完成。

七、考核方式

本课程的考核环节主要包括平时成绩、实验、期中考试和期末考试，其中平时成绩（包括作业和考勤）占总成绩的 10%，实验成绩占总成绩的 25%，期中考试成绩占总成绩的 5%，期末考试成绩占总成绩的 60%。成绩评定采用百分制和综合成绩评定方式，即总成绩=期末考试 60%+期中成绩 5%+作业和考勤 10%+实验 25%）。

各个考核环节对于课程目标和毕业要求的指标点的贡献度如下表所示：

指标点 编号	课程目标 编号	考核方式				总贡 献度
		平时作业 （贡献度 10%）	实验 （贡献 度 25%）	期中（贡献 度 5%）	期末 （贡献度 60%）	
1.2	目标 1	5	0	2	23	30
3.3	目标 2	2	0	3	15	20
5.2	目标 3	3	10	0	12	25
12.2	目标 4	0	15	0	10	25
合计		10	25	5	60	100

考核标准参见下表。

考核环节	所占分值	考核内容	对应课程目标	评价细则
平时作业	10%	50%为基础知识题，考核学生逻辑代数和数字电路基础的运用能力。	课程目标 1	平时作业一般为 10 次左右，涵盖课程所有内容，按照是否按时提交、完成情况进行综合评定。每次作业评分参考标准为（按照 10 分计算）：按时完成作业并提交，且正确率达到 60%，计 6 分；在此基础上，作业正确率满足 70%、80%、90%和 100%分别为 7 分、8 分、9 分、10 分，有创新解题思路或解决方案的可另加 1-2 分，但每次作业得分不超过 10 分。
		20%为分析和设计类题目，考核学生组合逻辑和时序逻辑电路的分析和设计能力。	课程目标 2	
		30%为基于 EDA 软件设计综合类题目，考核学生应用软硬件的综合设计能力。	课程目标 3	
实验	25%	实验包括两部分：组合逻辑电路实验和时序逻辑电路实验。使用 EDA 设计软件，VHDL 硬件描述语言设计各实现 5 个组合逻辑电路、5 个时序逻辑电路，通过波形图验证实验结果的正确性。	课程目标 3 课程目标 4	<p>评分参考标准如下（按照 100 分计算）：</p> <ol style="list-style-type: none"> 1、完成组合逻辑电路 1、2 和时序逻辑电路 1、2 设计，并提交代码及实验报告：60 分； 2、完成组合逻辑电路 1、2、3 和时序逻辑电路 1、2、3 设计，并提交代码及实验报告：61~70 分； 3、完成组合逻辑电路 1、2、3、4 和时序逻辑电路 1、2、3、4 设计，并提交代码及实验报告：71~80 分； 4、完成全部电路设计，并提交代码及实验报告：81~90 分； 5、在完成全部电路设计前提下，提出一些提高效率的思路及方法：91-100 分。 <p>实验得分 60 分及以上达成本实验所支撑的课程目标 2、3 和 4，说明学生能深入理解和掌握数字电路设计方法，并具有工程实践能力和团队协作能力。</p>
期中考试	5%	通过填空题考核学生对逻辑代数知识的理解和掌握。	课程目标 1	<p>评分参考标准参见试卷参考答案。（按照 100 分计算）</p> <p>期中考试得分 60 分及以上达成期中考试所支撑的课程目标 1 和 2，说明学生理解和基本掌握了数字逻辑基础知识，具有组合电路分析和设计能力。</p>
		通过分析类题目考核学生对组合电路的理解分析能力； 通过设计类题目考核学生对组合电路的设计能力。	课程目标 2	

期末考试	60%	客观题目考核数字逻辑的基础知识和基本概念	课程目标 1	闭卷考试，题目涉及课程全部教学内容，并通过综合类题目考察学生解决复杂电路问题的能力。 评分参考标准参见试卷参考答案。（按照 100 分计算） 期末考试得分 60 分及以上达成期末考试所支撑的课程目标 1、2 和 3，说明学生理解和掌握了数字电路的基本概念和基本方法，能够对数字电路进行分析、设计。
		分析、设计类题目，考核对数字电路的理解、分析和设计	课程目标 2	
		综合设计题考核对信息安全领域实际工程问题的分析、设计解决方法	课程目标 3 课程目标 4	

八、课程资源

课程教材：

- (1)《数字逻辑》王春露、清华大学出版社、2010 年 2 月

参考书目：

- (1)《数字逻辑与数字系统》（主、辅）、白中英、科学技术出版社、2009 年 6 月
 (2)《数字电路与逻辑设计》第二版，刘培植等编，北京邮电大学出版社，2015 年 7 月出版
 (3)《数字逻辑设计》李仁发、人民邮电出版社、2006
 (4)《数字逻辑与VHDL设计》边计年、清华大学出版社、2000

参考课程：

- (1) 课程名：Introduction to Digital Circuits and Systems

主讲老师：Prof. Scott Hauc

开课学校：University of Washington

课程链接：<https://www.cse.cuhk.edu.hk/academics/undergraduate-course-list/engg2020/>

- (2) 课程名：Digital Logic and State Machine Design

主讲老师：Azeez Bhavnagarwala

开课学校：New York University

课程链接：<https://engineering.nyu.edu/sites/default/files/2020-09/CS-UY%202204%20Digital%20Logic.pdf>

执笔人：王春露、张勛

审核人：王春露

时间：2021 年 5 月 20 日

表 1 数字逻辑与数字系统课程教学内容、学时分配及对毕业要求的支撑

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
1	数制与码制	数制、数制转换； 二-十进制编码、 ASCII 码；	2	1) 理解数制和码制的意义、类型； 2) 分析数制、码制的表达方式； 3) 掌握常用数制、码制； 4) 描述数制、码制与安全系统的关系；	课程目标 1	完成数制转换的书面作业； 完成码制与安全的文献调研报告；	码制和安全的文献调研报告	2-3 人分组课后讨论完成小组报告
2	逻辑函数	基本逻辑运算； 逻辑代数基本定律； 逻辑代数基本规则； 逻辑函数代数化简法；	2	1) 熟练运用与、或、非等逻辑运算；逻辑代数结合律、交换律、分配律、摩根定律、吸收律、包含律；逻辑代数代入规则和反演规则； 2) 培养逻辑函数代数化简的分析和逻辑思维能力；	课程目标 1	完成逻辑函数表达、分析、化简的书面作业	无	无
3	卡诺图	最小项表达式； 卡诺图结构和逻辑函数卡诺图表示； 卡诺图化简逻辑函数； 具有无关项的逻辑函数及其简化；	2	1) 解释论证卡诺图原理； 2) 掌握最小项表达式；卡诺图结构和逻辑函数卡诺图表示；卡诺图化简逻辑函数；具有无关项的逻辑函数及其简化；	课程目标 1	完成卡诺图表达和化简的书面作业	无	讨论逻辑函数化简方法和过程中的不同途径和结果检验的关系。

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
4	组合逻辑分析	组合逻辑电路定义和特点； 分析方法；	3	1) 掌握和应用组合逻辑电路判断方法；组合逻辑电路分析的通用方法； 2) 解释和分析常见组合逻辑电路功能；	课程目标 1 课程目标 2 课程目标 4	完成小规模、中规模组合逻辑电路分析的书面作业	在参考教材和参考课程中阅读和练习拓展分析资料，完成小组分析报告	无
5	组合逻辑设计	组合逻辑电路设计通用方法；	4	1) 理解应用设计核心思想； 2) 利用列真值表、写函数表达式、函数化简和变换、画逻辑电路图的方法进行组合逻辑电路设计；	课程目标 2 课程目标 4	完成小规模、中规模组合逻辑电路设计的书面作业	在参考教材和参考课程中阅读和练习拓展资料，完成小组设计报告	无
6	中规模组合逻辑部件	数据选择器； 译码器； 编码器； 数据比较器； 加法器	6	1) 比较和解释中规模组合逻辑部件的组成原理； 2) 掌握 5 类部件的特性；利用器件实现逻辑函数设计	课程目标 1 课程目标 2	完成利用中规模组合逻辑部件实现逻辑函数的书面作业	自学集成电路大全手册的查询使用方法	无
7	组合逻辑的竞争冒险	竞争冒险现象及其产生； 检查竞争冒险； 消除竞争冒险的方法；	2	1) 论证竞争冒险产生的原因； 2) 解决竞争冒险现象； 3) 描述消除竞争冒险的方法；	课程目标 1 课程目标 2	无	无	已学内容和作业中存在的问题

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
8	触发器	基本 RS 触发器； 钟控触发器； 主从 JK 触发器； 边沿触发器； 集成触发器	4	1) 解释基本 RS 触发器工作原理； 2) 辨别钟控触发器、主从 JK 触发器、边沿触发器的特征方程； 3) 掌握各类触发器特性，设计应用转换方法；	课程目标 1 课程目标 2	完成触发器逻辑功能、状态方程、状态转移图、输出波形等知识点的书面作业	无	无
9	锁存器、寄存器、计数器	时序电路特点； 锁存器/寄存器/计数器功能表； 移位寄存器； 同步二进制计数器； 可逆计数器； 移位寄存器型计数器；	2	1) 理解时序电路组成； 2) 比较和论证锁存器/寄存器/计数器功能表、应用；	课程目标 1 课程目标 2	完成锁存器/寄存器/计数器功能分析的书面作业	无	无
10	时序逻辑电路分析	时序逻辑电路的描述方法； 分析方法； 同步时序逻辑电路	4	1) 掌握时序逻辑电路的 3 种描述方法；同步时序逻辑电路的分析方法； 2) 辨别和整合时序逻辑电路功能；	课程目标 2 课程目标 4	完成实现安全功能的时序逻辑电路分析报告；	在参考教材中查找和安全功能相关的时序逻辑电路，并对其进行分析，完	无

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
		的详细分析；					成小组分析报告	
11	同步时序逻辑电路设计	设计方法与步骤； 状态转移图/表； 状态化简； 状态分配； 确定激励方程和输出方程； 话逻辑电路图并检查自启动；	4	1) 论证同步时序逻辑电路设计方法和步骤； 2) 设计同步时序逻辑电路； 3) 分析电路自启动的意义和排除非自启动状态的方法；	课程目标 2 课程目标 4	完成同步时序逻辑电路设计的书面作业；	无	无
12	中规模时序逻辑部件	同步中规模集成计数器； 异步中规模集成计数器； 中规模集成计数器构成任意进制计数器；	3	1) 设计中规模集成计数器功能和构成任意进制计数器方法； 2) 理解反馈复位法和置位法的原理；	课程目标 2	完成任意进制计数器实现报告	查阅集成电路大全和参考资料，用多种方法设计任意进制计数器，完成小组报告	时序逻辑电路在安全邻域中的应用
13	可编程逻辑器件 PLD	可编程逻辑阵列；	1	1) 掌握 PLA 和 PAL 原理、逻辑实现方法；	课程目标 1 课程目标 3	完成 PLA 和 PAL 逻辑函数实现的书面	无	无

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
		可编程阵列逻辑; 复杂可编程逻辑器件		2) 通过 EDA 软件, 认识典型 CPLD 芯片;		作业		
14	现场可编程门阵列 FPGA	FPGA 基本结构; FPGA 编程; 典型 FPGA 芯片	1	1) 掌握 FPGA 基本结构和典型芯片; 2) 开发 FPGA 编程;	课程目标 1 课程目标 3	无	查阅文献了解 FPGA 编程和典型芯片	无
15	硬件编程语言 VHDL 基本语法	VHDL 设计文件基本结构; 对象、类型和属性; 功能描述方法; 结构描述方法; 过程和函数;	2	1) 理解 VHDL 文件结构;对象、类型和属性;过程和函数; 2) 应用功能描述方法和结构描述方法, 分析基础逻辑电路;	课程目标 3	无	无	无
16	VHDL 的组合逻辑设计	编码器、数据选择器	3	1) 掌握、应用、分析和评价 VHDL 组合逻辑设计方法; 2) 用 EDA 软件进行设计验证;	课程目标 3 课程目标 4	完成编码器、数据选择器 EDA 设计报告	查阅参考教材和参考课程	无
17	VHDL 的时序逻辑设计	时钟; 复位/置位; 触发器; 计数器	3	1) 掌握、应用、分析和评价 VHDL 时序逻辑设计方法;	课程目标 3 课程目标 4	完成计数器 EDA 设计报告	查阅参考教材和参考课程	无

序号	知识模块	教学内容	学时分配	教学要求	支撑课程目标	学生任务		
						作业要求	自学要求	讨论
				2) 用 EDA 软件进行设计验证;				
18	实验	5 个组合逻辑电路设计; 5 个时序逻辑电路设计;	16	1) 深入理解和掌握组合逻辑电路和时序逻辑电路设计方法,并具有工程实践能力和团队协作能力; 2) 强化自学过程和反馈自学效果;	课程目标 3 课程目标 4	使用 EDA 设计软件,VHDL 硬件描述语言设计实现 5 个组合逻辑电路,通过波形图验证实验结果的正确性。 使用 EDA 设计软件,VHDL 硬件描述语言设计实现 5 个时序逻辑电路,通过波形图验证实验结果的正确性。	查阅参考教材和参考课程	无