

Antwoorden week 1 – Computerarchitectuur

In dit document vind je de antwoorden van de theorievragen voor week 1 van EMS20. Deze vragen kun je vinden op: https://bitbucket.org/HR_ELEKTRO/ems20/wiki/Theorie/Theorie_Week_1.pdf.

Het is verraderlijk om de onderstaande antwoorden in te zien, zonder eerst zelf de vraag te beantwoorden. Je denkt dan al snel: “inderdaad, dat is het juiste antwoord”. Maar als je straks op de toets zelf het antwoord moet bedenken, dan blijkt een en ander toch niet zo eenvoudig te zijn.

Gebruik dit document alleen om je eigen antwoorden te controleren.

1.1 Alle antwoorden staan letterlijk in je boek.

1.2 A Als het E-signaal actief is dan is de output van de module verbonden met de buslijn. Als het E-signaal niet actief is, dan is de output van de module (hoog impedant en) losgekoppeld van de buslijn.

B Enable.

C Dan ontstaat er een kortsluiting op de buslijn.

1.3 Inclusief, want datatransport van A naar B én C is ook mogelijk.

1.4 A CS = Chip Select.

B $R/\overline{W} = \text{Read}/\overline{\text{Write}}$.

C Als CS niet actief (0) is, doet de RAM module niets. Als CS actief (1) is en $R/\overline{W}$ niet actief (0) is, dan leest de RAM module de data van de databus en slaat dit op in het adres dat op de adresbus staat. Als CS actief (1) is en $R/\overline{W}$ actief (1) is, dan schrijft de RAM module de data die is opgeslagen op het adres dat op de adresbus staat naar de databus.

1.5 A Zie [tabel 1](#).

B E is altijd 1, dan heeft de OR-poort dus geen nut.

C $E = \text{read} + \text{write}$.

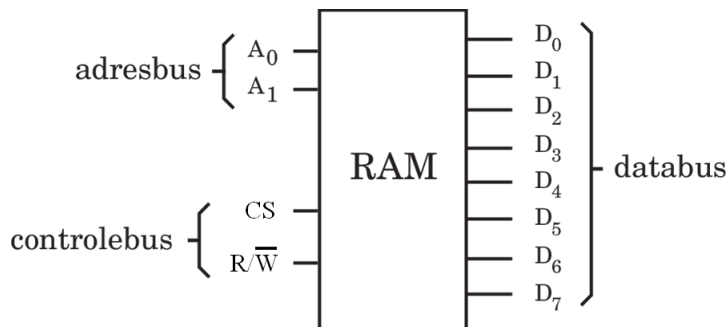
Tabel 1: Waarheidstabel voor signaal E in figuur 7.14.

A_1	A_0	E
0	0	1
0	1	1
1	0	1
1	1	1

1.6 A Zie figuur 1.

B Zie tabel 2. In figuur 7.13 van je boek is aangegeven dat de registers de data inklokken op de opgaande flank van het clock signaal. De clock signalen moeten daarom actief laag zijn, zodat de data aan het einde van de write cycle wordt ingeklokt. De logische schakeling mag je zelf bedenken.

C Zie figuur 2. Het signaal CS mag alleen actief worden als het adres stabiel is.



Figuur 1: Een RAM module met CS en $R/\overline{W}$.

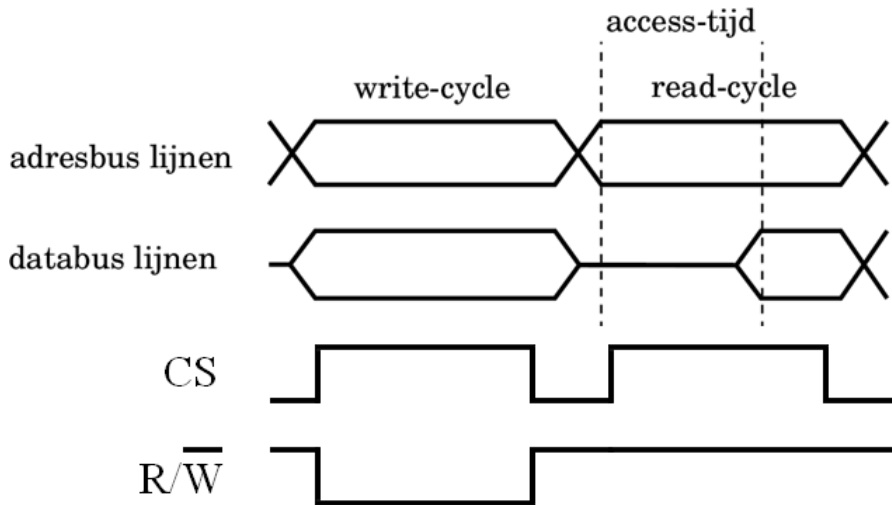
1.7 A Valid Memory Bus. Dit signaal geeft aan dat er een geldig geheugenadres op de adresbus staat.

B Dan kun je niets anders dan deze RAM-module aansluiten op de adresbus.

1.8 A Zie figuur 3.

Tabel 2: Waarheidstabel voor signalen in figuur 7.13.

CS	R/ $\overline{W}$	A ₁	A ₀	clock A	clock B	clock C	clock D	E_A	E_B	E_C	E_D	E	Dir
0	d	d	d	1	1	1	1	0	0	0	0	0	d
1	0	0	0	0	1	1	1	0	0	0	0	1	0
1	0	0	1	1	0	1	1	0	0	0	0	1	0
1	0	1	0	1	1	0	1	0	0	0	0	1	0
1	0	1	1	1	1	1	0	0	0	0	0	1	0
1	1	0	0	1	1	1	1	1	0	0	0	1	1
1	1	0	1	1	1	1	1	0	1	0	0	1	1
1	1	1	0	1	1	1	1	0	0	1	0	1	1
1	1	1	1	1	1	1	1	0	0	0	1	1	1

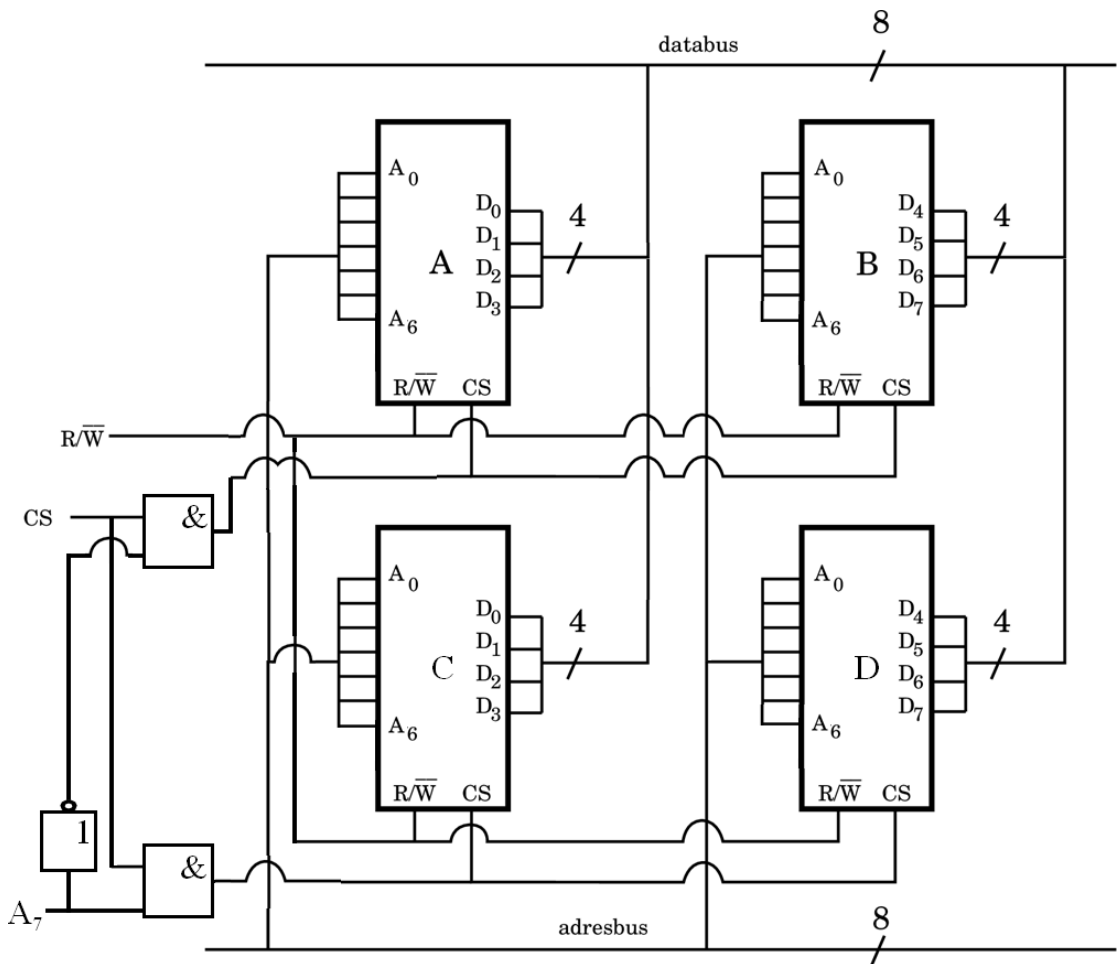
**Figuur 2:** Tijdsdiagram van een RAM module met CS en R/ $\overline{W}$.

B Zie [figuur 4](#)

1.9 7.2 2^{20} bytes.

7.3 Een onderbreking van het draaiende programma.

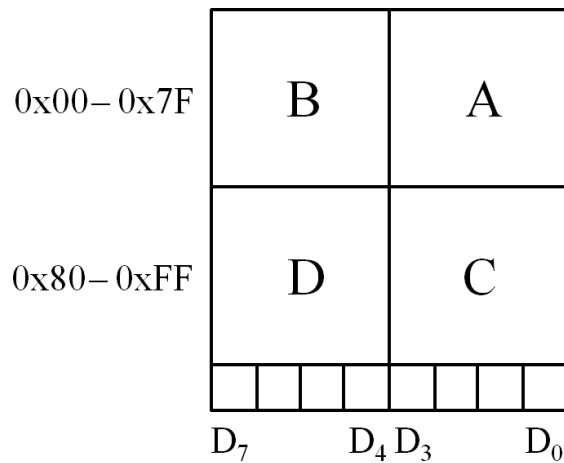
7.4 Een Von Neuman-architectuur heeft één data- en één adresbus. Een Harvard-architectuur heeft twee data- en twee adressen. Het ene paar zit aangesloten op het data memory en het andere paar op het program memory.



Figuur 3: 256 × 8 RAM dat bestaat uit vier 128 × 4 RAM-modulen.

7.5 Deze schakeling bestaat uit 4 tristate buffers. De ingang van het eerste buffer is I_0 van de multiplexer, de ingang van de tweede buffer is I_1 van de multiplexer, enzovoorts. Alle uitgangen van de buffers worden met elkaar verbonden en dit is de output van de multiplexer. De enable ingangen van de buffers worden verbonden met de adresingangen van de multiplexer volgens de volgende logische formules:

- $E_{\text{buffer 1}} = \overline{A_1} \text{ AND } \overline{A_0}$.
- $E_{\text{buffer 2}} = \overline{A_1} \text{ AND } A_0$.
- $E_{\text{buffer 3}} = A_1 \text{ AND } \overline{A_0}$.



Figuur 4: Memory map van [figuur 3](#).

- $E_{\text{buffer } 4} = A_1 \text{ AND } A_0$.

Het tekenen van het logische schema mag je zelf doen.

7.6 We kunnen dan maximaal $2^{20} / (2^8 \times 2^{10}) = 2^2 = 4$ RAM-modulen aansluiten. De eerste module krijgt dan adressen 0x00000 t/m 0x3FFFF, de tweede 0x40000 t/m 0x7FFFF, de derde 0x80000 t/m 0xBFFFF en de vierde 0xC0000 t/m 0xFFFFF. Alle $R/\overline{W}$ signalen worden met elkaar doorverbonden. Alle datasignalen D_0 worden met de elkaar verbonden, hetzelfde geldt voor de datasignalen D_1 , enzovoorts. De CS signalen van de verschillende modulen worden verbonden met A_{19} en A_{18} volgens de volgende logische formules:

- $CS_{\text{moduler } 1} = \overline{A_{19}} \text{ AND } \overline{A_{18}}$.
- $CS_{\text{module } 2} = \overline{A_{19}} \text{ AND } A_{18}$.
- $CS_{\text{module } 3} = A_{19} \text{ AND } \overline{A_{18}}$.
- $CS_{\text{module } 4} = A_{19} \text{ AND } A_{18}$.

1.10 RWM (Read Write Memory). Staat niet in het boek.

1.11 De geheugenplaats moet eerst gewist worden.

- 1.12** Een DRAM-chip heeft een hogere informatiedichtheid. Als een DRAM- en SRAM-chip hetzelfde oppervlak hebben, dan zal de DRAM-chip op dit oppervlak 4x meer data kunnen opslaan dan de SRAM-chip.
- 1.13** Een DRAM-module verliest zijn data na enige tijd en moet regelmatig zijn geheugen opfrissen. Dit kost energie en tijd.
- 1.14** Dual In-line Memory Module.
- 1.15**
- adresbuslijnen zijn uitgangssignalen.
 - databuslijnen zijn bidirectionele signalen.
 - VMA is een uitgangssignaal.
 - DTACK is een ingangssignaal.
 - $R/\overline{W}$ is een uitgangssignaal.
- 1.16** Nee, er is maar een mogelijke busmaster: de CPU.
- 1.17** Als een busmaster een TEST AND SET instructie uitvoert dan vraagt hij de bus aan bij de busarbiter. Als de bus verkregen is wordt gekeken of een device beschikbaar is door een bit te testen. Als het device niet beschikbaar is, dan geeft de instructie false terug. Als het device wel beschikbaar is, dan wordt het betreffende bit geset en geeft de instructie true terug. De TEST AND SET kan niet onderbroken worden door een andere busmaster. Na afloop van de instructie geeft de busmaster de bus weer terug aan de busarbiter.
- 1.18** Een point-point is een verbinding waarop twee modulen aangesloten zijn. Op een bus kunnen meer dan twee modulen aangesloten worden.