

安徽大学 2020—2021 学年第 2 学期

《数字电路与逻辑设计》考试试题参考答案及评分标准

课程目标	课程目标 1	课程目标 2	课程目标 3	课程目标 4	课程目标 5
分布	一、1-5 二、1、2、3、5 三、1、2	三、3 四、1	二、4 三、4 四、2	二、6 五、1	五、2、3
分值	32	15	21	12	20

一、选择题（每题 2 分，共 10 分）

1-5: ADABC

二、填空题（每空 2 分，共 20 分）

1、 $(11010.011)_2$, $(0010\ 0110\ .0011\ 0111\ 0101)_{8421BCD}$

2、 $(0, 3, 4, 7, 8, 12, 14, 15)$

3、 $A\bar{B}C + A\bar{B}\bar{D}$

4、1, 1, $\overline{Q^n}$

5、4, 14

6、高

三、化简、作图题（每题 5 分，共 20 分）

$$\begin{aligned}
 F &= \overline{(A+B)} + \overline{(A+\bar{B})} + \overline{(AB)}(\overline{AB}) \\
 &= (A+B) \cdot (A+\bar{B}) \cdot (\overline{AB} + \overline{AB}) \\
 &= A \cdot (\overline{AB} + \overline{AB}) \\
 &= A\bar{B}
 \end{aligned}$$

2、 $Y_1 = CD + \overline{BD} + AC$

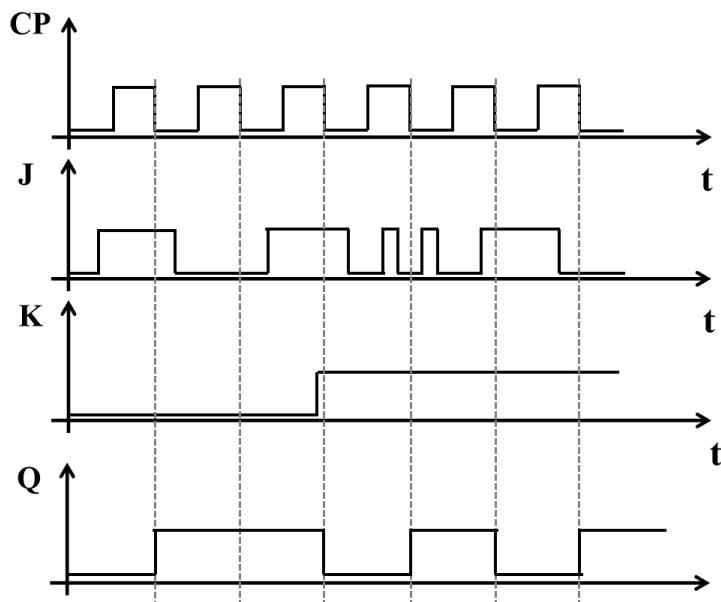
CD	00	01	11	10
AB	00	01	11	10
00	×	0	1	1
01	0	×	1	0
11	0	0	×	1
10	1	0	1	×

3、解：当 $A=1, C=1$ 时， $Y = B + \bar{B}$ ；当 $A=1, B=1$ 时， $Y = C + \bar{C}$ ；（3分）

因此存在竞争冒险现象。

消除方法：修改逻辑设计、引入选通脉冲和加输出滤波电容。（2分）

4、



（1分） （1分） （1分） （1分） （1分）

四、分析题（每题 10 分，共 20 分）

1、解： $A_3=A_0=0, A_2 = A_1 = b_3b_2 + b_3b_1$ ，（3分）

$B_3B_2B_1B_0$	$A_3A_2A_1A_0$	$Z_4Z_3Z_2Z_1Z_0$
0 0 0 0	0 0 0 0	0 0 0 0 0
0 0 0 1	0 0 0 0	0 0 0 0 1
.....
1 0 0 1	0 0 0 0	0 1 0 0 1
1 0 1 1	0 1 1 0	1 0 0 0 0
1 0 1 1	0 1 1 0	1 0 0 0 1
.....
1 1 1 1	0 1 1 0	1 0 1 0 1

（5分）

实现 0-15 二进制数转换成 8421BCD 十进制数。（2分）

2、解：

(2)	(1)
$Q_3Q_2Q_1Q_0$	$Q_3Q_2Q_1Q_0$
0 0 0 0	0 0 0 0
	0 0 0 1

	1 0 0 1
0 0 0 1	0 0 0 0
	0 0 0 1

	1 0 0 1
0 0 1 0	0 0 0 0
	0 0 0 1

	1 0 0 0

(和转换图一起, 7分)

所以一共 29 个状态, 该电路实现了 29 进制计数器。 (3 分)

(转态转换图略)

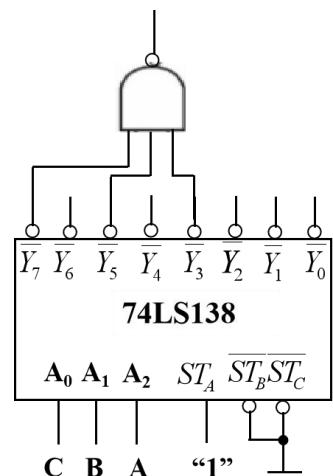
五、设计题 (每题 10 分, 共 30 分)

1、解: 假设课程通过用“1”表示, 没通过用“0”。 (1 分)

A (2 分)	B (3 分)	C (5 分)	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

$$\begin{aligned}
 Y &= \overline{ABC} + A\overline{B}C + ABC \\
 &= \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_7} \\
 &= \overline{\overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7}}
 \end{aligned}$$

(3 分)

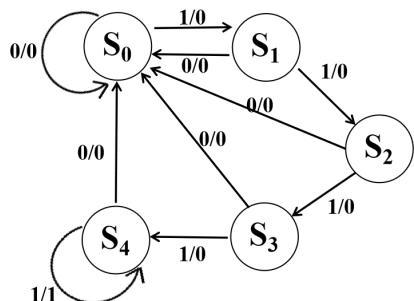


(2 分)

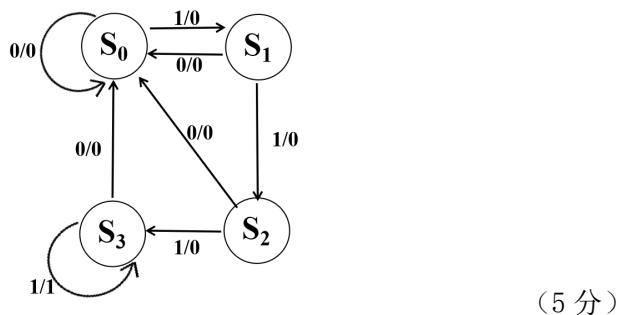
(4 分)

2、设该电路初始转态: S0: 0个1; S1: 1个1; S2: 2个1; S3: 3个1; S4: 4个1。

原始转态转换图为:



S3 和 S4 在相同输入情况下, 具有相同的输出及次态, 是等价状态, 化简后状态转换图为



(5 分)

状态分配: S0: 00; S1: 01; S2: 10; S3: 11. (1 分)

A	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
	0	1	0	0	0
	1	0	0	0	0
	1	1	0	0	1
1	0	0	0	0	0
	0	1	0	0	1
	1	0	1	0	0
	1	1	1	1	1

$$Q_1^{n+1} = (A \cdot Q_0^n) \overline{Q_1^n} + A \cdot Q_1^n$$

$$Q_0^{n+1} = A \cdot \overline{Q_0^n} + (A \cdot Q_1^n) Q_0^n$$

$$J_1 = A \cdot Q_0^n, K_1 = \overline{A} \quad (1 \text{ 分})$$

$$J_0 = A, K_0 = \overline{AQ_1^n} \quad (1 \text{ 分})$$

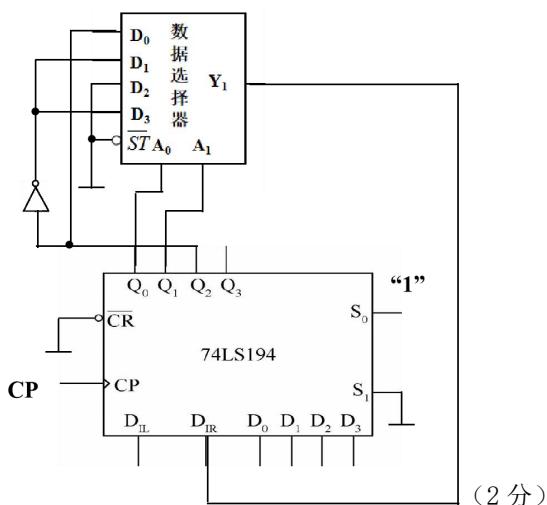
$$Y = A \cdot Q_1^n \cdot Q_0^n \quad (1 \text{ 分})$$

电路图略。 (1 分)

3、

Q2	Q1	Q0	DIR	
1	1	0	0	$D_{IR} = Q_2^n(\overline{Q_1^n} \cdot \overline{Q_0^n}) + \overline{Q_2^n}(Q_1^n \cdot Q_0^n) + \overline{Q_2^n}(Q_1^n \cdot Q_0^n)$
1	0	0	1	$= Q_2^n \cdot m_0 + \overline{Q_2^n} \cdot m_1 + \overline{Q_2^n} \cdot m_3$
0	0	1	1	(2 分)
0	1	1	1	$D_0 = Q_2^n, D_1 = \overline{Q_2^n}, D_3 = \overline{Q_2^n}, D_2 = 0$
1	1	1	0	(2 分)

(4 分)



(2 分)