

安徽大学 2022-2023 学年第 2 学期
《FPGA 数字系统设计》期中考试试卷(A 卷)

年级 专业 姓名 学号 座位号

大项	一	二	三	四	五	六	总分	阅卷人
得分								

一、单项选择题 (在备选答案中选出一个正确答案, 并将其号码填在题干后的括号内。每题 2 分, 共 20 分)

得分

1. 下列标识符中, () 是不合法的标识符
A. ALWAYS B. State0 C. Not_Ack_0 D. 9moon

2. 在 verilog 语言中, $a=4b'1011$, 那么 $\&a=($)
A. $4b'1011$ B. $4b'1111$ C. $1b'1$ D. $1b'0$

3. 已知 $a=1b'1$; $b=3b'001$; 那么 $\{a,b\}=($)
A. $4b'0011$ B. $3b'001$ C. $4b'1001$ D. $3b'101$

4. 一模块的 I/O 端口说明: "input [7:0]a"; 则关于该端口说法正确的是 ()
A. 输入端口, 位宽为 8 B. 输出端口, 位宽为 8
C. 输入端口, 位宽为 7 D. 输出端口, 位宽为 7

5. Verilog 语言与 C 语言的区别, 不正确的描述是 ()
A. Verilog 语言可实现并行计算, C 语言只是串行计算;
B. Verilog 语言可以描述电路结构, C 语言仅仅描述算法;
C. Verilog 语言源于 C 语言, 包括它的逻辑和延迟;
D. Verilog 语言可以编写测试向量进行仿真和测试。

6. 我们上课使用的开发板中主控芯片为 ()
A. xilinx zynq 7010 B. Altera zynq 7020 C. xilinx Artix-7 D. xilinx zynq 7020

7. 下列关于阻塞和非阻塞赋值说法不正确的是 ()

- A 阻塞赋值属于顺序执行, 即下一条语句执行前, 当前语句一定会执行完毕。
- B 非阻塞赋值属于并行执行语句, 即下一条语句的执行和当前语句的执行是同时进行的。
- C 赋值操作符是 "=" 的过程是阻塞性过程赋值
- D 一个过程结构中混合使用阻塞赋值与非阻塞赋值

8. 请根据以下两条语句的执行, 判断变量 A 中的值是 ()。

```
reg [7:0] A;
A=2'b5F;
```

A. $8'b0000_0011$ B. $8'b03$ C. $8'b1111_1111$ D. $8b'0101_1111$

9. 当 $a < 0$ 时, s 的值是 ()。
assign $s = (a >= 2) ? 1 : (a < 0) ? 2 : 0;$

A. 0 B. 1 C. 2 D. 其他

10. 在 Verilog HDL 的逻辑运算中, 设 $A=8'b11010001$, $B=8'b00011001$, 则表达式 $A\&B$ 的结果为 ()

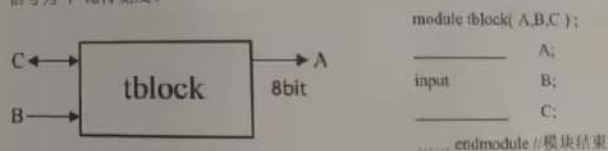
A. $8'b00010001$ B. $8'b11011001$ C. $8'b11001000$ D. $8'b00110111$

二、填空题: (请在横线上填写答案。每空 3 分, 共 30 分)

得分

1. Verilog 语言规定了逻辑电路中信号的 4 种状态, 分别是 0、1、X、Z。其中 0 表示低电平状态, 1 表示高电平状态, X 表示 , Z 表示 。

2. 根据图中输入输出关系将 Verilog 模块定义补充完整, 其中信号 A 为 5 比特宽度, 其余信号为 1 比特宽度。



3. IEEE 标准的硬件描述语言有 和 两种。

4. 假定某 4 比特位宽的变量 a 的值为 $4'b1001$, 计算下列运算表达式的结果 (用二进制表示)

$\sim a =$ _____

$(a < 4'd3) =$ _____

5. 阻塞性赋值符号为 , 非阻塞性赋值符号为 。

三、简答题（请在题后空白处填写答案，共 20 分）

得分

1. 过程语句中，initial 语句与 always 语句的区别是什么？（10 分）

答：

2. 赋值语句中，阻塞赋值与非阻塞赋值的区别是什么？（10 分）

答：

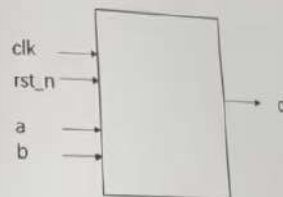
四、程序设题（请在题后空白处填写答案，共 30 分）

得分

1. 使用 Verilog HDL 实现以下功能：根据输入信号 a,b 的大小关系，求解两个数的差值；输入信号 a、b 为 8bit 位宽的无符号数。高复位时输出 c=0；工作时，如果 $a > b$ ，则输出 $c = a - b$ 。如果 $a \leq b$ ，则输出 $c = b - a$ 。请将程序模块补充完整。
接口信号图如右图：

（10 分）

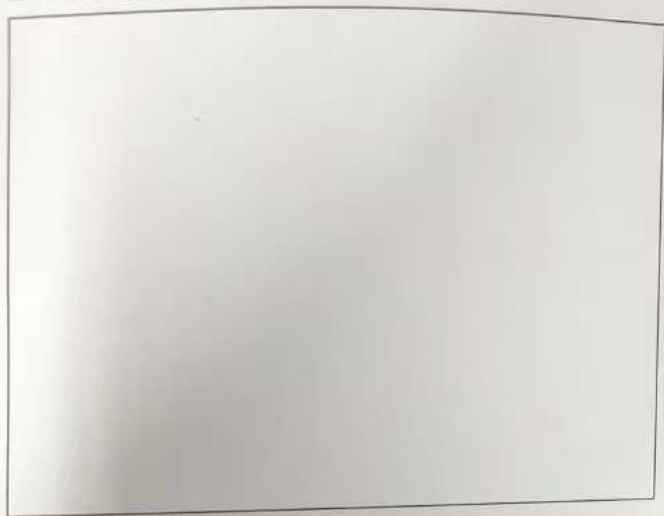
```
module data_minus(
    input clk,
    input rst_n,
    input [7:0]a,
    input [7:0]b,
    output reg [8:0]c);
```



endmodule

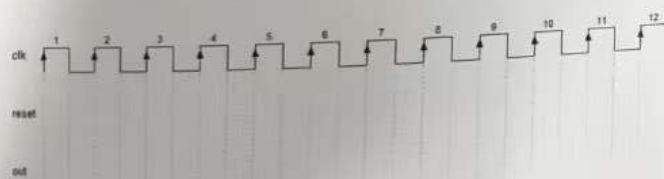
2、设计一个带复位端且对输入时钟 clk 进行二分频模块。请将程序模块补充完整，并补充仿真波形示意图。（10分）

答：
module counter_div(out,clk,reset);



endmodule

仿真波形示意图如下，请补充：



3、试设计一个 3/8 译码器，规定模块定义为 module Decoder(Out,In,En), 其中 Out 为译码器输出，In 为译码器输入，En 为译码使能输入。要求：写出 3/8 译码器 Verilog HDL 设计程序。（10分）

module decoder(Out,In,En);



endmodule