

安徽大学 2020—2021 学年第 2 学期

《数字电路与逻辑设计》考试试卷 (A 卷)  
(闭卷 时间 120 分钟)

考场登记表序号\_\_\_\_\_

学号

姓名

专业

年级

院/系

线

线  
订

装

题号	一	二	三	四	五	总分
得分						
阅卷人						

一、选择题 (每题 2 分, 共 10 分)

得分

1、和  $F = A + \overline{B}\overline{C}$  相等的逻辑函数表达式是 ( )。

- A.  $(A + \overline{B})(A + \overline{C})$     B.  $(\overline{A} + B)(\overline{A} + C)$     C.  $A(\overline{B} + \overline{C})$     D.  $\overline{A}(\overline{B} + \overline{C})$

2、电路如图 1 所示, 表示的是 ( )。

- A.  $A + B$   
 B.  $\overline{A + B}$   
 C.  $A \cdot B$   
 D.  $\overline{A \cdot B}$

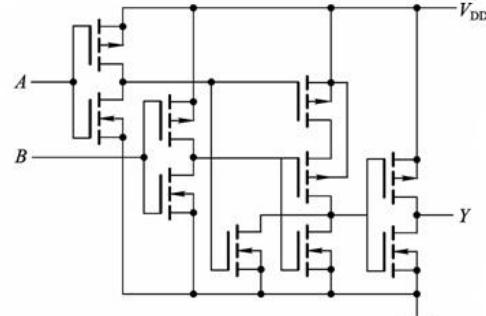


图 1 题一.2

3、施密特触发器常用于 ( )。

- A、脉冲整形与变换                          B、定时、延时  
 C、计数    D、寄存

4、在何种输入情况下 ( ), “与非”运算的结果是逻辑 0。

- A、全部输入是 0    B、全部输入是 1    C、仅一输入是 0    D、任一输入是 0

5、以下电路中常用于总线应用的有 ( )。

- A、漏极开路门    B、OC 门    C、三态门    D、CMOS 与非门

二、填空题（每空 2 分，共 20 分）

得分	
----	--

1、 $(26.375)_{10} = (\underline{\hspace{2cm}})_2 = (\underline{\hspace{2cm}})_{8421BCD}$ 。

2、将  $F = ABC + \overline{AC}D + \overline{CD}$  展开成最小项表达式应为  $F = \sum m(\underline{\hspace{2cm}})$ 。

3、逻辑函数  $F = \overline{A} + B + \overline{C}D$  的反函数  $\overline{F} = \underline{\hspace{2cm}}$ 。

4、TTL 边沿 JK 触发器的输入电路如图 2 所示：则 J=\_\_\_\_\_, K=\_\_\_\_\_, 该触发器的状态方程为  $Q^{n+1} = \underline{\hspace{2cm}}$ 。

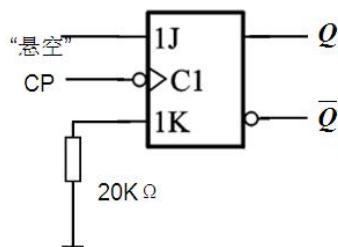


图 2 题二.4

5、要构成  $16k \times 16$  位的 RAM，需要\_\_\_\_\_片  $8k \times 8$  的 RAM 芯片，需要\_\_\_\_\_根地址线。

6、对于共阴接法的发光二极管数码显示器，应采用\_\_\_\_\_电平驱动的七段显示译码器。

三、化简、作图题（每题 5 分，共 20 分）

得分	
----	--

1、用公式化简法将逻辑函数化简成最简与或式。

$$F = \overline{(A+B)} + \overline{(A+\overline{B})} + \overline{(\overline{A}\overline{B})}(\overline{A}\overline{B})$$

2、用卡诺图化简法将逻辑函数化简成最简与或式。

$$Y_1(A, B, C, D) = \sum m(2, 3, 7, 8, 11, 14) + \sum d(0, 5, 10, 15)$$

3、电路输出逻辑函数为  $Y = ABC + \bar{B} + \bar{C}$ ，试判断该电路是否存在冒险现象？如果存在，如何消除？

4、触发器如图 3 所示为主从 JK 触发器，输入 CP、J、K 如图所示，试作出输出端 Q 的波形，设触发器初始状态为 0。

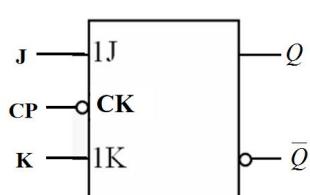
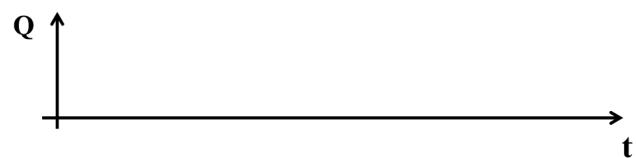
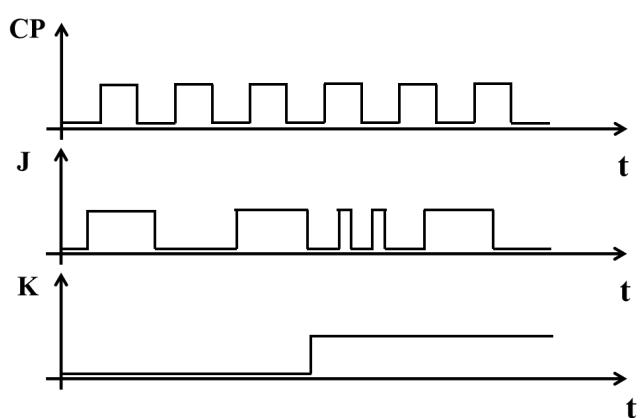


图 3 题三.4



四、分析题（每题 10 分，共 20 分）

得分

1、电路如图 4 所示，利用加法器 74283 构成的组合逻辑电路，试分析该电路的功能。

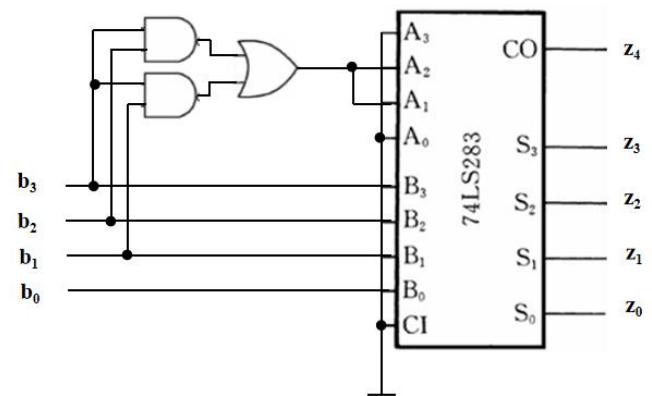


图 4 题四.1

2、电路如图 5 所示，利用十进制计数器 74LS160 的同步置数功能构成的计数器，试分析该电路为几进制计数器，作出状态转换图，74LS160 功能如表 1 所示。

表 1 74LS160 功能表

清零	预置	使能		时钟	预置数据				输出			
		$\overline{LD}$	EP		$D_3$	$D_2$	$D_1$	$D_0$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$
0	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	↑	D	C	B	A	D	C	B	A
1	1	0	x	x	x	x	x	x	保持			
1	1	x	0	x	x	x	x	x	保持			
1	1	1	1	↑	x	x	x	x	计数			

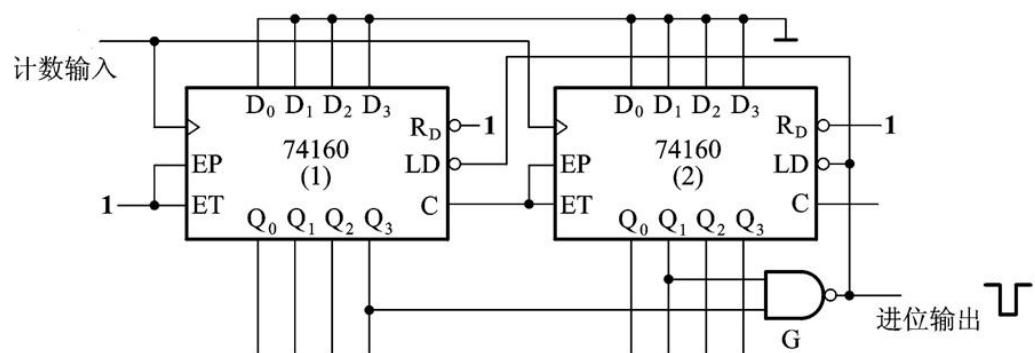


图 5 题四.2

五、设计题（每题 10 分，共 30 分）

得分

1、某同学参加三门课程考试，规定如下：素质类课程（A）及格得 2 分，不及格得 0 分；实践类课程（B）及格得 3 分，不及格得 0 分；理论类课程（C）及格得 5 分，不及格得 0 分，若总分大于 6 分则可顺利通过。根据上述内容，以总分是否通过为输出，试用 3-8 译码器 74LS138 设计该电路，并在图 6 上完成电路连接。

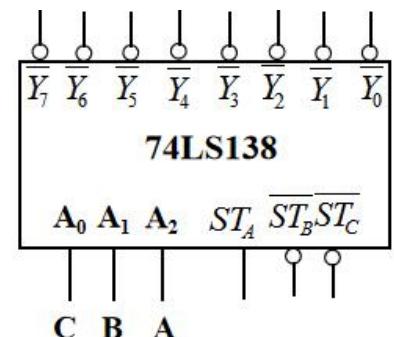


图 6 题五.1

2、设计一个串行数据检测电路，当连续出现四个和四个以上的 1 时，检测输出信号为 1，其余情况的输出信号为 0，用 JK 触发器实现，写出设计过程。

3、需产生的一组序列信号为：11001，11001……，试用双向移位寄存器74LS194和4选1数据选择器设计该序列信号发生器，74LS194功能如表2所示，在图7上完成电路连接。

表2 74LS194 功能表

<b>CP</b>	<b><math>\overline{CR}</math></b>	<b><math>S_1</math></b>	<b><math>S_0</math></b>	工作状态
×	0	×	×	清零
↑	1	0	0	保持
↑	1	0	1	右移
↑	1	1	0	左移
↑	1	1	1	置数

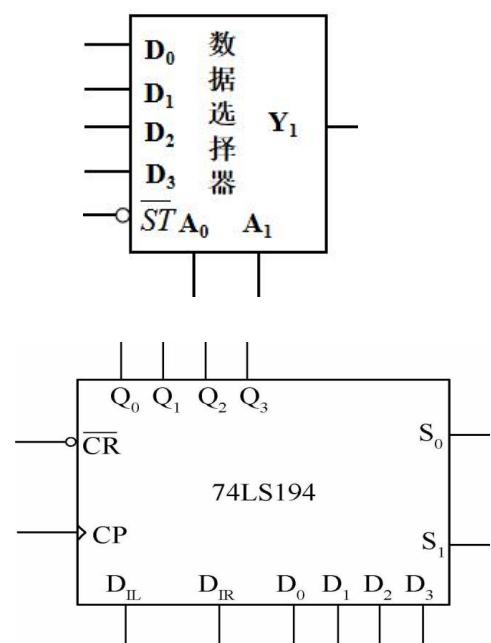


图7 题五.2