

6.2 实验二 数据选择器与数据分配器

1. 实验介绍

在本次实验中，我们将使用 Verilog HDL 语言实现数据选择器和数据分配器的设计和仿真。

2. 实验目标

- 深入了解数据选择器与数据分配器的原理。
- 使用 logicsim 画出数据选择器和数据分配器的逻辑电路。
- 学习使用 Verilog HDL 语言设计实现数据选择器和数据分配器。

3. 实验原理

1) 数据选择器实验

数据选择器（MUX）是一种多路输入、单路输出的标准化逻辑构件。所要建模的 4 选 1 数据选择器及其真值表如图 6.2.1 所示。选择器的开关由两根控制线 s0 和 s1 的编码控制，选择 4 路输入中的一路作为输出。输出 z 的逻辑值将和被选中的输入逻辑值相同。

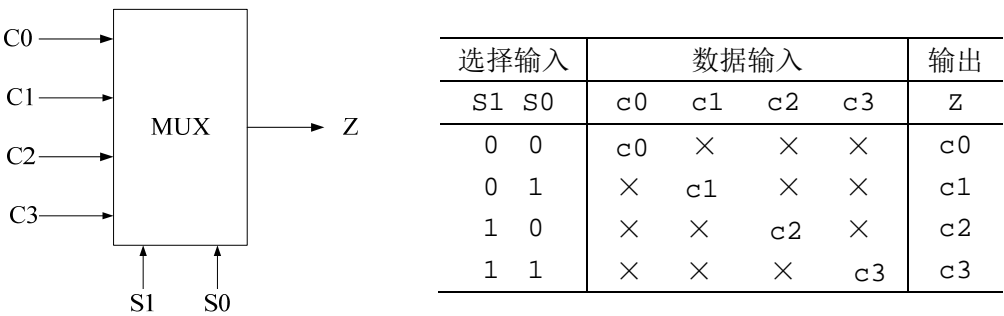


图 6.2.1 4 选 1 数据选择器及其真值表

● 接口定义:

```
module selector41(  
    input [3:0] iC0,    //四位输入信号 c0  
    input [3:0] iC1,    //四位输入信号 c1  
    input [3:0] iC2,    //四位输入信号 c2  
    input [3:0] iC3,    //四位输入信号 c3  
    input iS1,          //选择信号 s1  
    input iS0,          //选择信号 s0  
    output [3:0] oZ     //四位输出信号 z  
);
```

● XDC 文件配置

变量	iC0	iC1	iC2	iC3	iS1	iS0	oZ
N4 板上的管脚	SW0~3 (J15、 L16、 M13、 R15)	SW4~7 (R17、 T18、 U18、 R13)	SW8~11 (T8、 U8、 R16、 T13)	SW12~15 (H6、 U12、 U11、 V10)	BTNC (N17)	BTNR (M17)	LD0~3 (H17、 K15、 J13、 N14)

2) 数据分配器实验

数据分配器（DMUX）的功能与多路选择器相反，它是一种单路输入、多路输出的逻辑构件。图 6.2.2 为 1 线-4 线数据分配器的功能框图，表 3.2 为其真值表。图 3.2 中 c 为数据输入端，s1，s0 为选择控制输入端，z0~z3 为数据输出端。

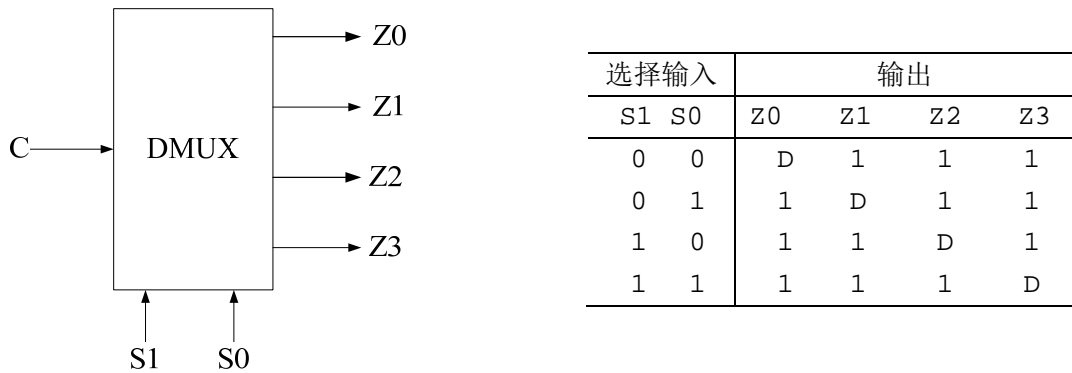


图 6.2.2 1 线-4 线数据分配器及其真值表

● 接口定义：

```

module de_selector14(
    input iC,      //输入信号 c
    input iS1,     //选择信号 s1
    input iS0,     //选择信号 s0
    output oZ0,    //输出信号 z0
    output oZ1,    //输出信号 z1
    output oZ2,    //输出信号 z2
    output oZ3,    //输出信号 z3
);

```

● XDC 文件配置：

变量	iC	iS1	iS0	oZ0	oZ1	oZ2	oZ3
N4 板上的管脚	SW0 (J15)	SW15 (V10)	SW14 (U11)	LD0 (H17)	LD1 (K15)	LD2 (J13)	LD3 (N14)

3) 8 路数据传输实验

在数据选择器和数据分配器实验基础上实现图 6.2.3 中 8 路数据传输模块的建模。数据的传输由输入控制端 ABC 的编码决定，例如当 ABC=101 时，实现 D5→f5 的数据传输。

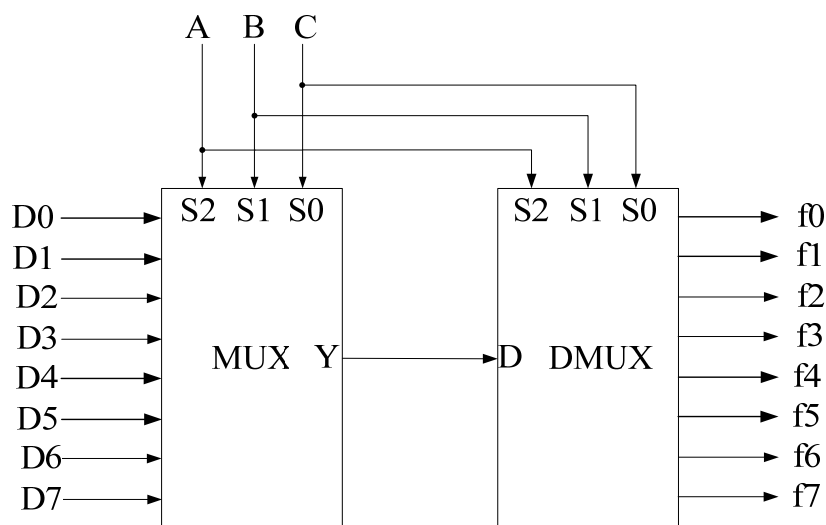


图 6.2.3 8 路数据传输原理图

● 接口定义：

```
module transmission8(  
    input [7:0] iData    //输入信号 D7~D0  
    input A,B,C,         //选择信号 S2~S0  
    output [7:0] oData   //输出信号 f0~f7  
);
```

● XDC 文件配置：

变量	iData[0]~[7]	A、B、C	oData[0]~[7]
N4 板上的 管脚	SW0~7 (J15、L16、M13、R15、 R17、T18、U18、R13)	SW15~13 (V10、U11、 U12)	LD0~7 (H17、K15、J13、N14、 R18、V17、U17、U16)

4. 实验步骤

1. 根据图 6.2.1 和图 6.2.2 中的真值表列写数据选择器和数据分配器的逻辑表达式，并用 logisim 画出 1 位四选一数据选择器、4 位四选一数据选择器、1 线-4 线数据分配器的电路原理图，并验证逻辑。
2. 新建 Vivado 工程，编写各个模块。
3. 用 ModelSim 仿真测试各模块。
4. 配置 XDC 文件，综合下板，并观察实验现象。
5. 按照要求书写实验报告。