


Projektname:	HC-1 (16 Bit)	
Dokument:	Lastenheft (Version 2)	
Bearbeiter:	Steffen Rühl, Danilo Kaltwasser, Manuel Sachmann	
Team Nr.:	3	
Datum:	14.08.2016	

Lastenheft

1. Übersicht

Erweiterung des HC-1 FPGA CPUs aus der Vorlesung Rechnerarchitektur WS 15/16 auf 16 Bit. Zur Ausführung wird das Altera Cyclone II EP2C35F672C6 FPGA Board verwendet.

2. Produkteinsatz


Grundlage für Nutzung des Altera Cyclone II FPGA Boards zur Ausführung von Programmen. Die HC-1 CPU wird an der THM Friedberg im Bereich des Rechnerarchitekturlabors eingesetzt.

3. Forderungen

- 3.1 Erweiterung des HC-1 auf eine Bitbreite von 16 Bit
- 3.2 Unterstützung der bisherigen 8 Bit Befehle
- 3.3 Erweiterung des Instruktionsets in Absprache mit Compiler- und Linkergruppe
- 3.4 Dokumentation zu allen verfügbaren Assemblerbefehlen
- 3.5 Akkumulator durch Register ersetzen (Wunsch)

4. Produktdaten

Hardwarebeschreibung als VHDL-Dateien im Umfang von ca. 6MB.

Projektname:	HC-1 (16 Bit)	
Dokument:	Lastenheft (Version 2)	
Bearbeiter:	Steffen Rühl, Danilo Kaltwasser, Manuel Sachmann	
Team Nr.:	3	
Datum:	14.08.2016	

5. Qualitätsanforderung

Fehlerfreie Ausführung von allen in der Dokumentation aufgeführten Assemblerbefehlen.

6. Referenzdokumente

Dokumentation und Architektur des HC1 aus dem Rechnerarchitekturlabor des WS 15/16.

s. Anhang:

- RAL 2014WS Laboraufgabe HC1.pdf

Änderungsnachweis:

Version	Art der Änderung	Datum
1	Erstausgabe	04.08.2016
2	Änderungsnachweis hinzugefügt	14.08.2016