

Min CPU består av:

Counter - Instruksjonspeker

Dette er en teller som tar inn et signal som teller oppover vær gang den får et signal inn, den har også en input som resetter telleren til 0. Den teller fra 0 til 15 og fortsetter på 15 vis den skulle få inn flere signaler. Counter'n bruker et 4-bits adder som bare adderer 1 med verdien i registeret, bruker overflow bittet til å stoppe registre i å registrere flere signaler inn.

RAM - Programminnet

Programminnet holder på instruksjonene som skal sendes videre, den tar inn Counter'n i A som velger hvor i minnet den skal lete og sender det ut av D.

Operation - Dekoder

Her er det en 4-bits input (instruksjonen) som aktiverer en av de 4 utgangene, minterm 8, 9, 10 og 11.

SB (R) - Significant bit-håndterer og register kontroll

Denne kretsen tar inn dataen som 4-bits, den opprinnelige verdien som 8-bits og de fire instruksjonene. Kretsen tar hånd om instruksjonen og bruker controlled buffer'e om det er de 4 LSB'ene eller de 4 MSB'ene som skal erstattes i outputen. En output er den nye verdien som 8-bits, og en output "Reg" som sier om vi skal aktivere registeret eller ikke.

R - Data register

Dette registeret tar inn et 8-bits signal (D) fra SB og registrerings signalet fra SB, utløseren til registeret er koblet til den samme klokken som går til counter. Registeret er også koblet opp mot reset-knappen. Output'en Q sendes gjennom SB og endres og sendes tilbake i D, Q sendes også til dataminnet kontrollert etter "write"-instruksjonen.

RAM - Data minne

Adressen her (A) er bit 0-3 av D (fra Programminnet, Instruksjonen), D er koblet opp mot input'en og output'en til R. Select og Load er koblet til dekodere som sier hvilken instruksjon som skal utføres og vi lagrer / gir ut riktig verdi.

Logging

Program1:

v2.0 raw

85 97 B1 81 94 A1 00 00

00 00 00 00 00 00 00 00

Counter	R	RAM [1]
0000	0000 0000	0000 0000
0001	0000 0101	0000 0000
0010	0111 0101	0000 0000
0010	0111 0101	0111 0101
0011	0111 0101	0111 0101
0100	0111 0001	0111 0101
0101	0100 0001	0111 0101
0110	0111 0101	0111 0101
0111	0111 0101	0111 0101
1000	0111 0101	0111 0101
1001	0111 0101	0111 0101
1010	0111 0101	0111 0101
1011	0111 0101	0111 0101
1100	0111 0101	0111 0101
1101	0111 0101	0111 0101
1110	0111 0101	0111 0101
1111	0111 0101	0111 0101

Program2:

v2.0 raw

8C 9D B0 B3 81 91 A0 B4

00 00 00 00 00 00 00 00

Counter	R	RAM [0]	RAM [3]	RAM [4]
0000	0000 0000	0000 0000	0000 0000	0000 0000
0001	0000 1100	0000 0000	0000 0000	0000 0000
0010	1101 1100	0000 0000	0000 0000	0000 0000
0010	1101 1100	1101 1100	0000 0000	0000 0000
0011	1101 1100	1101 1100	0000 0000	0000 0000
0011	1101 1100	1101 1100	1101 1100	0000 0000
0100	1101 1100	1101 1100	1101 1100	0000 0000
0101	1101 0001	1101 1100	1101 1100	0000 0000
0110	0001 0001	1101 1100	1101 1100	0000 0000
0111	1101 1100	1101 1100	1101 1100	0000 0000
0111	1101 1100	1101 1100	1101 1100	1101 1100
1000	1101 1100	1101 1100	1101 1100	1101 1100
1001	1101 1100	1101 1100	1101 1100	1101 1100
1010	1101 1100	1101 1100	1101 1100	1101 1100
1011	1101 1100	1101 1100	1101 1100	1101 1100
1100	1101 1100	1101 1100	1101 1100	1101 1100
1101	1101 1100	1101 1100	1101 1100	1101 1100
1110	1101 1100	1101 1100	1101 1100	1101 1100
1111	1101 1100	1101 1100	1101 1100	1101 1100