

一、填空

1．现在对信息"1100110"进行奇、偶校验，校验码放在形成编码的最后一位。请写出进行奇校验后的编码（ 11001101 ）和偶校验后的编码（ 11001100 ）

2．某计算机主存容量为64kB，其中 ROM 区为4kB，其余为 RAM 区，按字节编址。现要用2kx8位的 rom 芯片和4kx4位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片数是（ 2片 ), RAM 芯片数是（ 30片 )。

3．某计算机字长为32位，按字节编址，假定有一个 double 型变量，其机器数表示为

1122334455667788H，存放在00008040开始的连续存储单元中，对于存储单元

00008046若采用小端存储方式，其中存放数据为（ 22H )，若采用大端存储方式，其中存放数据为（ 77H )。

4.整数 x 的机器数补码为11011000，分别对 x 进行逻辑右移1位和算术右移1位操作，得到的机器数各是 ( 01101100 ）和（ 1101100 )。

5.由3个"1"和5个"0"组成8位二进制补码，能表示最小的整数写成十进制为：(-125)，能表示最大的整数写成十进制为：( 112 )。

6．在3种集中式总线控制中，( 独立请求 ）方式响应速度最快，( 链式查询 ）方式对电路故障最敏感。

7.中断响应的条件是（ 开中断 )，中断响应的时间是（ 执行周期结束 )。

8．响应外部中断的过程，中断隐指令除了完成保存断点地址外，还要完成（ 关中断 )、形成中断服务程序入口地址送（ PC ）

9．在 DMA 传送方式中，由（ 外部设备 ）发出 DMA 请求，在传送期间总线控制权由（ DMA控制器 ）掌握。

10．存储（ 程序 )，并按（ 地址 ）顺序执行，这是（ 冯诺依曼 ）型计算机的工作原理。

11．若浮点数格式中基值一定，且尾数采用规格化表示法，则浮点数的表示范围取决于（阶码）的位数，而精度取决于（ 尾数 ）的位数。

12.( 单向总线 ）只能将信息从总线的一端传到另一端，不能反向传输。

13．某 RAM 芯片，其存储容量为1024x16位，该芯片的地址线和数据线数目分别为（ 10 ）和（ 16 )。

14．变址寻址方式中操作数的地址由（ 变址寄存器中的内容 ）与（ 地址码中的形式地址 ）之和产生。

二、选择题

1．可以在计算机中直接执行的语言和用助记符编写的语言是 A

I．机器语言 II ．汇编语言 III ．高级语言 IV ．正则语言

A . I 、 II B. I、III

C . II 、 III D.I、IV

2．冯·诺依曼计算机中数据采用二进制编码表示，其主要原因是（D)

I ．二进制运算规则简单

II ，制造两个稳态的物理器件较为容易

iii ，便于逻辑门电路实现算术运算

A ．仅 I 、 iI B、仅I、iii

C ．仅 iI 、 iii D、I 、 iI、iii

3．下列有关浮点数加减运算的叙述中，正确的是D

I ．对阶操作不会引起阶码上溢或下溢

II ．右规和尾数舍入都可能引起阶码上溢

III ．左规时可能引起阶码下溢

Iv ．尾数溢出时结果不一定溢出

A ．仅 II 、 III

B ．仅 I 、 II 、 IV

C ．仅 I 、 III 、 IV

D . I 、 II 、 III 、 IV

4．冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中， CPU 区分它们的依据是（C).

A ．指令操作码的译码结果 B ．指令和数据的寻址方式

C．指令周期的不同阶段 D．指令和数据所在的存储单元

5. 存储器的存取周期是指（ B)。

A．存储器的读出时间

B．存储器进行连续读或写操作所允许的最短时间间隔

C. 存储器的写入时间

D．存储器进行一次读或写操作所需的平均时间

6．假设某计算机的存储系统由Cache和主存组成，某程序执行过程中访存1000次，其中访问Cache缺失（未命中）50次，则Cache的命中率是（D)。

A.5% B、9.5%

C.50% D、95%

7．指令系统中采用不同寻址方式的目的是（B)

A．实现程序控制

B. 可缩短指令字长，扩大寻址空间，提高编程灵活性

C．提供扩展操作码的可能并降低指令译码难度

D．三者都正确

8．一个8位的计算机系统以16位来表示地址，该计算机系统有（C）个地址空间。

A.256

B.65535

C.65536

D.131072

9．设指令中的地址码为A，变址寄存器为X，程序计数器为PC，则变址间址寻址方式的操作数有效地址EA是（B)

A. ((PC)+A)

B. ((X)+A)

C.(X+(A)

D.(X)+A

10．假定基准程序A在某计算机上的运行时间为100秒，其中90秒为CPU时间，其余为I/0时间。若CPU速度提高了50%,I/0速度不变，则运行基准程序A所耗费的时间是（D)。

A.55秒 B.60秒 C.65 秒 D.70秒

11．并行加法器中，每位全和的形成除与本位相加的两数数值外还和（D）有关。

A．低位数值大小

B．低位的全和

C．高位数值大小

D．低位送来的进位

12．微程序控制存储器属于（C）的一部分。

A．主存 B 外存

C.CPU D缓存

13．某存储器的容量为32K\*16位，则（C)

A．地址线为16根，数据线为32根B．地址线为32根，数据线为16根

C．地址线为15根，数据线为16根 D．地址线为15根，数据线为32根

14．在下列情况下，可能不发生中断请求的是（B).

A.DMA操作结束 B.一条指令执行完毕

C．机器出现故障 D.执行“软中断”指令

15．动态ram采用下列哪种刷新方式时，不存在死时间（B)。

A．集中刷新

B．分散刷新

C．异步刷新

D．都不对

16．系统总线是用来连接（C)。

A．寄存器和运算器部件 B．运算器和控制器部件

C.CPU、主存和外设部件 D．接口和外部设备

17．指令" ADD X "一个操作数 X 是采用直接寻址方式，另一个操作数是采用（B）寻址方式。

A ．立即寻址 B ．隐含寻址 C ．直接寻址 D ．堆栈寻址

18．程序计数器 PC 属于B

A ．运算器 B ．控制器 C . ALU D 存储器

19．下列选项中，能引起外部中断的事件是（A）

A .键盘输入

B 、除数为0

C 、浮点运算下溢

D 、访存缺页

20．某计算机系统的 CPU 共能解释10条指令，如果指令采用微程序设计，那么控存中至少应该有（B）个微程

序。

B .10

C 、12

B 、11

D 、13

21．采用 DMA 方式传送数据时，每传送一个数据要占用（D）的时间。

A ．一个指令周期

B ．一个机器周期

C ．一个时钟周期

D ．一个存储周期

22．禁止中断的功能可以由（B）来完成。

A ．中断触发器

B ．中断允许触发器

C ．中断屏蔽触发器

D ．中断禁止触发器

23．在微程序控制器中，机器指令和微指令的关系是（C)。

A.每一条机器指令由一条微指令来执行

B．一条微指令由若干条机器指令组成

C .每一条机器指令由一段微指令组成的微程序来解释执行

D .一段微程序由一条机器指令来执行

24．堆栈常用于（B)。

A ．数据移位 B ．保护程序现场

C ．程序转移 D ．输入输出

25．立即寻址方式的操作数包含在（C）中，寄存器寻址方式的操作数包含在（）中。

A ．寄存器，指令 B ．存储器，寄存器

C ．指令，寄存器 D ．寄存器，存储器

26.(A）仅仅加大字长，从而扩充存储器容量。

A ．位扩展 B ．字扩展

C ．字位同时扩展 D ．以上都不可以

27．按照补码加减交替法，首先得到的是商的（A)。

A ．符号位 B ．最高数值位

C．0 D .1

28．数据在计算机中通常以（C）形式进行存储、运算，其原因是（)。

A ．二进制，数据表示方便

B ．十进制，与人类习惯相符

C ．二进制，元器件的物理实现方便

D ．八进制，数据存储方便

29．下列说法中，错误的是（D)。

A 取指令操作是控制器固有的功能，不需要根据指令要求进行

B ．所有指令的取指令的操作都是相同的

C ．一条指令读取之后， PC 中的值是下一条指令的地址

D ．计算机中一个字的长度为16位

30．在中断响应过程中，保护程序计数器 pc 的作用是（B)。

A ．是 CPU 能找到中断服务程序的入口地址

B ．是中断返回后，能回到断点处继续原程序的执行

C．使 cpu 和外部设备能并行工作

D ．为了实现中断嵌套

三、简答题

1．浮点数加减法运算时，为什么要对阶？请说明对阶的方法，再阐述对阶方法的理由。

2. 回答下列问题：

1）一个完整的指令周期包括哪些cpU工作周期？

2) 中断周期前和中断周期后各是CPU的什么工作周期？

3)DMA 周期前和DMA 周期后各是CPU的什么工作周期？

3．主机与各种输入输出设备之间交换信息的方式有几种？各有何特点？

4. 试阐明中断响应优先级和中断处理优先级的区别？

5．指令和数据以同等地位存于存储器中，计算机如何从时间和空间上区分它们？

6．试比较间接寻址和寄存器间址？

四、计算题

1．一个1KX4位的DRAM芯片，若其内部结构排列成64X64的形式，刷新周期为2ms，存取周期为0.1μs。

(1）若采用分散刷新和集中刷新（异步刷新）相结合的方式，刷新信号周期应取多少？

(2) 若采用集中刷新方式，则对该存储芯片刷新一遍需要多少时间？死时间率时多少？

2. 已知［X]补=1.1011000,[Y]补=1.1011000，用变形补码计算2[X]补+1/2[Y]补,，并判断结果有无溢出。

3. 已知十进制数X=-21/256,Y=+9/512要求：按机器补码浮点运算步骤计算X-Y，要求：阶符取2位，阶码数值取3位，数符取2位，尾数值取6位。

4.已知[X]补=1.1010101，2[Y]原=0.1010110，用变形补码计算[X-Y]补，并判断有无溢出。

5.已知十进制数X=9/64，Y=-13/32，用变形补码求x+y和x-y，同时指出计算结果是否溢出

五、分析题

1.某机器指令字长、存储字长、机器字长均为16位，主存容量为64KB，指令格式如下：

|  |  |  |
| --- | --- | --- |
| 15 11 | 10 8 | 7 0 |
| OP | M | AD |

其中AD是形式地址，用带符号数补码表示；M为寻址方式。

M=000立即寻址；M=001直接寻址（此时AD为无符号数）；M=010间接寻址；M=100相对寻址。试分析

1. 该指令可以定义多少种操作？
2. 立即寻址操作数的范围是多少？
3. 写出题中给出的寻址方式的有效操作数。
4. 除了立即寻址外其他寻址方式能访问的最大主存空间是多少？

2.有一个cache的容量为2K字，每块为16字，问：

（1）该cache可容纳多少个块？

（2）如果主存容量是256K字，则有多少块？

（3）主存的地址有多少位？Cache的地址有多少位？

（4）在直接地址映像方式下，主存的第i块映像到cache中的哪一块？

（5）进行地址映像时，存储器地址分成哪几段？各段分别有多少位？

3.某校验码编码长度15位，采用了海明码进行校验，编码左到右依次位H15H14H13..H1，海明码校验组采用偶校验，试完成下列各问。

1）根据海明码校验的原理，请用打勾的方式在下表中标记出15位海明码中的校验位。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| H15 | H14 | H13 | H12 | H11 | H10 | H9 | H8 | H7 | H6 | H5 | H4 | H3 | H2 | H1 |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

2）根据海明码定义，该编码应分为四组，请给出每组中校验位的逻辑表达式

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | H15 | H14 | H13 | H12 | H11 | H10 | H9 | H8 | H7 | H6 | H5 | H4 | H3 | H2 | H1 |
| G4 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| G3 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| G2 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| G1 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

3)假设指错字为G4G3G2G1，如果校验码最多只有一位错，如何判断错误并纠正错误，如校验码为010101101101010，请进行出错情况判断，给我计算过程。

4.某机器指令格式如下图所示：

|  |  |  |
| --- | --- | --- |
| OP（6位） | X（2位） | A（8位） |

图中X为寻址特征位，且

当X=0时，不变址；

X=1时，用变址寄存器X1进行变址；

X=2时，用变址寄存器X2进行变址；

X=3时，相对寻址；

设（PC）=1234H，[X1]=0037H,[X2]=1122H,分析确定下列指令中操作数的有效地址（指令和地址均用十六进制表示）：

1）4420；

2）2244；

3）1322；

4）3521；

5.设CPU各部件及其相互连接关系如图1所示，其中W是写控制标志，R是读控制标志，R1，R2是暂存器。

(1)写出指令ADD #a(#为立即寻址特征，隐含的操作数在ACC寄存器中)在执行阶段所完成的微操作命令的节拍安排。

(2)假设要求在取指周期实现PC+1→PC.且由ALU完成此操作(ALU可以对它的一个源操作数完成加1的

以最少的节拍写出取指周期全部微操作命令及节拍安排

PC

R1

微指令形成部件

IR

ALU

R2

ACC

MDR

MAR

R

W

存储器

6.设某机有4级中断L0、L1、L2、L3,其中断响应优先次序为L0>L1>L2>L3，现要求将中断处理次序改为L1>L3>L0>L2.

(1)下表中的中断屏蔽字该如何设置(0表示允许中断。1表示中断屏蔽)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 设备名 | 中断屏蔽字 | | | |
| L0 | L0 | L1 | L2 | L3 |
| L0 |  |  |  |  |
| L1 |  |  |  |  |
| L2 |  |  |  |  |
| L3 |  |  |  |  |

|  |
| --- |
|  |

|  |
| --- |
|  |

1. 若这4级中断同时都发出中断请求，按更改后的次序画出进入各级中断处理程序的过程示意图。
2. 设某机有四个中断源1、2、3、4，其硬件排队优先次序按1>2>3>4，降序排序，各中断源的服务程序中所有的屏蔽字如下表所示。

(1) 给出上述四个中断源的新的处理次序。

2) 若四个中断源同时有中断请求。两出CPU执行程序的轨迹

六、分析题

1. 设CPU共有16 根地址线，8报数据线，并用 MREQ作访存控制信号(低电平有效)，用WR作读写平为读，低电平为写)现有如下芯片及各种门电路(门电路自定):

RAM: 1KX4位，2KX8位,8KX8位，16KX1位,4KX4位

ROM: 2KX8位,8KX8位，32KX8位

74138译码器如下图所示。通出CPU与存储器的连接图。要求存储芯片地址空间分配

2

3. 某模型机共有64种操作码，位数固定，且具有以下特点:

(1)采用一一地址或二地址格式。寄有器一有情器

(2)有寄存器寻址、直接寻址和相对寻址(位移量为-128-+127)3种寻方式

(3)有16个通用寄存器，算术运算和逻辑运算的操作数在寄存器中。结果也在寄存器

(4)取数/存数指令在通用寄存器和存储器之间传送数据。

(5)存储器容量为1MB，按字节编址。

4、 某微程序控制器中，采用水平型直接控制(编码)方式微指令格式，后续微指令地址山微指令出。已知机器共有22个微命令、5个互斥的可判定外部条件，控制存储器容量为128x32位。

（1）设计微指令指示

（2）画出该微程序控制单元的机构框图