|  |  |  |
| --- | --- | --- |
| 《数字逻辑与数字系统》实验报告 |  | 天津大学本科生实验报告专用纸 |
| 学院 智算学部 年级 2019 级 班级 一 班 姓名 俞林昊 学号 3019207450  课程名称 数字逻辑与数字系统 实验日期 2021.4.13 成绩  同组实验者 无 | **三．实验原理与步骤（注：步骤不用写工具的操作步骤，而是设计步骤）**  1. 写出74LS138和74LS139的行为建模的SystemVerilog HDL代码。  **74LS138**    **74LS139:**    4. 给出基于行为建模的5输入多数表决的SystemVerilog HDL代码。    **四．仿真与实验结果（注：仿真需要给出波形图截图，截图要清晰，如果波形过长，可以分段截取；实验结果为远程FPGA硬件云平台的截图）**  注：远程FPGA硬件云平台截图只需要一个测试激励即可          教师签字：  年 月 日 |
| 实验项目名称 多数表决器的设计与实现   1. **实验目的**   1. 掌握 基于 Vivado 的数字逻辑电路设计流程  2. 熟练使用 SystemVerilog HDL 的 行为 建模 方法对组合逻辑电路进行描述；  3. 熟练使用 SystemVerilog HDL 的 结构建模 方法 对组合逻辑电路进行描述  4. 掌握基于远程 FPGA 硬件云平台对数字逻辑电路进行功能验证的流程。   1. **实验内容**   假如有五个举重裁判，举重选手完成比赛以后，当有多数裁判认定成功时，  则成功；否则失败。 本次实验请设计此举重裁决电路，即一个 5 输入的多数表决  器。该电路的顶层模块如图1-3 所示，输入/输出端口如表1-3 所示。使用拨动  开关来模拟裁判的裁定，使用LED 灯来显示是否成功。  本实验分为两阶段任务，每个阶段均是完成一个5输入多数表决器的设计，但采用的设计方法不同。具体实验内容如下所示：  **阶段1：（基于集成电路模块）**  1. 根据表1-1和1-2，采用SystemVerilogHDL的行为建模方法，完成74LS138和74LS139两种译码器的设计。  2. 根据图1-3和表1-4，基于SystemVerilogHDL的结构化建模方法，调用74LS138和74LS139两种译码器，以及若干基本逻辑门，完成5输入多数表决器电路的设计（类似搭积木），并基于Vivado完成行为仿真、综合、实现、生成比特流文件等操作，最终在远程FPGA硬件云平台上完成功能验证。  **阶段2：（基于行为建模）**  1. 不使用74LS138和74LS139芯片，直接使用行为建模的方法完成5输入多数表决器电路的设计，并基于Vivado完成电路的行为仿真、综合、实现、生成比特流文件等操作，最终在远程FPGA硬件云平台上完成功能验证。  2. 给出基于74LS138和74LS139的5输入多数表决器的设计方案，画出原理图（采用Visio画图）。    3. 写出5输入多数表决器的结构化建模的SystemVerilog HDL代码。      五．实验中遇到的问题和解决办法  1. 在使用2-4译码器作为中间节点的时候，4个输出要接入到使能端。  2. 注意对于多个输出之间是做或操作还是与操作。同一个译码器的输出做或，不同译码器之间的输出做与。  3. 在采用结构化建模的时候，传入的参数的个数要和定义的时候一样。必要的时候可以采用拼接。  六．附加题（若实验指导书无要求，则无需回答）  1. 只采用74LS138译码器和一些基本逻辑门，是否也可以完成5输入多数表决器的设计？如果可以，请画出原理图。 |