|  |  |  |
| --- | --- | --- |
| 《数字逻辑与数字系统》实验报告 |  | 天津大学本科生实验报告专用纸 |
| 学院 软件工程 年级 2019 级 班级 1 姓名 俞林昊  学号 3019207450 课程名称 数字逻辑与数字系统 实验日期 2021.6.5  成绩 同组实验者 | 当投入硬币的组合为上面 4 种之一时，则购买成功，LED 灯亮。**购买成功后，LED 灯持续亮 10 秒，然后自动熄灭，同时 4 个数码管也恢复为 0**。    报纸自动贩售机由 4 部分构成。  ⚫ 第一部分是**计时器模块**，该模块又由 3 个子模块构成，分别是计数器电  路、使能时钟生成电路和边沿检测电路。  ⚫ 第二部分是整个自动贩售机电路的核心——**贩售机状态机**。状态机根据  投币情况产生“已付款”和“找零”输出。此外，如果已付款超过 15 分，则  将 LED 灯点亮，表示出售成功。  ⚫ 第三部分是两个 **8 位二进制转 BCD 模块**，分别将二进制的“已付款”和  “找零”值转化为 BCD 编码，即 10 进制数。**本实验中，该模块不需要实现，由教师直接提供 IP 使用**。  ⚫ 第四部分是 **7 段数码管动态扫描显示模块**，它实现“已付款”和“找零”值的最终显示.    **3. 报纸自动贩售机的 SystemVerilog 代码。**   * **边沿检测模块：**      * **使能时钟模块：**          * **有限状态机模块**            1. **实验中遇到的问题和解决办法** 2. 编写状态机模块的时候忘记考虑不存在两个五分和一个一角的情况。 3. 仿真模拟的时候一开始没有把cnt5和cnt10置为零，导致出现了错误。 4. 通过本实验学会了用三段式实现状态机。   **教师签字：**  **年 月 日** |
| 实验项目名称 自动贩售机的设计与实现   1. **实验目的**   1. 掌握有限状态机的设计方法。；  2. 能够使用 SystemVerilog 进行三段式状态机的建模。   1. **实验内容**   采用有限状态机，基于 SystemVerilog HDL 设计并实现一个报纸自动贩售机。 整个工程的顶层模块如图 4-3 所示，输入/输出端口如表 4-1 所示。使用 **4 个七 段数码**管实时显示已付款和找零情况。其中，两个数码管对应“已付款”，另两个 数码管对应“找零”，单位为分。通过 **1 个拨动开关**对数字钟进行复位控制。使用 **两个按键**模拟投币，其中一个按键对应 5 分，另一个按键对应 1 角。使用 **1 个 LED 灯**标识出售是否成功，灯亮表示出售成功，否则表示已付款不够，出售失败。  假设报纸价格为 15 分，合法的投币组合包括：  ⚫ 1 个 5 分的硬币和一个 1 角的硬币，不找零  ⚫ 3 个五分的硬币，不找零  ⚫ 1 个 1 角的硬币和一个 5 分的硬币，不找零  ⚫ 两个 1 角的硬币是合法的，找零 5 分。   1. **实验原理与步骤（注：步骤不用写工具的操作步骤，而是设计步骤）** 2. **画出自动贩售机的状态转换图。**   **图示  描述已自动生成**   1. **画出自动贩售机电路的原理图（模块级别即可，如使能时钟模块、边沿检测模块等）。**          * **7段数码管模块**     5'b00001:begin      **四．仿真与实验结果（注：仿真需要给出波形图截图，截图要清晰，如果波形过长，可以分段截取；实验结果为远程FPGA硬件云平台的截图）**  注：远程FPGA硬件云平台截图只需要一个测试激励即可 |